

Explanation of Data Sheet Parameters



Power Management & Supply



Never stop thinking.

Erläuterung der Datenblattwerte
Explanation of Data Sheet Parameters
Revision History: 2002-04

V1.0

Previous Version:

Page	Subjects (major changes since last revision)
	Document's layout has been changed: 2002-Sep.

For questions on technology, delivery and prices please contact the Infineon Technologies Offices in Germany or the Infineon Technologies Companies and Representatives worldwide: see our webpage at <http://www.infineon.com>.

CoolMOS™, EmCon™, CoolSET™ are a trademarks of Infineon Technologies AG.

We Listen to Your Comments

Any information within this document that you feel is wrong, unclear or missing at all? Your feedback will help us to continuously improve the quality of this document.

Please send your proposal (including a reference to this document) to:

mcdocu.comments@infineon.com



Edition 2002-04

**Published by Infineon Technologies AG,
St.-Martin-Strasse 53,
81669 München, Germany**

**© Infineon Technologies AG 2002.
All Rights Reserved.**

Attention please!

The information herein is given to describe certain components and shall not be considered as warranted characteristics.

Terms of delivery and rights to technical change reserved.

We hereby disclaim any and all warranties, including but not limited to warranties of non-infringement, regarding circuits, descriptions and charts stated herein.

Infineon Technologies is an approved CECC manufacturer.

Information

For further information on technology, delivery terms and conditions and prices please contact your nearest Infineon Technologies Office in Germany or our Infineon Technologies Representatives worldwide.

Warnings

Due to technical requirements components may contain dangerous substances. For information on the types in question please contact your nearest Infineon Technologies Office.

Infineon Technologies Components may only be used in life-support devices or systems with the express written approval of Infineon Technologies, if a failure of such components can reasonably be expected to cause the failure of that life-support device or system, or to affect the safety or effectiveness of that device or system. Life-support devices or systems are intended to be implanted in the human body, or to support and/or maintain and sustain and/or protect human life. If they fail, it is reasonable to assume that the health of the user or other persons may be endangered.

Inhalt	Seite	Contents	Page
1 Symbole, Begriffe, Normen . . .	7	1 Symbols, Terms, Standards . . .	7
1.1 Anordnung des Indizes	13	1.1 Arrangement of Subscripts	13
2 Grenzwerte	15	2 Maximum Ratings	15
2.1 Kollektor-Emitter-Spannung V_{CE}	15	2.1 Collector-Emitter Voltage V_{CE} . .	15
2.2 Kollektor-Gate-Spannung V_{CGR}	15	2.2 Collector-Gate Voltage V_{CGR} . . .	15
2.3 Drain-Source-Spannung V_{DS} . .	15	2.3 Drain-Source Voltage V_{DS}	15
2.4 Kollektor-Gleichstrom I_C	15	2.4 DC Collector Current I_C	15
2.5 Drain-Gleichstrom I_D	16	2.5 DC Drain Current I_D	16
2.6 Kollektor-Strom, gepulst I_{Cpuls} . .	16	2.6 Collector Current, pulsed I_{Cpuls} .	16
2.7 Drain-Strom, gepulst I_{Dpuls}	16	2.7 Drain Current, pulsed I_{Dpuls} . . .	16
2.8 Gate-Emitter-Spannung V_{GE} . .	16	2.8 Gate-Emitter Voltage V_{GE}	16
2.9 Gate-Source-Spannung V_{GS} . .	16	2.9 Gate-Source Voltage V_{GS}	16
2.10 Inverse-Dioden		2.10 Reverse Diode	
Spannungsanstieg dv/dt	17	Voltage Rise dv/dt	17
2.11 Maximale Verlustleistung P_{tot} . .	17	2.11 Maximum Power Dissipation P_{tot} .	17
2.12 Betriebstemperaturbereich T_J . .	17	2.12 Operating Temperature Range T_J	17
2.13 Lagertemperaturbereich T_{stg} . . .	17	2.13 Storage Temperature Range T_{stg} .	17
2.14 Avalanche-Energie, Einzelpuls E_{AS}	17	2.14 Avalanche Energy, Single Pulse E_{AS}	17
2.15 Avalanche-Energie im Dauerbetrieb E_{AR}	17	2.15 Avalanche Energy in Continuous Operation E_{AR}	17
2.16 Avalanche Drainstrom im Dauerbetrieb I_{AR}	18	2.16 Avalanche Drain Current in Continuous Operation I_{AR}	18
2.17 Feuchteklasse	18	2.17 Humidity Class	18
2.18 Prüfklasse	18	2.18 Test Class	18
3 Kennwerte	19	3 Characteristics	19
3.1 Kollektor-Emitter- Durchbruchspannung $V_{(BR)CES}$.	19	3.1 Collector-Emitter Breakdown Voltage $V_{(BR)CES}$. . .	19
3.2 Drain-Source- Durchbruchspannung $V_{(BR)DSS}$.	19	3.2 Drain-Source Breakdown Voltage $V_{(BR)DSS}$. . .	19
3.3 Gate-Schwellenspannung (Einsatzspannung)	19	3.3 Gate Threshold Voltage	19
3.4 Kollektor-Reststrom I_{CES}	19	3.4 Collector Cutoff Current I_{CES} . .	19
3.5 Drain-Reststrom I_{DSS}	20	3.5 Drain Cutoff Current I_{DSS}	20
3.6 Gate-Emitter-Leckstrom I_{GES} . .	21	3.6 Gate-Emitter Leakage Current I_{GES} .	21
3.7 Gate-Source-Leckstrom I_{GSS} . .	21	3.7 Gate-Source Leakage Current I_{GSS} .	21
3.8 Drain-Source- Einschaltwiderstand $R_{DS(on)}$. . .	21	3.8 Drain-Source On Resistance $R_{DS(on)}$	21

Inhalt	Seite	Contents	Page
3.9 Übertragungssteilheit g_{fs}	21	3.9 Transconductance g_{fs}	21
3.10 Eingangskapazität C_{iss}	21	3.10 Input Capacitance C_{iss}	21
3.11 Ausgangskapazität C_{oss}	22	3.11 Output Capacitance C_{oss}	22
3.12 Rückwirkkapazität C_{rss}	22	3.12 Reverse Transfer Capacitance C_{rss}	22
3.13 Einschaltzeit $t_{on} = t_{d(on)} + t_r$	22	3.13 Turn-On Time $t_{on} = t_{d(on)} + t_r$	22
3.14 Ausschaltzeit $t_{off} = t_{d(off)} + t_f$	22	3.14 Turn-Off Time $t_{off} = t_{d(off)} + t_f$	22
3.15 Inversdioden Gleichstrom I_S	24	3.15 Inverse Diode Continuous Forward Current I_S	24
3.16 Inversdioden Gleichstrom, gepulst I_{SM}	24	3.16 Inverse Diode Direct Current, Pulsed I_{SM}	24
3.17 Durchlassspannung V_{SD}	24	3.17 Forward Voltage V_{SD}	24
3.18 Gate Ladung Q_G	24	3.18 Gate Charge Q_G	24
3.19 Gate-Source Ladung Q_{GS}	24	3.19 Gate-Source Charge Q_{GS}	24
3.20 Gate-Drain Ladung Q_{GD}	24	3.20 Gate-Drain Charge Q_{GD}	24
3.21 Sperrverzögerungszeit t_{rr} und Sperrverzögerungsladung Q_{rr}	25	3.21 Reverse Recovery Time t_{rr} and Recovered Charge Q_{rr}	25
3.22 Thermische Kapazität C_{th1}	25	3.22 Thermal Capacitance C_{th1}	25
3.23 Thermische Widerstand R_{th1}	25	3.23 Thermal Resistance R_{th1}	25
3.24 Wärmewiderstand Chip-Gehäuse R_{thJC} oder Chip-Umgebung R_{thJA}	25	3.24 Chip to Case Thermal Resistance R_{thJC} or Chip to Ambient Air R_{thJA}	25
3.25 Interner Gate Widerstand R_G	25	3.25 Internal Gate Resistance R_G	25
3.26 Maximale Steilheit der Rückstromspitze di_{rr}/dt	25	3.26 Peak Rate of fall of Reverse Recovery Current di_{rr}/dt	25
3.27 Effektive Ausgangskapazität, Energiebezogen $C_{o(er)}$	26	3.27 Effective Output Capacitance Energy Related $C_{o(er)}$	26
3.28 Effektive Ausgangskapazität, Zeitbezogen $C_{o(tr)}$	26	3.28 Effective Output Capacitance Time Related $C_{o(tr)}$	26
3.29 Miller Plateau Spannung am Gate $V_{plateau}$	27	3.29 Gate Plateau (Miller) Voltage $V_{plateau}$	27
3.30 Drain-Source-Avalanche Durchbruchspannung $V_{(BR)DS}$	27	3.30 Drain-Source Avalanche Breakdown Voltage $V_{(BR)DS}$	27
3.31 Maximale Löttemperatur T_{sold}	27	3.31 Maximum Soldering Temperature T_{sold}	27
4 Diagramme	28	4 Diagrams	28
4.1 Verlustleistung $P_{tot} = f(T)$	28	4.1 Power Dissipation $P_{tot} = f(T)$	28
4.2 Typische Ausgangscharakteristik	28	4.2 Typical Output Characteristic	28
4.3 Zulässiger Betriebsbereich	28	4.3 Safe Operating Area	28
4.4 Typische Übertragungscharakteristik	29	4.4 Typical Transfer Characteristic	29

Inhalt	Seite	Contents	Page
4.5 Typischer Drain-Source Widerstand $R_{DS(on)} = f(I_D)$	29	4.5 Typical Drain-Source On State Resistance $R_{DS(on)} = f(I_D)$	29
4.6 Drain-Source Widerstand $R_{DS(on)} = f(T_J)$	30	4.6 Drain-Source On State Resistance $R_{DS(on)} = f(T_J)$	30
4.6.1 N-Kanal Transistoren	30	4.6.1 N-Channel Transistors	30
4.7 Drain-Source- Durchbruchspannung $V_{(BR)DSS} = f(T_J)$	31	4.7 Drain-Source Breakdown Voltage $V_{(BR)DSS} = f(T_J)$	31
4.8 Gate-Schwellenspannung $V_{GS(th)} = f(T_J)$	31	4.8 Gate Threshold Voltage $V_{GS(th)} = f(T_J)$	31
4.9 Typische Kapazitäten	32	4.9 Typical Capacitances	32
4.10 Typische und maximale Durchlasskennlinie der Inverse-Diode	32	4.10 Typical and Maximum Forward Characteristic of Inverse Diode	32
4.11 Kollektorstrom $I_C = f(T)$	33	4.11 Collector Current $I_C = f(T)$	33
4.12 Drainstrom $I_D = f(T)$	33	4.12 Drain Current $I_D = f(T)$	33
4.13 Avalanche Energie $E_{AS} = f(T_J)$	33	4.13 Avalanche Energy $E_{AS} = f(T_J)$.	33
4.14 Transienter Wärmewiderstand $Z_{thJC} = f(t_p)$	33	4.14 Transient Thermal Impedance $Z_{thJC} = f(t_p)$	33
4.15 Typische Gate Ladung $V_{GS} = t(Q_G)$	34	4.15 Typical Gate Charge $V_{GS} = t(Q_G)$	34
4.16 Typische Schaltzeiten $t = f(I_D), f(R_G)$	36	4.16 Typical Switching Time $t = f(I_D), f(R_G)$	36
4.17 Typische Schaltverluste $E = f(I_D), f(R_G)$	36	4.17 Typical Switching Losses $E = f(I_D), f(R_G)$	36
4.18 Typische Drain Stromsteilheit $di/dt = f(R_G)$	37	4.18 Typical Drain Current Slope $di/dt = f(R_G)$	37
4.19 Typische Drain-Source Spannungssteilheit $dv/dt = f(R_G)$. .	37	4.19 Typical Drain-Source Voltage Slope $dv/dt = f(R_G)$. . .	37
4.20 Avalanche SOA $I_{AR} = f(t_{AR})$. .	37	4.20 Avalanche SOA $I_{AR} = f(t_{AR})$. . .	37
4.21 Periodische Avalanche Leistung $P_{AR} = f(f)$	37	4.21 Avalanche Power Losses $P_{AR} = f(f)$	37
4.22 Typische in Coss gespeicherte Energie $E_{OSS} = f(V_{DS})$	37	4.22 Typical Coss Stored Energy $E_{OSS} = f(V_{DS})$	37

Inhalt	Seite	Contents	Page
5 Messschaltungen (entsprechend DIN IEC 747 T8) . . .	38	5 Test Circuits (conforming with DIN IEC 747 T8)	38
5.1 Drain Strom I_D, I_{DSS}	38	5.1 Drain Current I_D, I_{DSS}	38
5.2 Drain-Source- Einschaltwiderstand $R_{DS(on)}$	39	5.2 Drain-Source ON Resistance $R_{DS(on)}$	39
5.3 Gate-Schwellenspannung $V_{GS(th)}$	39	5.3 Gate-Source Threshold Voltage $V_{GS(th)}$	39
5.4 Gate-Source-Leckstrom I_{GSS}	40	5.4 Gate-Source Current I_{GSS}	40
5.5 Transistor Schaltzeit	41	5.5 Transistor Switching Time	41
5.6 Eingangskapazität C_{iss}	42	5.6 Input Capacitance C_{iss}	42
5.7 Ausgangskapazität C_{oss}	43	5.7 Output Capacitance C_{oss}	43
5.8 Rückwirkungskapazität C_{rss}	44	5.8 Reverse Transfer Capacitance C_{rss}	44
5.9 Gate-Ladung Q_G	45	5.9 Gate Charge Q_G	45

1 Symbole, Begriffe, Normen

1 Symbols, Terms, Standards

Symbole und Begriffe der verwendeten Größen

Symbols and Terms of Magnitudes Used

Symbole Symbols	Begriffe	Terms
A	Anode	Anode
C	Kapazität; Kollektor	Capacitance, collector
$C_{o(er)}$	Effektive Ausgangskapazität, energiebezogen	Effective output capacitance, energy related
$C_{o(tr)}$	Effektive Ausgangskapazität, zeitbezogen	Effective output capacitance, time related
C_{iss}	Eingangskapazität	Input capacitance
C_{oss}	Ausgangskapazität	Output capacitance
C_{rss}	Rückwirkungskapazität	Reverse transfer capacitance
C_{th}	Thermische Kapazität	Thermal capacitance
C_{DS}	Drain-Source Kapazität	Drain-Source capacitance
C_{GD}	Gate-Drain Kapazität	Gate-Drain capacitance
C_{GS}	Gate-Source Kapazität	Gate-Source capacitance
C_{Mi}	Millerkapazität	Miller capacitance
C_{σ}	Streukapazität	Stray capacity
D	Tastverhältnis/Tastgrad $D = t_p/T$	Pulse duty factor/duty cycle $D = t_p/T$
di_F/dt	Dioden-Stromsteilheit	Rate of diode current rise
di/dt	Stromsteilheit allgemein	Rate current rise general
di_{rr}/dt	Max. Stromänderung der Rückstromspitze	Peak rate fall of reverse recovery current
dv/dt	Dioden Spannungssteilheit	Rate of diode voltage rise
E	Energie	Energy
E_A	Avalanche Energie	Avalanche energy
E_{AR}	Avalanche Energie, periodisch	Avalanche energy, repetitive
E_{AS}	Avalanche Energie, Einzelpuls	Avalanche energy, single pulse
E_{off}	Abschaltverlust-Energie	Turn-off loss energy
E_{on}	Einschaltverlust-Energie	Turn-on loss energy
f	Frequenz	Frequency
G	Gate	Gate

Symbole Symbols	Begriffe	Terms
g_{fs}	Übertragungssteilheit	Transconductance
I	Strom	Current
i	Strom Augenblickswert	Current, instantaneous value
I_{AR}	Avalanche Strom, periodisch	Avalanche current, repetitive
I_D	Drain Gleichstrom	DC drain current
I_{Dpuls}	Drain Gleichstrom, gepulst	DC drain current, pulsed
I_{DSS}	Drain Reststrom	Drain cutoff current
I_{DSV}	Drain Reststrom mit anliegender Gate Spannung	Drain cutoff current with gate voltage applied
I_C	Kollektor-Gleichstrom	DC collector current
I_{CES}	Kollektor-Reststrom	Collector cutoff current
I_{Cpuls}	Kollektor-Gleichstrom, gepulst	DC collector current, pulsed
I_F	Dioden Durchlassstrom (allgemein)	Diode forward current (general)
I_{FSM}	Dioden-Stoßstromscheitelwert (50 Hz Sinus)	Diode current surge crest value (50 Hz sinusoidal)
I_{GSS}	Gate-Source Leckstrom	Gate-Source leakage current
I_R	Dioden Sperrstrom	Diode reverse current
I_S	Inversedioden Sperrstrom	Diode reverse current
I_{SM}	Inversedioden-Gleichstrom, gepulst	Inverse diode direct current, pulsed
I_{GES}	Gate-Emitter-Leckstrom	Gate-emitter leakage current
I_L	Strom durch Induktivität	Current through inductance
I_{RRM}	Diodenrückstromspitze	Maximum reverse recovery current
K	Kathode	Cathode
L	Induktivität	Inductance
L_L	Last-Induktivität	Load inductance
L_p	Parasitäre Induktivität (z.B. Leitungen)	Parasitic inductance (e.g. lines)
L_σ	Streuinduktivität	Leakage inductance
P_{AV}	Avalanche Verlustleistung	Avalanche power losses
P_{sw}	Schaltverlustleistung	Switching power losses
P_{tot}	Gesamtverlustleistung	Power dissipation
Q_G	Gate-Ladung	Gate charge
Q_{GS}	Ladung der Gate-Source Kapazität	Charge of Gate-Source capacitance

Symbole Symbols	Begriffe	Terms
Q_{GD}	Ladung der Gate-Drain Kapazität	Charge of Gate-Drain capacitance
Q_{Gtot}	Gesamt-Gateladung	Total Gate charge
Q_{rr}	Sperrverzögerungsladung	Reverse recovered charge
$R_{DS(on)}$	Drain-Source Widerstand	Drain-Source on state resistance
R_G	Gate-Vorwiderstand	Gate resistance
R_{GE}	Gate-Emitter-Widerstand	Gate-emitter resistance
R_{Gon}	Gate-Einschalt-Widerstand	Gate-turn on resistance
R_{Goff}	Gate-Ausschalt-Widerstand	Gate-turn off resistance
R_{GS}	Gate-Source Widerstand	Gate-Source resistance
R_i	Innenwiderstand (Pulsgenerator)	Internal resistance (pulse generator)
R_L	Lastwiderstand	Load resistance
R_{thCH}	Wärmewiderstand, Gehäuse-Kühlkörper	Thermal resistance, case to heat sink
R_{thHA}	Wärmewiderstand, Kühlkörper-Umgebung	Thermal resistance, heat sink to ambient
R_{thJA}	Wärmewiderstand, Chip-Umgebung	Thermal resistance, chip to ambient
R_{thJC}	Wärmewiderstand, Chip-Gehäuse	Thermal resistance, chip to case
R_{thJS}	Wärmewiderstand, Chip-Lötunkt	Thermal resistance, junction to soldering point
S	Source	Source
T	Periodendauer; Temperatur	Cycle time; temperature
T_A	Umgebungstemperatur	Ambient temperature
T_C	Gehäusetemperatur	Case temperature
t	Zeit allgemein	Time, general
t_1	Zeitpunkt	Instant time
$t_{d(off)}$	Ausschaltverzögerungszeit	Turn-off delay time
$t_{d(on)}$	Einschaltverzögerungszeit	Turn-on delay time
t_f, t_F	Fallzeit	Fall time
T_J	Chip- bzw. Betriebstemperatur	Chip or operating temperature
t_p	Pulsdauer bzw. Einschaltdauer	Pulse duration time
$T_{J(max)}$	Maximal zulässige Chip- bzw. Betriebstemperatur	Maximum permissible chip or operating temperature
t_{off}	Ausschaltzeit	Turn-off time

Symbole Symbols	Begriffe	Terms
t_{on}	Einschaltzeit	Turn-on time
t_r	Anstiegszeit	Rise time
t_{rr}	Sperrverzögerungszeit	Reverse recovery time
T_{stg}	Lagertemperatur	Storage temperature
T_{sold}	Löttemperatur	Soldering temperature
V	Spannung Augenblickswert	Voltage, instantaneous value
V_{IN}	Ansteuerspannung	Drive voltage
$V_{(BR)CES}$	Kollektor-Emitter-Durchbruchspannung	Collector-emitter breakdown voltage
$V_{(BR)DS}$	Drain-Source-Avalanche Durchbruchspannung	Drain-Source-Avalanche breakdown voltage
$V_{(BR)DSS}$	Drain-Source Durchbruchspannung	Drain-Source breakdown voltage
V_{CC}	Versorgungsspannung	Supply voltage
V_{CE}	Kollektor-Emitter-Spannung	Collector-emitter voltage
V_{CEsat}	Kollektor-Emitter-Sättigungsspannung	Collector-emitter saturation voltage
V_{CGR}	Kollektor-Gate-Spannung	Collector-gate voltage
V_{DD}	Versorgungsspannung	Supply voltage
V_{DGR}	Drain-Gate Spannung	Drain-Gate voltage
V_{DS}	Drain-Source Spannung	Drain-Source voltage
V_F	Dioden-Durchlassspannung	Diode forward voltage
V_{GE}	Gate-Emitter-Spannung	Gate-emitter voltage
$V_{GE(th)}$	Gate-Schwellenspannung (IGBT)	Gate threshold voltage (IGBT)
V_{GS}	Gate-Source Spannung	Gate-Source voltage
$V_{GS(th)}$	Gate Schwellenspannung	Gate threshold voltage
V_{SD}	Inversedioden Durchlassspannung	Inverse diode forward voltage
$V_{plateau}$	Gate Plateau Spannung	Gate plateau voltage
Z_{thJA}	Transienter Wärmewiderstand, Chip-Umgebung	Transient thermal resistance, chip to ambient
Z_{thJS}	Transienter Wärmewiderstand, Chip-Lötspunkt	Transient thermal resistance, chip to solder point
Z_{thJC}	Transienter Wärmewiderstand, Chip-Gehäuse	Transient thermal resistance, chip to case

Normen

Folgende Normen wurden in diesem Datenbuch verwendet. Spezielle Einzelheiten können nachfolgenden Unterlagen entnommen werden:

Standards

The following standards were used for this Data Book. Specific details can be taken from the documents listed below:

Normen Standards		Begriffe und Definitionen	Terms and Definitions
DIN 40 900	T5	Halbleiter, Schaltzeichen	Semiconductors, Graphical Symbols
DIN 41 781		Diodenbegriffe	Diode Terms and Definitions
DIN 41 785	T3	Leistungshalbleiter, Kurzzeichen	Power Semiconductors, Letter Symbols
DIN 41 854		Bipolare Transistoren, Begriffe	Bipolar Transistors, Terms and Definitions
DIN 41 858		Feldeffekttransistoren, Begriffe	Field Effect Transistors, Terms and Definitions
IEC 148 B		Halbleiterbauelemente, Symbole allgemein	Semiconductor Devices, Symbols, General

Symbols, Terms, Standards

Angaben in Datenblättern Details in Data Sheets		Messverfahren	Test Procedures
DIN 41 791	T1	Allgemeines zu Datenblättern	General Remarks on Data Sheet Details
	T5	Datenblattangaben, Leistungstransistoren	Data Sheet Details, Power Transistors
	T6	Datenblattangaben, Schalttransistoren	Data Sheet Details, Switching Transistors
DIN 41 792	T1	Messverfahren, Transistoren	Test Procedures, Transistors
	T2	Messverfahren, Dioden	Test Procedures, Diodes
	T3	Messverfahren, Wärmewiderstand	Test Procedures, Thermal Resistance
DIN IEC 747	T1	Allgemeines zu Grenz- und Kenndaten, Messverfahren	General Remarks on Maximum Ratings and Characteristics, Test Procedures
	T2	Dioden	Diodes
IEC 747	T7	Bipolare Schalttransistoren	Bipolar Switching Transistors
DIN IEC 747	T8	Feldefekttransistoren	Field Effect Transistors

Zuverlässigkeit Reliability		Begriffe	Terms
DIN 41 794	T3	Transistoren	Transistors
	T8	Dioden	Diodes
DIN IEC 68 ..		Tests	Tests
MIL-STD 883C		Testmethoden, z.B. Methode 3015.6 für ESD ¹⁾	Test Methods, e.g. Method 3015.6 for ESD ¹⁾
MIL-STD 19500		Ausfallkriterien	Failure Criteria
SN 73 257		ESD	ESD
A66762-A4013-A58		Verfahrensanleitung für ESD	QA Process Instructions for ESD

¹⁾ **ESD** \triangleq **E**lectro**S**tatic **D**ischarge / Elektrostatische Entladung

1.1 Anordnung des Indizes

Spannungen

Es werden zwei Indizes verwendet, die die Punkte bezeichnen, zwischen denen die Spannung gemessen wird. Positive Zahlenwerten der Spannungen entsprechen positive Potentiale des mit dem ersten Index bezeichneten Punkt (Bezugspunkt), z.B. V_{GE} und V_{GS} .

Ströme

Mindestens ein Index wird verwendet. Positive Zahlenwerten des Stroms entsprechen positive Ströme, die an dem mit dem ersten Index bezeichneten Anschluss in das Bauelement eintreten, z.B. I_{GE} und I_{GS} .

Ein zusätzlicher 3. Index gibt den Beschaltungszustand zwischen dem 2. Index und dem nicht bezeichneten 3. Anschluss an.

1.1 Arrangement of Subscripts

Voltages

Two subscripts are used to designate the points between which the voltage is measured. Positive numerical values of the voltages equate to positive potentials of the point specified by the first subscript (reference point), e.g. V_{GE} and V_{GS} .

Currents

At least one subscript is used. Positive numerical values of the current equate to positive currents entering the component at the connection specified by the first subscript, e.g. I_{GE} and I_{GS} .

An additional, third subscript indicates the circuit status between the second subscript and the unspecified third connection.

Beispiele	Examples
$V_{(BR)CES}$ = Durchbruchspannung zwischen Kollektor- und Emitter-Anschluss mit kurzgeschlossenem Gate-Emitter-Anschluss.	$V_{(BR)CES}$ = Breakdown voltage between collector and emitter connections with shorted gate-emitter connection.
$V_{(BR)DSS}$ = Durchbruchspannung zwischen Drain- und Source-Anschluss mit kurzgeschlossenem Gate-Source-Anschluss.	$V_{(BR)DSS}$ = Breakdown voltage between drain and source connections with shorted gate-source connection.
I_{CEV} = Strom in Kollektor-Emitter-Richtung mit Spannungsbeschaltung zwischen Gate-Emitter-Anschluss.	I_{CEV} = Current in collector-emitter direction with voltage connected across the gate-emitter connection.
I_{DSV} = Strom in Drain-Source-Richtung mit Spannungsbeschaltung zwischen Gate-Source-Anschluss.	I_{DSV} = Current in drain-source direction with voltage connected across the gate-source connection.
3. Buchstabe	Third letter
S = kurzgeschlossen	S = Shorted
R = Widerstandsbeschaltung	R = Resistive connection
V = Spannungsbeschaltung	V = Voltage connection
X = Widerstands- und Spannungsbeschaltung	X = Resistive and voltage connection

2 Grenzwerte

Die in den Datenblättern angegebenen Grenzwerte sind absolute Werte. Wird einer dieser Grenzwerte überschritten, so kann das zur Zerstörung des Halbleiters führen, auch wenn nicht alle anderen Grenzwerte ausgenutzt werden. Wenn nicht anders angegeben, gelten die Werte bei einer Temperatur von 25°C.

2.1 Kollektor-Emitter-Spannung

$$V_{CE}$$

Maximal zulässiger Wert der Spannung zwischen den Kollektor-Emitter-Anschlüssen bei kurzgeschlossener Gate-Emitter-Strecke.

2.2 Kollektor-Gate-Spannung

$$V_{CGR}$$

Maximal zulässiger Wert der Spannung zwischen dem Kollektor- und dem Gate-Anschluss bei Überbrückung der Gate-Emitter-Anschlüsse mit einem vorgegebenen Widerstand.

2.3 Drain-Source-Spannung V_{DS}

Maximal zulässiger Wert der Spannung zwischen den Drain-Source-Anschlüssen bei kurzgeschlossener Gate-Source. Ausgenommen sind Spannungsspitzen bei avalanche-festen Transistoren.

2.4 Kollektor-Gleichstrom I_C

Maximal zulässiger Wert des Gleichstroms über den Kollektor-Anschluss.

2 Maximum Ratings

The maximum ratings presented in the data sheets are absolute values. If one of these maximum ratings is exceeded, it may result in breakdown of the semiconductor, even if the other maximum ratings are not all used to their limits. Unless specified to the contrary, the values apply at a temperature of 25°C.

2.1 Collector-Emitter Voltage

$$V_{CE}$$

The maximum permissible value of the voltage across the collector-emitter connections with shorted Gate and Emitter.

2.2 Collector-Gate Voltage

$$V_{CGR}$$

The maximum permissible value of the voltage across the collector and gate connections when the gate-emitter connections are bridged by a specified resistance.

2.3 Drain-Source Voltage V_{DS}

The maximum permissible value of the voltage across the drain-source connections with shorted Gate and Source. Glitches relating to avalanche-resistant transistors are excluded.

2.4 DC Collector Current I_C

The maximum permissible value of the direct current across the collector connection.

2.5 Drain-Gleichstrom I_D

Maximal zulässiger Wert des Gleichstroms über den Drain-Anschluss.

2.6 Kollektor-Strom, gepulst I_{Cpuls}

Maximal zulässiger Scheitelwert des Stroms über den Kollektor-Anschluss bei Pulsbetrieb. Die Pulsbreite und das Puls-Pausenverhältnis ist aus dem Diagramm "Zulässiger Betriebsbereich" zu entnehmen.

2.7 Drain-Strom, gepulst I_{Dpuls}

Maximal zulässiger Scheitelwert des Stroms über den Drain-Anschluss bei Pulsbetrieb. Die Pulsbreite und das Puls-Pausenverhältnis ist aus dem Diagramm "Zulässiger Betriebsbereich" zu entnehmen. Für Einzelpulse bei maximaler Aufsteuerung des Transistors sind höhere Werte zulässig. Werte auf Anfrage.

2.8 Gate-Emitter-Spannung V_{GE}

Maximal zulässiger Wert der Spannung zwischen den Gate-Emitter-Anschlüssen.

2.9 Gate-Source-Spannung V_{GS}

Maximal zulässiger Wert der Spannung zwischen den Gate-Source-Anschlüssen.

2.5 DC Drain Current I_D

The maximum permissible value of the direct current across the drain connection.

2.6 Collector Current, pulsed I_{Cpuls}

The maximum permissible crest value of the current across the collector connection in pulsed operation. The pulse width and pulse spacing can be taken from the "Safe Operating Area" diagram.

2.7 Drain Current, pulsed I_{Dpuls}

The maximum permissible crest value of the current across the drain connection in pulsed operation. The pulse width and pulse spacing can be taken from the "Safe Operating Area" diagram. Higher values are permissible for single pulses at maximum biasing of the transistor. Values supplied on request.

2.8 Gate-Emitter Voltage V_{GE}

The maximum permissible value of the voltage across the gate-emitter connections.

2.9 Gate-Source Voltage V_{GS}

The maximum permissible value of the voltage across the gate-source connections.

2.10 Inverse-Dioden

Spannungsanstieg dv/dt

Maximal Wert des Spannung-Anstieg während der Rekombinationsphase der Inverse-Diode.

2.11 Maximale Verlustleistung

$$P_{\text{tot}}$$

Der maximal zulässige Wert der Verlustleistung, die der Transistor abführen kann.

2.12 Betriebstemperaturbereich

$$T_J$$

Bereich der zulässigen Chiptemperatur, innerhalb dessen der Transistor dauernd betrieben werden darf.

2.13 Lagertemperaturbereich

$$T_{\text{stg}}$$

Temperaturbereich, innerhalb dessen der Transistor ohne elektrische Beanspruchung gelagert oder transportiert werden darf.

2.14 Avalanche-Energie, Einzelpuls E_{AS}

Maximal zulässige Pulsenergie beim Auftreten einer einmaligen Sperrspannungsdurchbruchbelastung. Die Parameter: I_D , V_{DD} , R_{GS} , L und T_J sind spezifiziert.

2.15 Avalanche-Energie im Dauerbetrieb E_{AR}

Maximal zulässige Sperrspannungsdurchbruchenergie in Dauerbetrieb bei Einhaltung der maximal zulässigen Chiptemperatur.

2.10 Reverse Diode

Voltage Rise dv/dt

Rate of rise of off-state voltage that is induced during reverse recovery period of the inverse diode.

2.11 Maximum Power Dissipation

$$P_{\text{tot}}$$

The maximum permissible power loss that can be dissipated by the transistor.

2.12 Operating Temperature Range

$$T_J$$

The range of the permissible chip temperature within which the transistor may be continuously operated.

2.13 Storage Temperature Range

$$T_{\text{stg}}$$

The temperature range within which the transistor may be stored or transported without electrical stressing.

2.14 Avalanche Energy, Single Pulse E_{AS}

The maximum pulse-energy occurring with a unique reverse voltage breakdown load. The parameters I_D , V_{DD} , R_{GS} , L and T_J are specified.

2.15 Avalanche Energy in Continuous Operation E_{AR}

The maximum permissible reverse-voltage breakdown energy in continuous operation while observing the maximum permissible chip temperature.

2.16 Avalanche Drainstrom im Dauerbetrieb I_{AR}

Maximal zulässiger Drainstrom-Scheitelpunkt bei periodischer Sperrspannungsdurchbruchbelastung unter Einhaltung der maximal zulässigen Chip-temperatur.

2.17 Feuchteklasse

Die Angaben sind nach DIN 40040 spezifiziert.

2.18 Prüfklasse

Die Angaben sind nach DIN IEC 68-1 spezifiziert.

2.16 Avalanche Drain Current in Continuous Operation I_{AR}

The maximum permissible drain current crest value at repetitive reverse-voltage breakdown loading while observing the maximum permissible chip temperature.

2.17 Humidity Class

Details are specified in accordance with DIN 40040.

2.18 Test Class

Details are specified in accordance with DIN IEC 68-1.

3 Kennwerte

Die angegebenen Werte sind als Mittelwerte aufzufassen. In vielen Fällen werden sie durch Angabe des Streubereichs ergänzt.

3.1 Kollektor-Emitter-Durchbruchspannung $V_{(BR)CES}$

Die Spannung zwischen den Kollektor-Emitter-Anschlüssen, gemessen bei spezifiziertem Kollektor-Strom und kurzgeschlossenen Gate-Emitter-Anschlüssen.

3.2 Drain-Source-Durchbruchspannung $V_{(BR)DSS}$

Die Spannung zwischen den Drain-Source-Anschlüssen, gemessen bei spezifiziertem Drain-Strom und kurzgeschlossenen Gate-Source-Anschlüssen.

3.3 Gate-Schwellenspannung (Einsatzspannung)

$$V_{GE(th)}$$

Der Wert der Gate-Emitter-Spannung, gemessen bei spezifiziertem Kollektor-Strom und spezifizierter Kollektor-Emitter-Spannung.

$$V_{GS(th)}$$

Der Wert der Gate-Source-Spannung, gemessen bei spezifiziertem Drain-Strom und spezifizierter Drain-Source-Spannung.

3.4 Kollektor-Reststrom I_{CES}

Der Wert des Kollektor-Stroms bei einer spezifizierten Kollektor-Emitter-Spannung und kurzgeschlossenen Gate-Emitter-Anschlüssen. Angegeben werden Werte bei 25°C und einer spezifizierten höheren Chiptemperatur.

3 Characteristics

Specified values should be regarded as average values. In many cases the variation range is given as well.

3.1 Collector-Emitter Breakdown Voltage $V_{(BR)CES}$

The voltage across the collector-emitter connections measured at the specified collector current and shorted gate-emitter connections.

3.2 Drain-Source Breakdown Voltage $V_{(BR)DSS}$

The voltage across the drain-source connections measured at the specified drain current and shorted gate-source connections.

3.3 Gate Threshold Voltage

$$V_{GE(th)}$$

The value of the gate-emitter voltage measured at the specified collector current and the specified collector-emitter voltage.

$$V_{GS(th)}$$

The value of the gate-source voltage measured at the specified drain current and the specified drain-source voltage.

3.4 Collector Cutoff Current I_{CES}

The value of the collector current at a specified collector-emitter voltage and shorted gate-emitter connections. The details shown are values at 25°C and a specified, higher chip temperature.

3.5 Drain-Reststrom I_{DSS}

Der Wert des Drain-Stroms bei einer spezifizierten Drain-Source-Spannung und kurzgeschlossenen Gate-Source-Anschlüssen. Angegeben werden Werte bei 25°C und einer spezifizierten höheren Chiptemperatur.

Der typ. Sperrstrom I_{DSS} kann flächenproportional skaliert werden und ist bis zu 80% der Nennsperrspannung vernachlässigbar spannungsabhängig.

Eine typ. Abhängigkeit von der Temperatur T_J zeigt **Bild 1**:

3.5 Drain Cutoff Current I_{DSS}

The value of the drain current at a specified drain-source voltage and shorted gate-source connections. The details shown are values at 25°C and a specified, higher chip temperature.

The typical reverse current I_{DSS} can be scaled in proportion to the area and is negligibly voltage-dependent up to 80% of the nominal reverse current.

A typical dependency of the temperature T_J is shown in **Figure 1**:

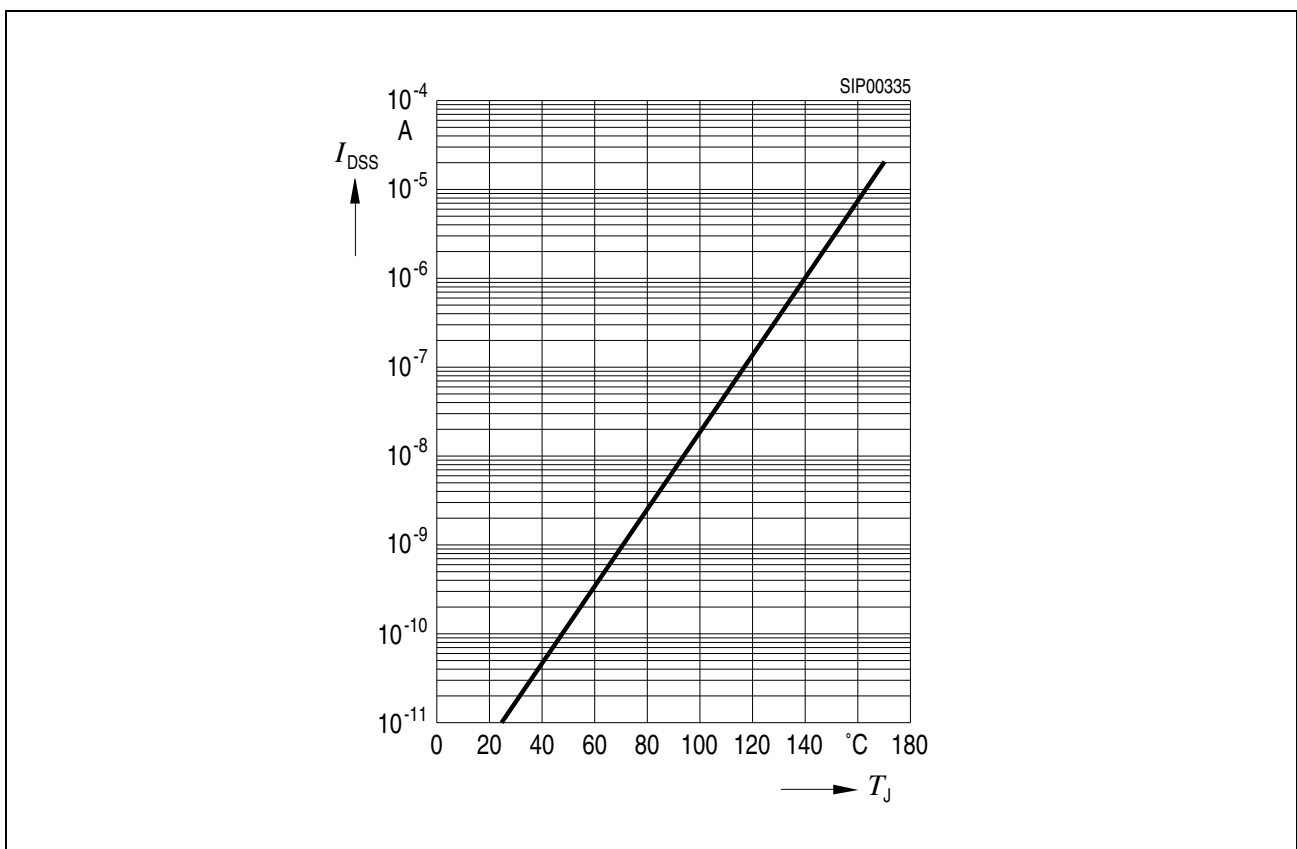


Bild 1
Typ. Verlauf für ein ca. 6 mm² Chip

Figure 1
Typ. curve for an approx. 6 mm² chip

Einfache analytische Berechnungsformel:
 $I_{DSSwarm} = I_{DSSkalt} \times 2.72^{(\Delta T/10)}$

A simple analytical calculation:
 $I_{DSSwarm} = I_{DSSkalt} \times 2.72^{(\Delta T/10)}$

3.6 Gate-Emitter-Leckstrom

$$I_{GES}$$

Der Wert des Gate-Leckstroms bei einer spezifizierten Gate-Emitter-Spannung und kurzgeschlossenen Kollektor-Emitter-Anschlüssen.

3.6 Gate-Emitter Leakage Current

$$I_{GES}$$

The value of the gate leakage current at a specified gate-emitter voltage and shorted collector-emitter connections.

3.7 Gate-Source-Leckstrom

$$I_{GSS}$$

Der Wert des Gate-Leckstroms bei einer spezifizierten Gate-Source-Spannung und kurzgeschlossenen Drain-Source-Anschlüssen.

3.7 Gate-Source Leakage Current

$$I_{GSS}$$

The value of the gate leakage current at a specified gate-source voltage and shorted drain-source connections.

3.8 Drain-Source-Einschaltwiderstand $R_{DS(on)}$

Der Wert des Widerstandes zwischen dem Drain- und Source-Anschluss bei spezifizierten Werten der Gate-Source-Spannung und des Drain-Stroms.

3.8 Drain-Source On Resistance $R_{DS(on)}$

The value of the resistance across the drain and source connections at specified values of the gate-source voltage and the drain current.

3.9 Übertragungssteilheit g_{fs}

Quotient aus der Änderung des Kollektor-Stroms und der Gate-Emitter-Spannung und spezifiziertem Kollektorstrom.

3.9 Transconductance g_{fs}

Quotient from the variation in collector current and gate-emitter voltage and the specified collector current.

3.10 Eingangskapazität C_{iss}

Die Kapazität, gemessen zwischen dem Gate- und Emitter-Anschluss bei für Wechselspannung kurzgeschlossenen Kollektor-Emitter-Anschlüssen. Die Werte der Gleichspannung zwischen den Gate-Emitter- und den Kollektor-Emitter-Anschlüssen sowie die Messfrequenz sind spezifiziert.

3.10 Input Capacitance C_{iss}

The capacitance measured across the gate and emitter connections with collector-emitter connections shorted for AC voltage. The values of the DC voltage across the gate-emitter and collector-emitter connections are specified together with the test frequency.

3.11 Ausgangskapazität C_{oss}

Die Kapazität, gemessen zwischen dem Kollektor- und Emitter-Anschluss bei für Wechselfspannung kurzgeschlossenen Gate-Emitter-Anschlüssen. Die Werte der Gleichspannung zwischen den Gate-Emitter- und den Kollektor-Emitter-Anschlüssen sowie die Messfrequenz sind spezifiziert.

3.11 Output Capacitance C_{oss}

The capacitance measured across the collector and emitter connections with gate-emitter connections shorted for AC voltage. The values of the DC voltage across the gate-emitter and collector-emitter connections are specified together with the test frequency.

3.12 Rückwirkkapazität C_{rss}

Die Kapazität, gemessen zwischen dem Kollektor- und dem Gate-Anschluss bei Verbinden des Emitter-Anschlusses mit dem Schutzschirm der Messbrücke (dreipolig). Die Werte der Gleichspannung zwischen den Gate-Emitter- und den Kollektor-Emitter-Anschlüssen sowie die Messfrequenz sind spezifiziert.

3.12 Reverse Transfer Capacitance C_{rss}

The capacitance measured across the collector and gate connections, the emitter connection being connected to the protective screen of the bridge (three-pole). The values of the DC voltage across the gate-emitter and collector-emitter connections are specified together with the test frequency.

3.13 Einschaltzeit $t_{on} = t_{d(on)} + t_r$

Summe aus Einschaltverzögerungszeit $t_{d(on)}$, gemessen zwischen dem 10%-Wert der Gate-Source-Spannung und dem 90%-Wert der Drain-Source-Spannung und der Anstiegszeit t_r , gemessen zwischen dem 90%-Wert und dem 10%-Wert von Drain-Source-Spannung oder -Strom. Schaltung und Parameter sind spezifiziert.

3.13 Turn-On Time $t_{on} = t_{d(on)} + t_r$

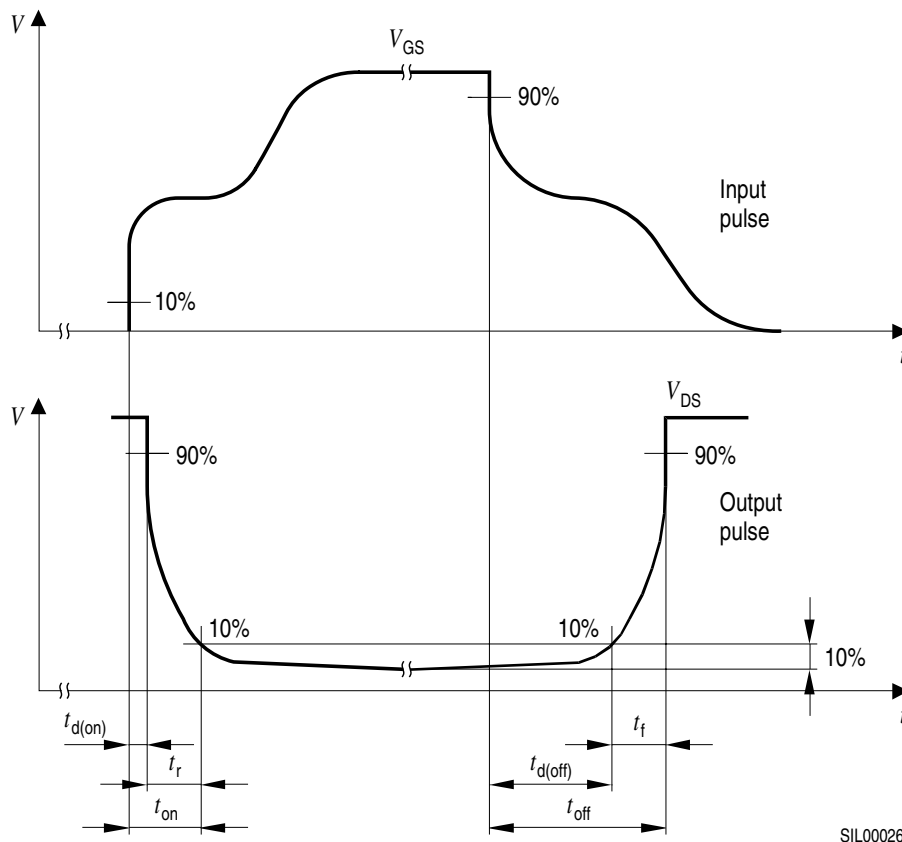
Sum of the turn-on delay time $t_{d(on)}$ measured between the 10% value of the gate-source voltage and the 90% value of the drain-source voltage and the rise time t_r measured between the 90% value and the 10% value of the drain-source voltage or current. The circuit and parameters are specified.

3.14 Ausschaltzeit $t_{off} = t_{d(off)} + t_f$

Summe aus Ausschaltverzögerungszeit $t_{d(off)}$, gemessen zwischen dem 90%-Wert der Gate-Source-Spannung und dem 10%-Wert der Drain-Source-Spannung und der Fallzeit t_f , gemessen zwischen dem 10%-Wert und dem 90%-Wert von Drain-Source-Spannung oder -Strom. Schaltung und Parameter sind spezifiziert.

3.14 Turn-Off Time $t_{off} = t_{d(off)} + t_f$

Sum of the turn-off delay time $t_{d(off)}$ measured between the 90% value of the gate-source voltage and the 10% value of the drain-source voltage and the fall time t_f measured between the 10% value and the 90% value of the drain-source voltage or current. The circuit and parameters are specified.



SIL00026

t Zeitachse
 $t_{d(off)}$ Ausschaltverzögerungszeit
 $t_{d(on)}$ Einschaltverzögerungszeit
 t_f Fallzeit
 t_{on} Einschaltzeit
 t_{off} Ausschaltzeit
 t_r Anstiegszeit
 V Spannungsachse
 V_{DS} Drain-Source-Spannung
 V_{GS} Gate-Source-Spannung

t Times Axis
 $t_{d(off)}$ Turn-Off Delay Time
 $t_{d(on)}$ Turn-On Delay Time
 t_f Fall Time
 t_{on} Turn-On Time
 t_{off} Turn-Off Time
 t_r Rise Time
 V Voltage Axis
 V_{DS} Drain-Source Voltage
 V_{GS} Gate-Source Voltage

Bild 2
Definition der Schaltzeit

Figure 2
Definition of Switching Time

3.15 Inversdioden Gleichstrom I_S

Maximal zulässiger Durchlassgleichstrom der Inversdioden bei spezifizierter Gehäusetemperatur T_C bzw. Umgebungstemperatur T_A .

3.16 Inversdioden Gleichstrom, gepulst I_{SM}

Maximal zulässiger Scheitelwert des Stroms der Inversdiode bei Pulsbetrieb. Die Gehäusetemperatur bzw. die Umgebungstemperatur ist angegeben. Das Puls-Pausen-Verhältnis entspricht dem des Transistorpulsstroms.

3.17 Durchlassspannung V_{SD}

Typischer Wert und obere Streugrenze der im Durchlasszustand zwischen Source und Drain liegenden Spannung. Der Durchlassstrom I_F , die Spannung V_{GS} und die Chiptemperatur T_J sind spezifiziert.

3.18 Gate Ladung Q_G

Die benötigte Ladung, um die Gate-Source Spannung von null auf einen definierten Wert zu heben.

3.19 Gate-Source Ladung Q_{GS}

Die benötigte Ladung, um die Gate-Source Spannung von null auf die Miller Plateau Spannung zu heben.

3.20 Gate-Drain Ladung Q_{GD}

Die benötigte Ladung, um das Miller Plateau zu durchlaufen.

3.15 Inverse Diode Continuous Forward Current I_S

The maximum permissible forward current of the inverse diode at the specified case temperature T_C or ambient temperature T_A .

3.16 Inverse Diode Direct Current, Pulsed I_{SM}

The maximum permissible crest value of the inverse diode current in pulsed operation. The case temperature or the ambient temperature is presented. The pulse spacing is that of the transistor pulse current.

3.17 Forward Voltage V_{SD}

A typical value and upper limit of scattering of the voltage at ON state across the source and the drain. The forward current I_F , the voltage V_{GS} and the chip temperature T_J are specified.

3.18 Gate Charge Q_G

The charge that required to raise the gate-source voltage from zero to a specified value.

3.19 Gate-Source Charge Q_{GS}

The charge that required to raise the gate-source voltage from zero to the Miller plateau voltage.

3.20 Gate-Drain Charge Q_{GD}

The charge that required to pass the Miller plateau voltage.

3.21 Sperrverzögerungszeit t_{rr} und Sperrverzögerungsladung Q_{rr}

Angegeben ist jeweils der typische Wert und der maximale Wert für die im Datenblatt spezifizierten Mess- und Nebenbedingungen (siehe **Bild 3** nach DIN IEC 747 T2).

3.21 Reverse Recovery Time t_{rr} and Recovered Charge Q_{rr}

A typical and a max. value is presented in each case for the test and secondary conditions specified on the data sheet (refer to **Figure 3** conforming with DIN IEC 747 T2).

3.22 Thermische Kapazität C_{th1}

Thermische Kapazität im thermischen Ersatzschaltbild.

3.22 Thermal Capacitance C_{th1}

Thermal capacitance in equivalent network

3.23 Thermische Widerstand R_{th1}

Wärmewiderstand im thermischen Ersatzschaltbild.

3.23 Thermal Resistance R_{th1}

Thermal resistance in equivalent network

3.24 Wärmewiderstand Chip-Gehäuse R_{thJC} oder Chip-Umgebung R_{thJA}

Quotient aus der Differenz zwischen der Chip- und der Bezugstemperatur am Gehäuse, oder der Umgebung einerseits und der abgeführten Verlustleistung andererseits, bei thermischem Gleichgewicht.

3.24 Chip to Case Thermal Resistance R_{thJC} or Chip to Ambient Air R_{thJA}

Quotient from the difference between the chip temperature and the reference temperature at the case or ambient air on the one hand and the dissipated power on the other, at thermal equilibrium.

3.25 Interner Gate Widerstand R_G

Der interne Gate Widerstand des Bauelements.

3.25 Internal Gate Resistance R_G

The internal Gate resistance of the device.

3.26 Maximale Steilheit der Rückstromspitze di_{rr}/dt

Die maximale Steilheit der Stromes während der Rekombinationsphase.

3.26 Peak Rate of fall of Reverse Recovery Current di_{rr}/dt

Maximum fall of current during reverse recovery.

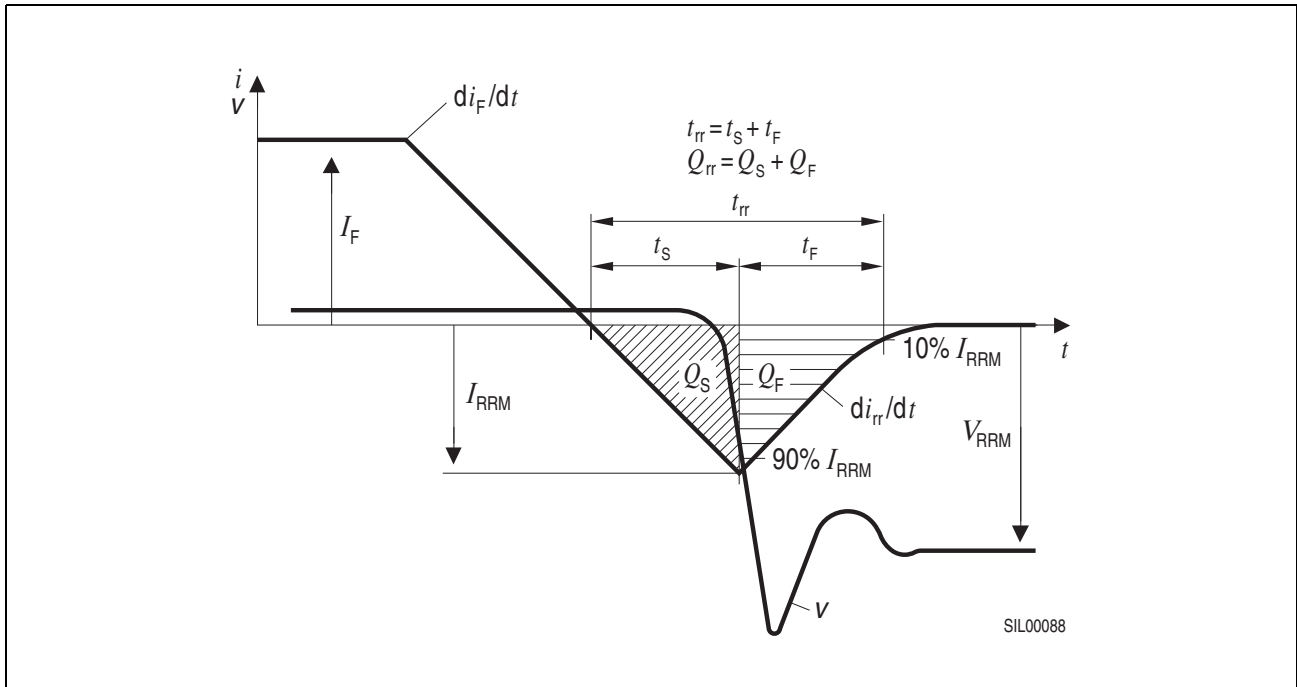


Bild 3
Sperrverzögerungszeit t_{rr} ,
Sperrverzögerungsladung Q_{rr}
und Rückstromspitze I_{RRM}

Figure 3
Reverse recovery time t_{rr} ,
recovered charge Q_{rr} and
peak return current I_{RRM}

3.27 Effektive Ausgangskapazität, Energiebezogen $C_{o(er)}$

$C_{o(er)}$ ist die konstante Kapazität gleich der gespeicherten Energie in C_{oss} bei einer V_{DS} Steigerung von 0 auf 80% V_{DSS} .

3.27 Effective Output Capacitance Energy Related $C_{o(er)}$

$C_{o(er)}$ is a fixed capacitance that gives the same stored energy as C_{oss} while V_{DS} is rising from 0 to 80% V_{DSS} .

3.28 Effektive Ausgangskapazität, Zeitbezogen $C_{o(tr)}$

$C_{o(tr)}$ ist die konstante Kapazität gleich der Ladungszeit von C_{oss} bei einer V_{DS} Steigerung von 0 auf 80% V_{DSS} .

3.28 Effective Output Capacitance Time Related $C_{o(tr)}$

$C_{o(tr)}$ is a fixed capacitance that gives the same charging time as C_{oss} while V_{DS} is rising from 0 to 80% V_{DSS} .

3.29 Miller Plateau Spannung am Gate V_{plateau}

V_{plateau} stellt sich während der Umladung der GD-Kapazität ein. Während dieser Zeit ist V_{GS} konstant.

3.30 Drain-Source-Avalanche Durchbruchspannung $V_{(\text{BR})\text{DS}}$

Typischer Wert, bei dem der Transistor bei Überspannung in den Avalanche-Mode geht.

3.31 Maximale Löttemperatur T_{sold}

Die maximal zulässige Löttemperatur an den Anschlüssen des Bauelementes bei einem spezifizierten Abstand vom Gehäuse und für eine spezifizierte Zeit.
(siehe Kapitel Montage- und Löthinweise)

3.29 Gate Plateau (Miller) Voltage V_{plateau}

V_{plateau} will be adjusted during reload of Gate-Drain capacity. During this time V_{GS} is constant.

3.30 Drain-Source Avalanche Breakdown Voltage $V_{(\text{BR})\text{DS}}$

Typical overvoltage breakdown voltage.

3.31 Maximum Soldering Temperature T_{sold}

The maximum permissible soldering temperature at the connections of the semiconductor, at a specified spacing from the package and for a specified time.

4 Diagramme

4.1 Verlustleistung $P_{\text{tot}} = f(T)$

Angegeben ist die maximal zulässige Verlustleistung, abhängig von der Gehäusetemperatur T_C bzw. Umgebungstemperatur T_A .

4.2 Typische Ausgangscharakteristik

$$I_C = f(V_{CE})$$

Aufgetragen ist die typische Abhängigkeit des Kollektor-Stroms I_C von der Kollektor-Emitter-Spannung V_{CE} bei vorgegebener Gate-Emitter-Spannung V_{GE} . Chiptemperatur T_J und Pulsbreite sind spezifiziert.

$$I_D = f(V_{DS})$$

Aufgetragen ist die typische Abhängigkeit des Drain-Stroms I_D von der Drain-Source-Spannung V_{DS} bei vorgegebener Gate-Source-Spannung V_{GS} . Chiptemperatur T_J und Pulsbreite sind spezifiziert.

4.3 Zulässiger Betriebsbereich

$$I_C = f(V_{CE}),$$

(SOA-Diagramm)

Dargestellt ist der maximal zulässige Kollektor-Strom I_C abhängig von der Kollektor-Emitter-Spannung V_{CE} für Belastung mit Dauergleichstrom und mit Impulsen unterschiedlicher Breite bei spezifiziertem Puls-Pausen-Verhältnis. Die maximal zulässige Gehäusetemperatur ist spezifiziert. Innerhalb dieses Bereiches sind alle Werte von I_C und V_{CE} erlaubt, wenn der Transistor dabei thermisch nicht überlastet wird.

4 Diagrams

4.1 Power Dissipation $P_{\text{tot}} = f(T)$

The maximum permissible power dissipation is presented as a function of case temperature T_C or ambient temperature T_A .

4.2 Typical Output Characteristic

$$I_C = f(V_{CE})$$

A plot is made of the typical dependence of the collector current I_C on the collector-emitter voltage V_{CE} at a given gate-emitter voltage V_{GE} . The chip temperature T_J and pulse width are specified.

$$I_D = f(V_{DS})$$

A plot is made of the typical dependence of the drain current I_D on the drain-source voltage V_{DS} at a given gate-source voltage V_{GS} . The chip temperature T_J and pulse width are specified.

4.3 Safe Operating Area

$$I_C = f(V_{CE}),$$

(SOA Diagram)

The maximum permissible collector current I_C is shown as a function of the collector-emitter voltage V_{CE} for loading with continuous direct current and with pulses of varying width at the specified pulse duty factor. The maximum permissible case temperature is specified. All values of I_C and V_{CE} are allowed within this operating area if the transistor is not thermally overloaded as a result.

$I_D = f(V_{DS})$, (SOA-Diagramm)

Dargestellt ist der maximal zulässige Drain-Strom I_D abhängig von der Drain-Source-Spannung V_{DS} für Belastung mit Dauergleichstrom und mit Impulsen unterschiedlicher Breite bei spezifiziertem Puls-Pausen-Verhältnis. Die maximal zulässige Gehäuse-temperatur ist spezifiziert. Innerhalb dieses Bereiches sind alle Werte von I_D und V_{DS} erlaubt, wenn der Transistor dabei thermisch nicht überlastet wird.

4.4 Typische Übertragungscharakteristik

$$I_C = f(V_{CE})$$

Das Diagramm zeigt die typische Abhängigkeit des Kollektorstromes I_C von der Gate-Emitter-Spannung V_{GE} , wobei die Chiptemperatur T_J , die Pulsbreite und die Kollektor-Emitter-Spannung V_{CE} spezifiziert sind.

$$I_D = f(V_{GS})$$

Das Diagramm zeigt die typische Abhängigkeit des Drainstromes I_D von der Gate-Source-Spannung V_{GS} , wobei die Chip-temperatur T_J , die Pulsbreite und die Drain-Source-Spannung V_{DS} spezifiziert sind.

4.5 Typischer Drain-Source Widerstand $R_{DS(on)} = f(I_D)$

Aufgetragen ist der typische Einschaltwiderstand $R_{DS(on)}$ in Abhängigkeit vom Drainstrom I_D bei $T_J = 25^\circ\text{C}$ und unterschiedlichen Gate-Source-Spannungen.

$I_D = f(V_{DS})$, (SOA Diagram)

The maximum permissible drain current I_D is shown as a function of the drain-source voltage V_{DS} for loading with continuous direct current and with pulses of varying width at the specified pulse duty factor. The maximum permissible case temperature is specified. All values of I_D and V_{DS} are allowed within this operating area if the transistor is not thermally overloaded as a result.

4.4 Typical Transfer Characteristic

$$I_C = f(V_{CE})$$

The diagram shows the typical dependence of the collector current I_C on the gate-emitter voltage V_{GE} ; the chip temperature T_J , the pulse width and the collector-emitter voltage V_{CE} are specified.

$$I_D = f(V_{GS})$$

The diagram shows the typical dependence of the drain current I_D on the gate-source voltage V_{GS} ; the chip temperature T_J , the pulse width and the drain-source voltage V_{DS} are specified.

4.5 Typical Drain-Source On State Resistance $R_{DS(on)} = f(I_D)$

A plot is made of the typical turn-on resistance $R_{DS(on)}$ as a function of the drain current I_D at $T_J = 25^\circ\text{C}$ and different gate-source voltages.

4.6 Drain-Source Widerstand $R_{DS(on)} = f(T_J)$

Dargestellt ist der Einschaltwiderstand in Abhängigkeit von der Chiptemperatur über den zulässigen Betriebsbereich, bei spezifiziertem Drainstrom I_D und Gate-Spannung V_{GS} . Die 98%-Kurven stellen keine garantierten Grenzen dar, sondern nur Erfahrungswerte.

Die Temperaturabhängigkeit des Einschaltwiderstandes ist hauptsächlich abhängig von der Nennsperrspannung des Transistors, sie ist bei 50-V-Typen flacher als bei 1000-V-Typen und erklärbar durch die unterschiedliche Dotierung des Silizium-Grundmaterials.

4.6.1 N-Kanal Transistoren

Der Einschaltwiderstand bei Erwärmung kann nach folgender Formel berechnet werden:

4.6 Drain-Source On State Resistance $R_{DS(on)} = f(T_J)$

Turn-on resistance is shown as a function of chip temperature over the safe operating area at a specified drain current I_D and gate voltage V_{GS} . The 98% curves do not represent guaranteed limits but are merely empirical values.

The temperature dependence of the turn-on resistance depends primarily on the rated reverse voltage of the transistor; its slope is flatter for 50 V types than for 1000 V types and can be explained by the different doping of the silicon basic material.

4.6.1 N-Channel Transistors

Turn-on resistance during heating may be calculated from the following formula:

$$R_{DS(on)T2} = R_{DS(on)T1} \times \left(1 + \frac{\alpha}{100}\right)^{(T2 - T1)}$$

$$\alpha = 0.8$$

4.7 Drain-Source-Durchbruchspannung

$$V_{(BR)DSS} = f(T_J)$$

Angegeben ist die typ. Abhängigkeit der Drain-Source-Durchbruchspannung von zulässigen Betriebstemperaturbereich.

4.7 Drain-Source Breakdown Voltage

$$V_{(BR)DSS} = f(T_J)$$

The typical dependency of the drain-source breakdown voltage on the chip temperature above the permissible operating temperature range is specified.

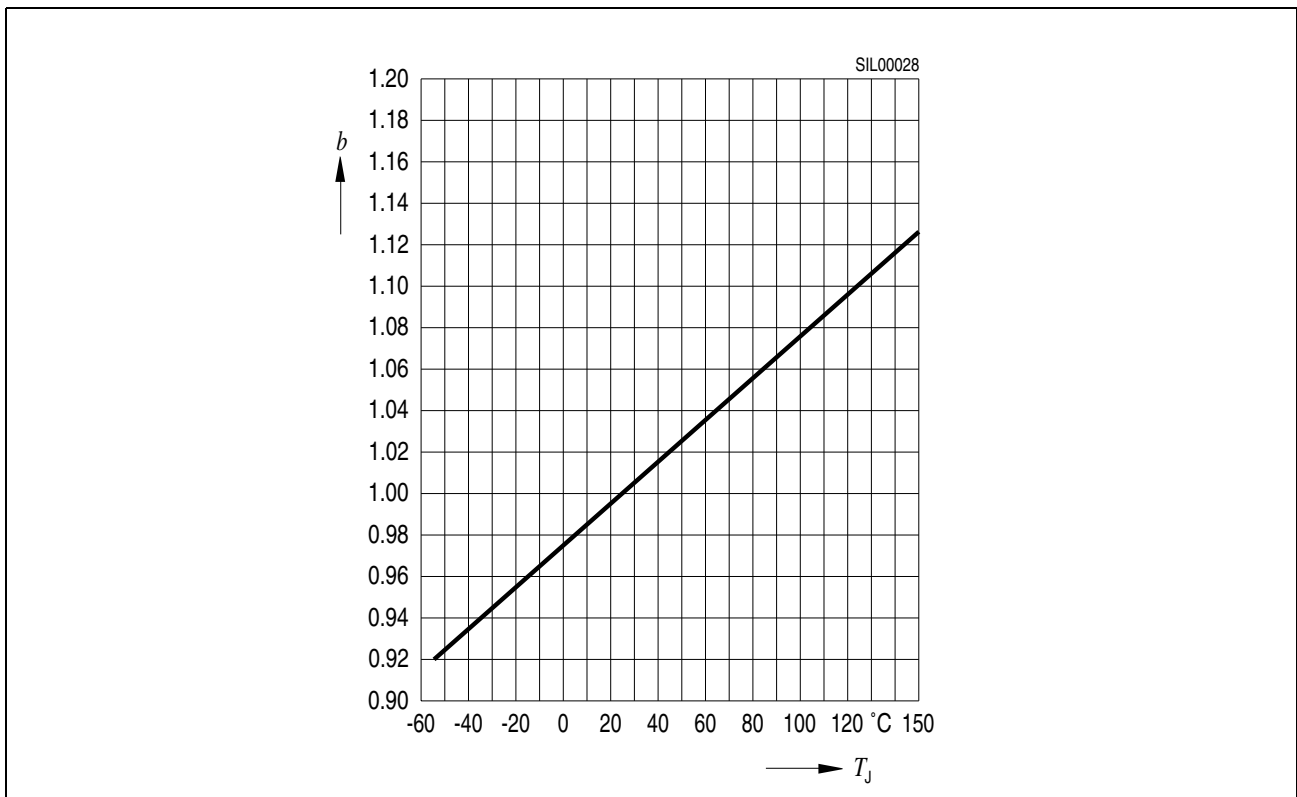


Bild 4
Normierter Temperaturverlauf
Drain-Source-Durchbruchspannung

Figure 4
Normalized temperature march of the
drain-source breakdown voltage

4.8 Gate-Schwelligenspannung

$$V_{GS(th)} = f(T_J)$$

Das Diagramm zeigt die Abhängigkeit des Streubereiches der Gate-Schwelligenspannung $V_{GS(th)}$ von der Chiptemperatur T_J bei folgenden Parametern:

$$V_{DS} = V_{GS} \text{ und } I_D.$$

4.8 Gate Threshold Voltage

$$V_{GS(th)} = f(T_J)$$

The diagram shows the dependence of the variation range of the gate threshold voltage $V_{GS(th)}$ on the chip temperature T_J for the following parameters:

$$V_{DS} = V_{GS} \text{ and } I_D.$$

4.9 Typische Kapazitäten

$$C = f(V_{CE})$$

Dargestellt sind die typischen Kennlinien der Eingangskapazität C_{iss} , Ausgangskapazität C_{oss} und Rückwirkungskapazität C_{rss} in Abhängigkeit von der Kollektor-Emitter-Spannung V_{CE} bei einer Frequenz $f = 1$ MHz und einer Gate-Emitter-Spannung $V_{GE} = 0$ V.

$$C = f(V_{DS})$$

Dargestellt sind die typischen Kennlinien der Eingangskapazität C_{iss} , Ausgangskapazität C_{oss} und Rückwirkungskapazität C_{rss} in Abhängigkeit von der Drain-Source-Spannung V_{DS} bei einer Frequenz $f = 1$ MHz und einer Gate-Source-Spannung $V_{GS} = 0$ V.

4.10 Typische und maximale Durchlasskennlinie der Inverse-Diode

$$I_F = f(V_F)$$

Dargestellt ist die Abhängigkeit des gepulsten Dioden-Gleichstroms I_F von der Dioden-Durchlassspannung V_F . Die Pulsbreite t_p und die Chiptemperatur T_J sind spezifiziert.

$$I_{SM} = f(V_{SD})$$

Dargestellt ist die Abhängigkeit des gepulsten Inversdioden-Gleichstroms I_{SM} von der Inversdioden-Durchlassspannung V_{SD} . Die Pulsbreite t_p und die Chiptemperatur T_J sind spezifiziert.

4.9 Typical Capacitances

$$C = f(V_{CE})$$

The typical characteristics of the input capacitance C_{iss} , the output capacitance C_{oss} and the reverse transfer capacitance C_{rss} are shown as a function of the collector-emitter voltage V_{CE} at a frequency $f = 1$ MHz and a gate-emitter voltage $V_{GE} = 0$ V.

$$C = f(V_{DS})$$

The typical characteristics of the input capacitance C_{iss} , the output capacitance C_{oss} and the reverse transfer capacitance C_{rss} are shown as a function of the drain-source voltage V_{DS} at a frequency $f = 1$ MHz and a gate-source voltage $V_{GS} = 0$ V.

4.10 Typical and Maximum Forward Characteristic of Inverse Diode

$$I_F = f(V_F)$$

The dependence is shown of the diode direct current I_F on the diode forward voltage V_F . The pulse width t_p and the chip temperature T_J are specified.

$$I_{SM} = f(V_{SD})$$

The dependence is shown of the pulsed inverse diode direct current I_{SM} on the inverse diode forward voltage V_{SD} . The pulse width t_p and the chip temperature T_J are specified.

4.11 Kollektorstrom $I_C = f(T)$

Gezeigt wird der maximal zulässige Kollektorgleichstrom in Abhängigkeit von der Gehäusetemperatur T_C bzw. Umgebungstemperatur T_A bei durchgeschaltetem Transistor, d.h. bei $V_{GE} \times 15 \text{ V}$.

4.12 Drainstrom $I_D = f(T)$

Gezeigt wird der maximal zulässige Draingleichstrom in Abhängigkeit von der Gehäusetemperatur T_C bzw. Umgebungstemperatur T_A bei durchgeschaltetem Transistor.

4.13 Avalanche Energie $E_{AS} = f(T_J)$

Das Diagramm zeigt den Verlauf der maximalen Einzelpuls-Avalanche-Energie E_{AS} in Abhängigkeit der Chiptemperatur bei Nennstrom und spezifizierter Versorgungsspannung V_{DD} .

4.14 Transienter Wärmewiderstand $Z_{thJC} = f(t_p)$

Das Diagramm zeigt den Verlauf des transienten Wärmewiderstandes Z_{thJC} bei spezifiziertem Tastverhältnis $D = t_p/T$ in Abhängigkeit von der Belastungszeit t_p (Pulsbreite).

4.11 Collector Current $I_C = f(T)$

The maximum permissible DC collector current is shown as a function of the case temperature T_C or ambient temperature T_A for a through-connected transistor, i.e. at $V_{GE} \times 15 \text{ V}$.

4.12 Drain Current $I_D = f(T)$

The maximum permissible DC drain current is shown as a function of the case temperature T_C or ambient temperature T_A for a through-connected transistor.

4.13 Avalanche Energy $E_{AS} = f(T_J)$

The diagram shows the variation of the maximum single-pulse avalanche energy E_{AS} as a function of chip temperature at rated current and the specified supply voltage V_{DD} .

4.14 Transient Thermal Impedance $Z_{thJC} = f(t_p)$

The diagram shows the variation of the transient thermal resistance Z_{thJC} for the specified pulse duty factor $D = t_p/T$ as a function of the loading time t_p (pulse width).

4.15 Typische Gate Ladung

$$V_{GS} = t(Q_G)$$

Das Diagramm zeigt den typischen Verlauf der erforderlichen Gate-Ladung bei gegebener Gate-Source- und Drain-Source-Spannung, um einen SIPMOS Transistor mit dem spezifizierten Strom einzuschalten.

Die Gate-Ladung setzt sich zusammen aus der Ladung Q_{GS} , die benötigt wird, um die Gate-Source-Kapazität C_{GS} aufzuladen.

Während dieser Phase – nach Erreichen der Gate-Schwellenspannung $V_{GS(th)}$ – steigt der Drainstrom auf seinen spezifizierten Wert an, und die Drain-Source-Spannung sinkt anschließend ab. Bis jedoch diese Spannung V_{DS} auf ihren eigentlichen Restwert abgesunken ist, muss die Gate-Drain-Kapazität (Millerkapazität) entladen werden. Dieser Ladungsanteil ist als Gate-Drain-Ladung Q_{GD} definiert.

Die Ladung $Q_G = Q_{GS} + Q_{GD}$ reicht noch nicht aus, den Transistor voll einzuschalten, da die Restspannung bzw. der Drain-Source-Einschaltwiderstand noch nicht minimiert ist. Erst bei einer Ladung entsprechend einer Gate-Source-Spannung von $V_{GS} = 10\text{ V}$ wird der Einschaltwiderstand und damit die statischen Verluste optimiert. Diese Gesamtladung Q_{Gtot} ist von der zu schaltenden Drain-Source-Spannung abhängig, die Höhe des zu schaltenden Drainstroms hat auf die notwendige Gesamtladung nur geringen Einfluss.

Das Diagramm wurde messtechnisch nach dem **Prinzipschaltbild 13** mit einem Konstant-Ladestrom ermittelt. Das gibt dem Anwender die Möglichkeit, nach $Q = i \times t$ den Ladestrom oder die Einschaltzeit entsprechend den Anforderungen einzustellen bzw. eine Ansteuerschaltung entsprechend zu dimensionieren.

4.15 Typical Gate Charge

$$V_{GS} = t(Q_G)$$

The diagram shows the typical variation of the requisite gate charge at the given gate-source and drain-source voltages for turning on a SIPMOS transistor with the specified current.

The gate charge comprises the charge Q_{GS} , which is required for charging the gate-source capacitance C_{GS} . During this phase, after the gate threshold voltage $V_{GS(th)}$ has been reached, the drain current rises to its specified value, and the drain-source voltage then falls. But until this voltage V_{DS} has fallen to its actual residual value, the gate-drain capacitance (Miller capacitance) has to be discharged. This charge component is defined as the gate-drain charge Q_{GD} .

The charge $Q_G = Q_{GS} + Q_{GD}$ is not sufficient fully to turn on the transistor since the residual voltage and the drain-source turn-on resistance have not yet been minimized. Only with a charge corresponding to a gate-source voltage of $V_{GS} = 10\text{ V}$ are turn-on resistance, and thus static losses, optimized. This whole charge Q_{Gtot} depends on the drain-source voltage that has to be switched; the magnitude of the drain current that has to be switched has little influence on the requisite overall charge.

The diagram was determined by measurement in keeping with the basic **circuit diagram 13** with a constant charging current. This makes it possible for the user to adjust the charging current or turn-on time according to $Q = i \times t$, depending on the requirements, and to dimension his drive circuit accordingly.

Beispiel

Ein Schaltnetzteil soll mit einem SPP11N60C3 Transistor mit 100 kHz getaktet werden.

Gegeben:

- Spannung
 $V_{DS} = 650 \text{ V}$
- Einschaltzeit
 $t_{on} = 15 \text{ ns}$
- Frequenz
 $f = 100 \text{ kHz}$
- Drainstrom
 $I_{Dpuls} = 33 \text{ A}$
- Steuerspannung
 $V_{GS} = 10 \text{ V}$

Gesucht:

- Steuerstrom I_{Steuer}
- Steuerleistung
 P_{Steuer}

Example

A switched-mode power supply is to be switched with a SPP11N60C3 transistor at 100 kHz:

Given:

- Voltage
 $V_{DS} = 650 \text{ V}$
- Turn-on time
 $t_{on} = 15 \text{ ns}$
- Frequency
 $f = 100 \text{ kHz}$
- Drain current
 $I_{Dpuls} = 33 \text{ A}$
- Drive Voltage
 $V_{GS} = 10 \text{ V}$

Sought:

- Drive current I_{Steuer}
- Drive power P_{Steuer}

1. Rechnung: Steuerstrom

Calculation 1: Drive Current

$$Q_{Gtot} = 45 \text{ nC}$$

$$I_{Steuer} = 45 \text{ nC} / 15 \text{ ns} = 3 \text{ A}$$

Die Ansteuerung muss mindestens für $I_{Steuer} = 3 \text{ A}$ ausgelegt sein.

The drive circuit must be designed for at least $I_{Steuer} = 3 \text{ A}$.

2. Rechnung: Steuerleistung

Calculation 2: Drive Power

$$P_{Steuer} = Q_{Gtot} \times V_{GS} \times f = 45 \text{ nC} \times 10 \text{ V} \times 100 \text{ kHz}$$

$$P_{Steuer} = 45 \text{ mW}$$

Für den Einschaltvorgang beträgt dann die mittlere Steuerleistung $P_{Steuer} = 45 \text{ mW}$.

The average Drive power for turn-on is then $P_{Steuer} = 45 \text{ mW}$.

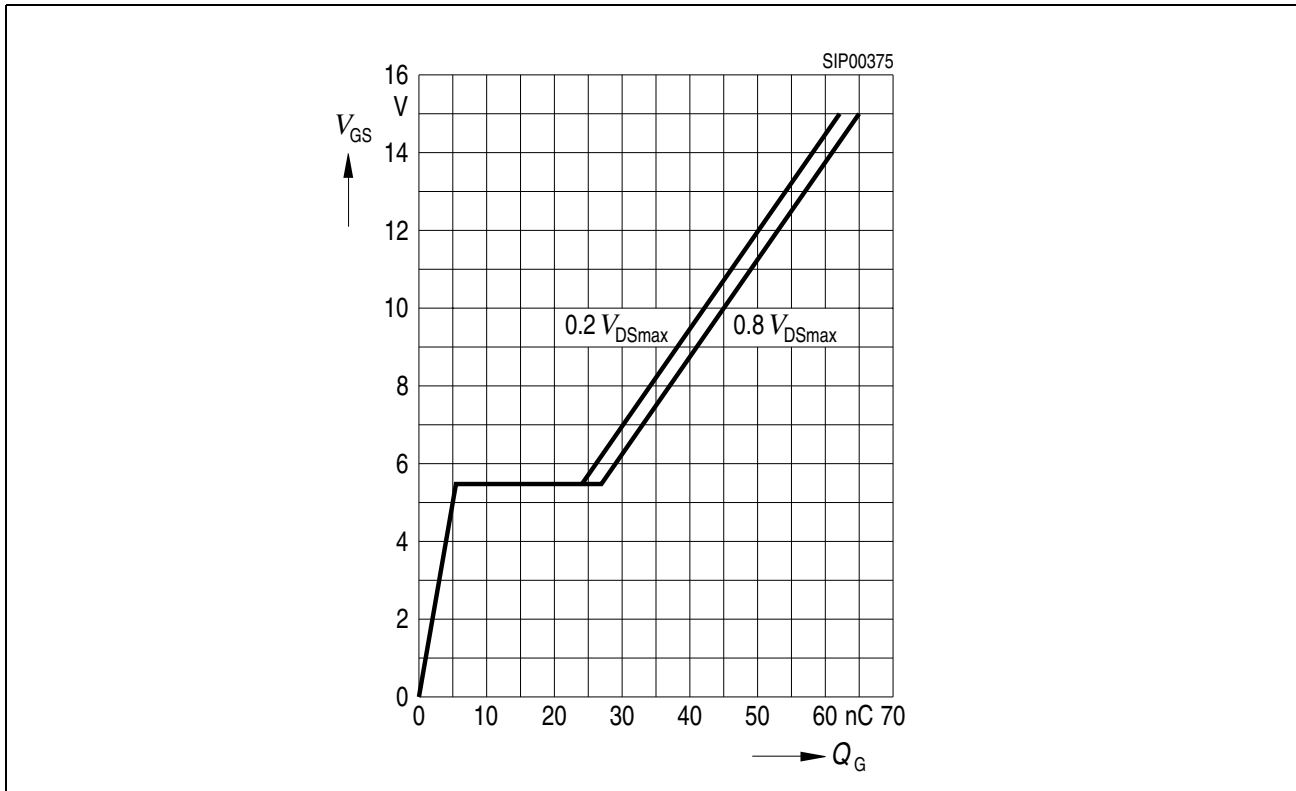


Bild 5
Typische Gate Ladung $V_{GS} = f(Q_G)$
(Beispiel: SPP11N60C3,
Parameter: $I_{Dpuls} = 33$ A)

Figure 5
Typical Gate Charge $V_{GS} = f(Q_G)$
(example: SPP11N60C3,
parameter: $I_{Dpuls} = 33$ A)

4.16 Typische Schaltzeiten $t = f(I_D), f(R_G)$

Dies Diagramm zeigt die Abhängigkeit der Schaltzeiten ($t_{d(off)}$, $t_{d(on)}$, t_r , t_f) vom Drain Strom oder dem Gate Widerstand.

4.16 Typical Switching Time $t = f(I_D), f(R_G)$

The diagram shows the dependence of switching time ($t_{d(off)}$, $t_{d(on)}$, t_r , t_f) on drain current resp. gate resistance.

4.17 Typische Schaltverluste $E = f(I_D), f(R_G)$

Die Diagramme stellen die Abhängigkeit der Schaltenergien vom Drainstrom bzw. vom Gatewiderstand dar. E_{on} beinhaltet die Kommutierungsverluste der SDT06S60-Siliziumcarbit-Diode. Das Diagramm hilft bei der Bestimmung der Schaltverluste und variieren unter anderen Messbedingungen.

4.17 Typical Switching Losses $E = f(I_D), f(R_G)$

The diagram shows the dependence of switching energy on drain current resp. gate resistor. E_{on} includes the commutation losses of SDT06S60-silicon-carbit-diode. The diagram helps to specify the switching losses and various under other measurement conditions.

4.18 Typische Drain Stromsteilheit
 $di/dt = f(R_G)$

Dies Diagramm zeigt die Abhängigkeit der Stromsteilheit während des Ein- und Ausschalten vom Gate Widerstand.

4.18 Typical Drain Current Slope
 $di/dt = f(R_G)$

The diagram shows the dependence of the current slope during turn on and turn off on the gate resistance.

4.19 Typische Drain-Source Spannungssteilheit
 $dv/dt = f(R_G)$

Dies Diagramm zeigt die Abhängigkeit der Drain-Source Spannungssteilheit während des Ein- und Ausschalten vom Gate Widerstand.

4.19 Typical Drain-Source Voltage Slope
 $dv/dt = f(R_G)$

The diagram shows the dependence of the drain source voltage slope during turn on and turn off on the gate resistance.

4.20 Avalanche SOA $I_{AR} = f(t_{AR})$

Dargestellt wird die Abhängigkeit des periodischen Avalanchestroms über der Avalanchezeit. Der Betrieb des Transistors in der Applikation unterhalb der Kurve ist ohne Probleme unter Berücksichtigung der max. Junction-Temperatur im periodischen Avalanche-Mode möglich.

4.20 Avalanche SOA $I_{AR} = f(t_{AR})$

The dependence is shown of the pulsed avalanche current on the avalanche time. Operation of the transistor below the curve is under consideration of max. junction temperature in pulsed avalanche much trouble-free possible.

4.21 Periodische Avalanche Leistung $P_{AR} = f(f)$

Aufgetragen ist die periodische Avalanche Leistung in Abhängigkeit der Frequenz mit vorgegebener periodischer Avalanche Energie. $P_{AR} = f \times E_{AR}$

4.21 Avalanche Power Losses $P_{AR} = f(f)$

Periodic avalanche power is shown as a function of frequency with default periodic avalanche energy.

$$P_{AR} = f \times E_{AR}$$

4.22 Typische in C_{OSS} gespeicherte Energie $E_{OSS} = f(V_{DS})$

Das Diagramm zeigt die Abhängigkeit der gespeicherten Energie in der Ausgangskapazität über der Drain-Source-Spannung. Es erleichtert die Bestimmung der Verluste hervorgerufen durch die Ausgangskapazität.

4.22 Typical C_{OSS} Stored Energy $E_{OSS} = f(V_{DS})$

The diagram shows the dependence of stored energy in outputcapacitance on drain-source-voltage. Helpful for the determination of losses caused by outputcapacitance.

Test Circuits (conforming with DIN IEC 747 T8)

5 Messschaltungen (entsprechend DIN IEC 747 T8)

Die in den Datenblättern für die spezifizierten Parameter angegebenen Temperaturwerte sind bei den jeweiligen Messungen einzuhalten.

5 Test Circuits (conforming with DIN IEC 747 T8)

The temperature values presented in the data sheets for the specified parameters must be observed in the measurements concerned.

5.1 Drain Strom I_D, I_{DSS}

5.1 Drain Current I_D, I_{DSS}

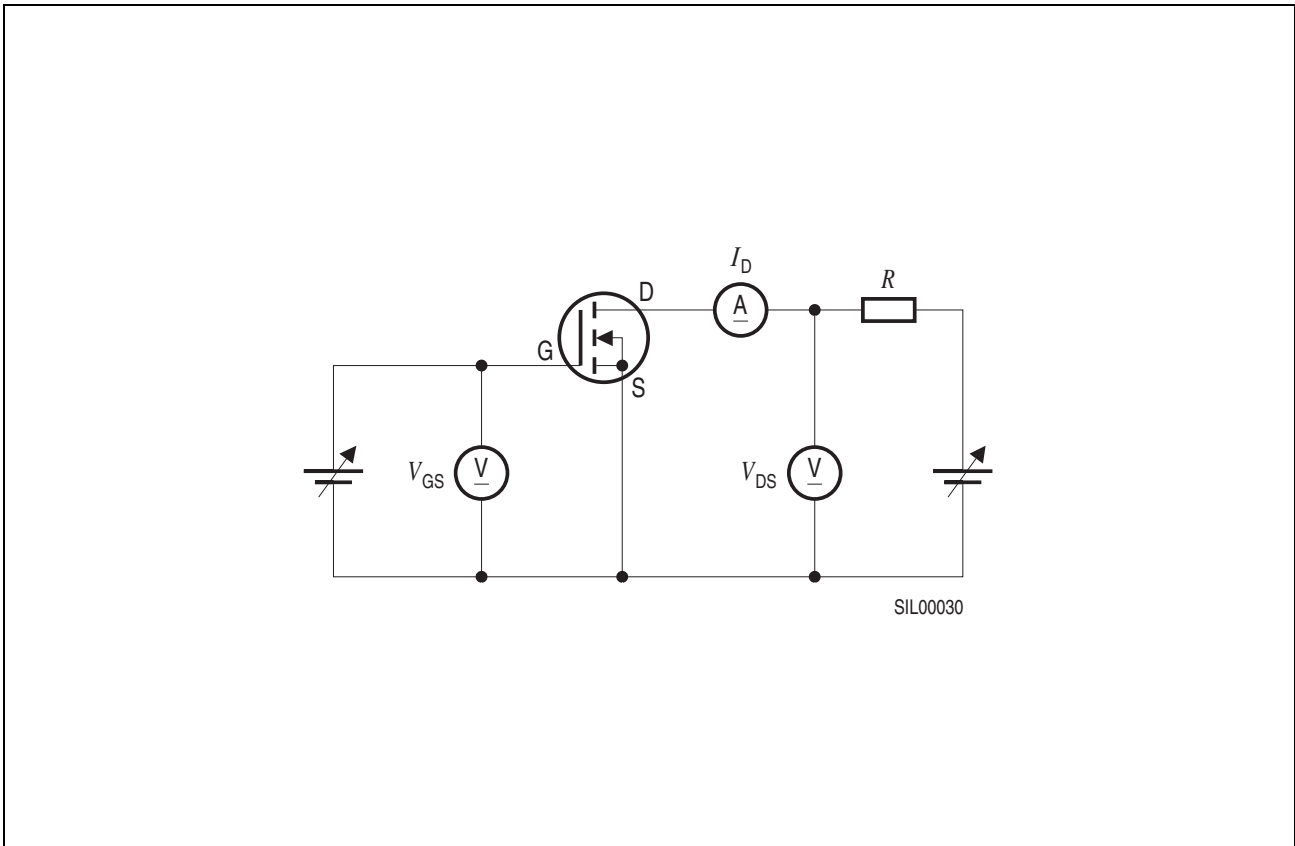


Bild 6
Prinzipschaltbild zum Messen des
Drainstromes I_D und des
Drain-Reststromes I_{DSS}

Figure 6
Basic circuit diagram for measuring the
drain current I_D and the drain
cutoff current I_{DSS}

Der Widerstand R dient als Schutz. Die spezifizierte Gate-Source-Spannung V_{GS} wird eingestellt. Ist $V_{GS} = 0\text{ V}$ spezifiziert, so muss die Gate-Source-Strecke kurzgeschlossen werden.

The resistor R is used for protection. The specified gate-source voltage V_{GS} is set. If $V_{GS} = 0\text{ V}$ is specified, the gate-source junction must be shorted.

**5.2 Drain-Source-
Einschaltwiderstand $R_{DS(on)}$**

**5.2 Drain-Source
ON Resistance $R_{DS(on)}$**

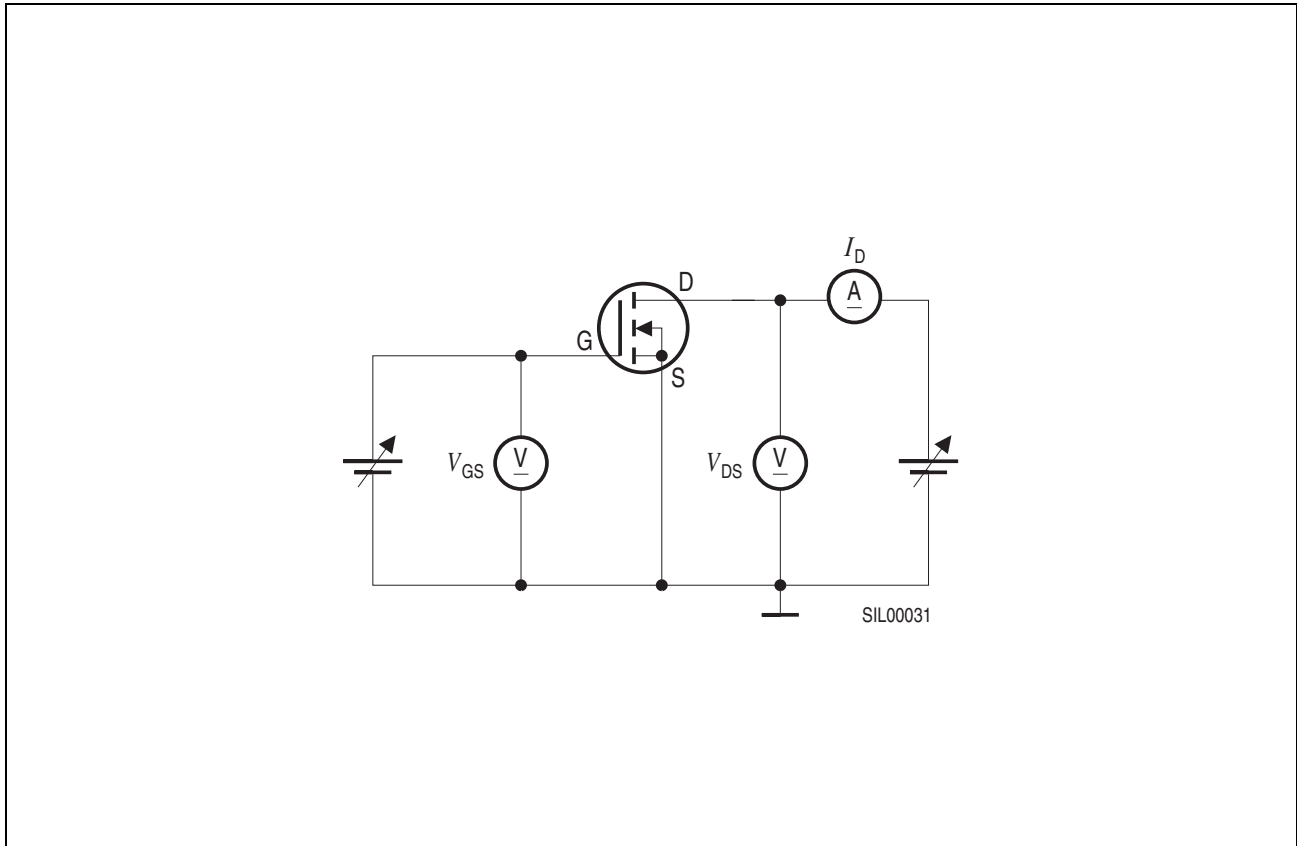


Bild 7
Prinzipschaltbild zum Messen des
Einschaltwiderstandes $R_{DS(on)}$

Figure 7
Basic circuit diagram for measuring the
ON resistance $R_{DS(on)}$

Allgemein wird der Einschaltwiderstand $R_{DS(on)}$ im Bereich der Sättigung gemessen. Der Innenwiderstand des Voltmeters V_{DS} muss wesentlich größer sein als der zu messende Einschaltwiderstand $R_{DS(on)}$.

The ON resistance, $R_{DS(on)}$, is generally measured within the saturation range. The internal resistance of the voltmeter V_{DS} must be considerably higher than the ON resistance to be measured, $R_{DS(on)}$.

5.3 Gate-Schwellenspannung
 $V_{GS(th)}$

(Siehe **Prinzipschaltbild 6** zum Messen des Drainstromes I_D). Die Gate-Source-Spannung, betragsgleich Drain-Source-Spannung V_{DS} , wird vom Wert Null ausgehend langsam erhöht, bis der spezifizierte Drain-Strom I_D erreicht ist.

5.3 Gate-Source Threshold
Voltage $V_{GS(th)}$

(Refer to the basic **circuit diagram 6** for measuring the drain current I_D). The gate-source voltage, equal in magnitude to the drain-source voltage V_{DS} , is increased slowly, starting from zero, until the specified drain current I_D is reached.

5.4 Gate-Source-Leckstrom I_{GSS}

5.4 Gate-Source Current I_{GSS}

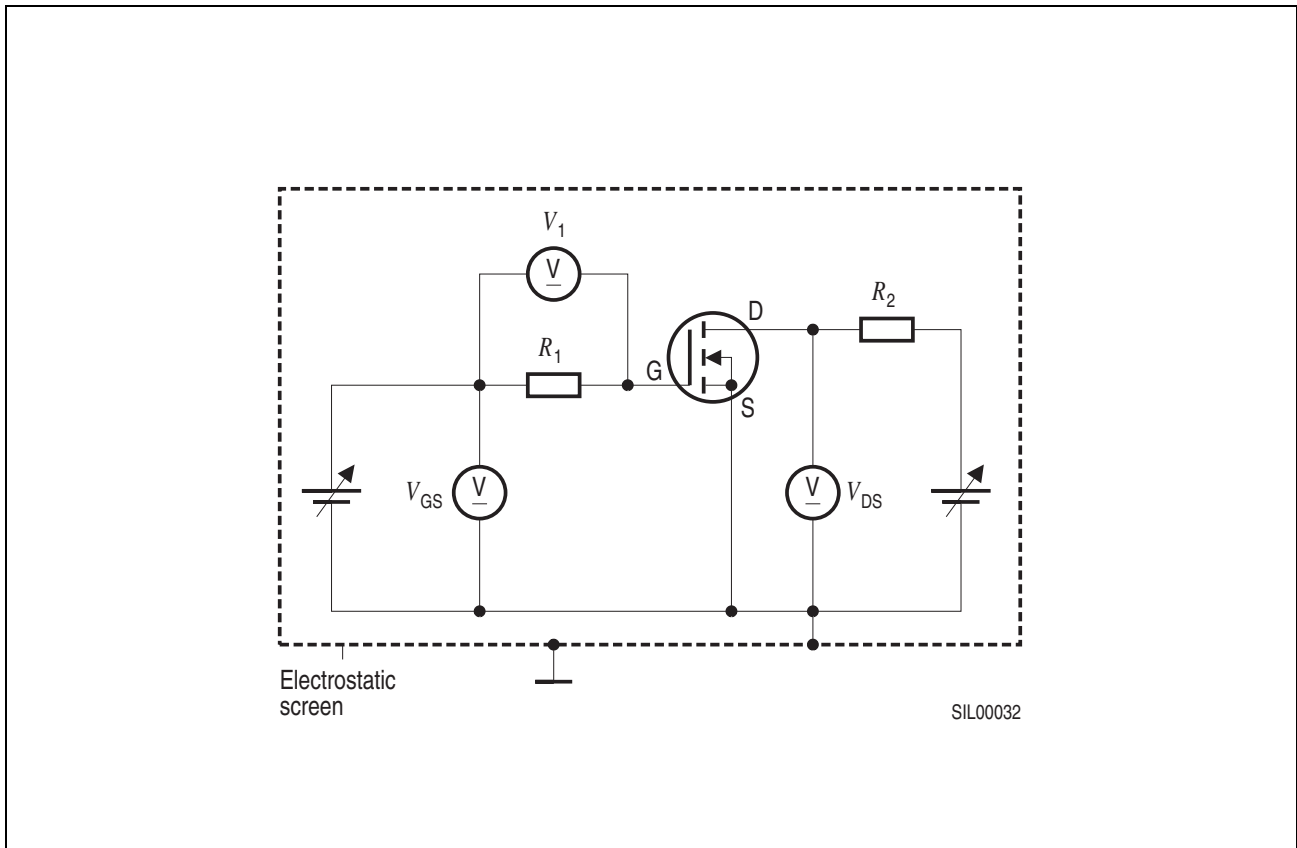


Bild 8
Prinzipschaltbild zum Messen des
Gate-Source-Leckstromes I_{GSS}

Figure 8
Basic circuit diagram for measuring the
gate-source leakage current I_{GSS}

R_1 und R_2 als Schutzwiderstände. R_1 soll kleiner sein als $V_{GS}/100 \times I_{GSS}$. V_1 ist ein sehr empfindliches Voltmeter mit einem Innenwiderstand von mindestens $100 \times R_1$. Der Leckstrom ist gegeben durch $I_{GSS} = V_1/R_1$. Die Schaltung muss elektrostatisch abgeschirmt werden. Außerdem ist darauf zu achten, dass die Messung nicht durch Leckströme verfälscht wird, die eventuell durch die Schaltungsanordnung entstehen.

R_1 and R_2 are used as protective resistors. R_1 should be lower than $V_{GS}/100 \times I_{GSS}$. V_1 is a very sensitive voltmeter having an intrinsic resistance of at least $100 \times R_1$. The leakage current is given by $I_{GSS} = V_1/R_1$. The circuit must be electrostatically screened. In addition, care must be taken to ensure that the measurement is not falsified by leakage currents which might possibly occur on account of the circuit arrangement.

5.5 Transistor Schaltzeit

5.5 Transistor Switching Time

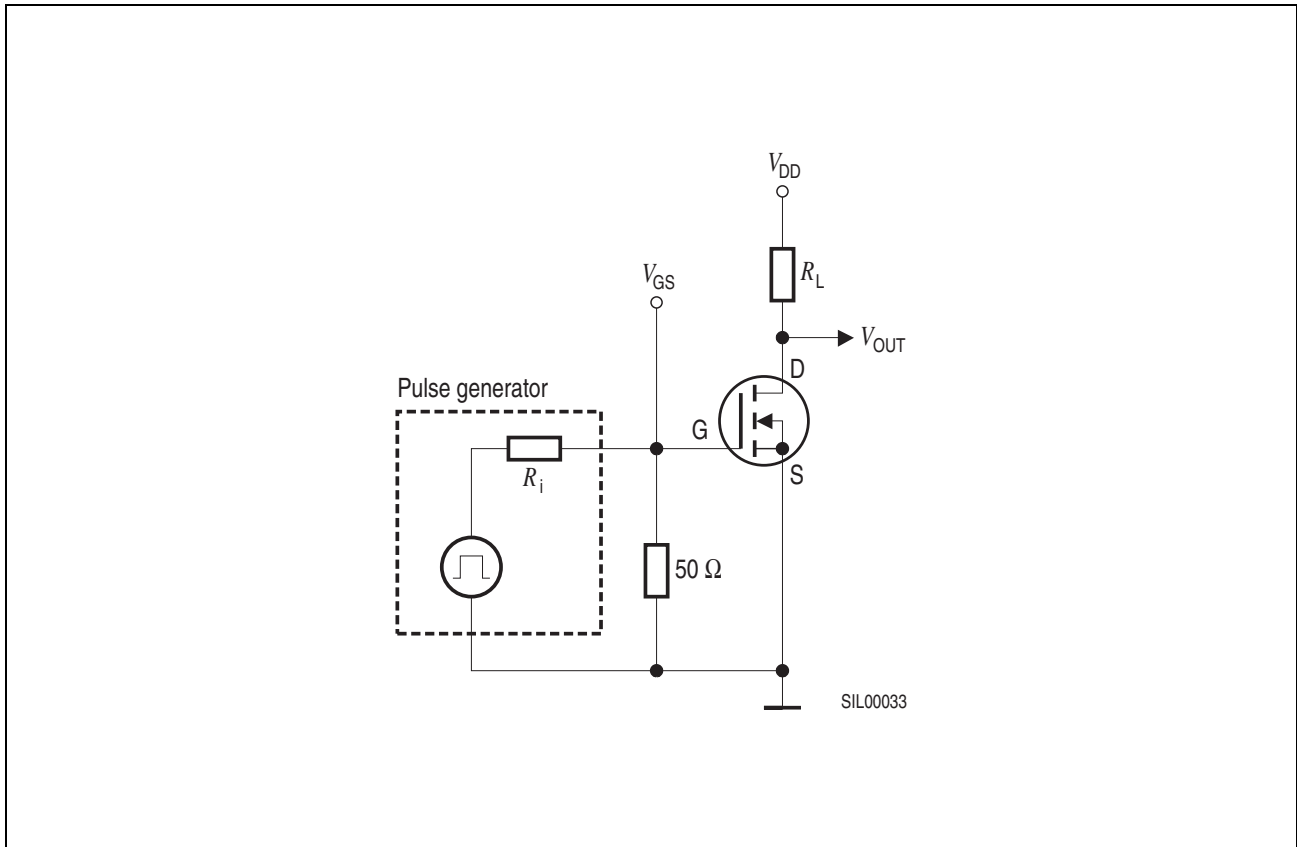


Bild 9
Prinzipschaltbild für die Messung der Transistor-Ein- und Ausschaltzeit, Definition der Schaltzeit nach Bild 2

Figure 9
Basic circuit diagram for measuring transistor turn-on and turn-off times, definition of switching time, as Figure 2

Die Schaltzeiten sind vor allem vom Gatewiderstand R_{GS} , Innenwiderstand der Ansteuerung R_i (Pulsgenerator), Versorgungsspannung V_{DD} , Lastwiderstand R_L sowie der Steuerspannung V_{GS} abhängig. Wegen messtechnischen und Vergleichsgründen wurde die oben skizzierte Einheitsschaltung verwendet.

The switching times depend primarily on the gate resistance R_{GS} , the intrinsic resistance of the drive R_i (pulse generator), the supply voltage V_{DD} , the load resistance R_L and the control voltage V_{GS} . The standard circuit shown above was used for testing and for comparative reasons.

5.6 Eingangskapazität C_{iss}

5.6 Input Capacitance C_{iss}

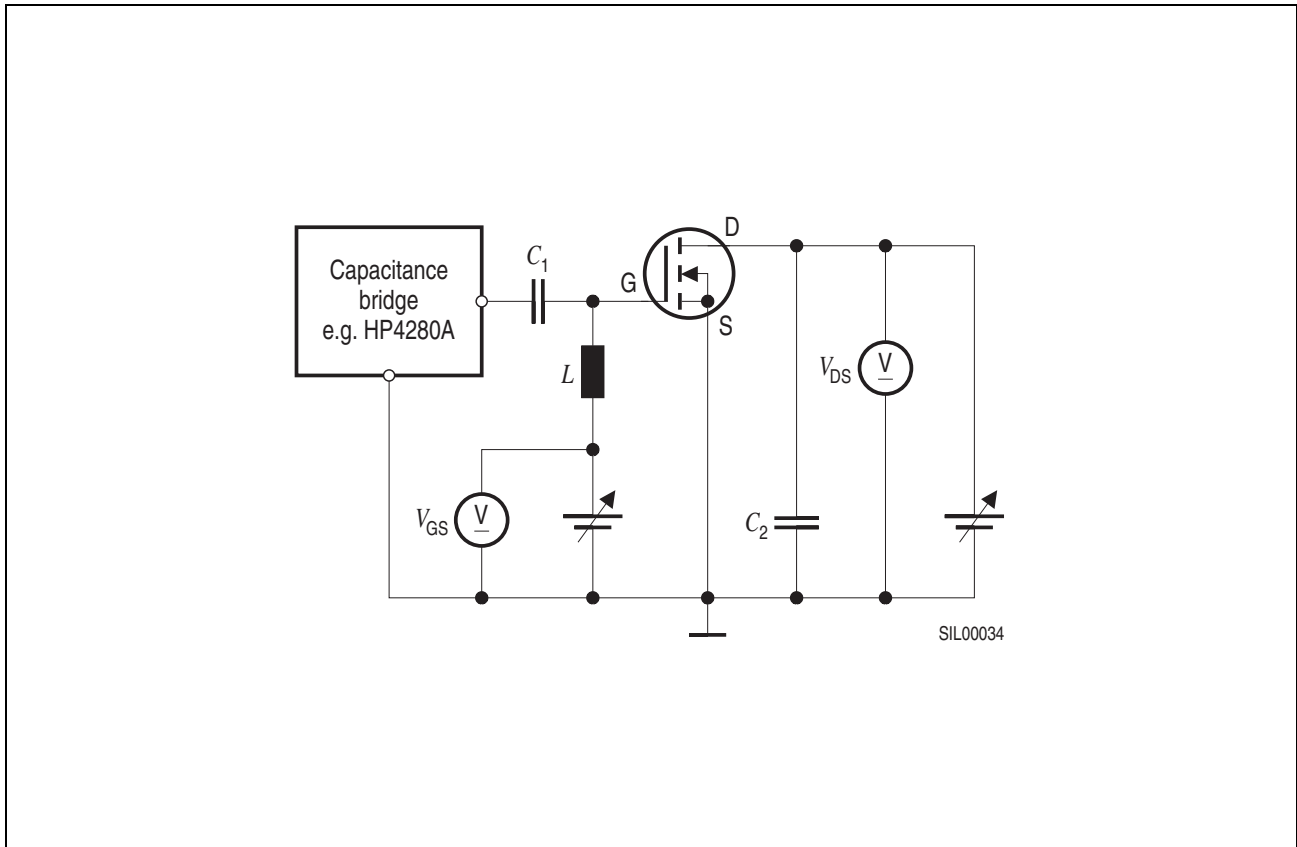


Bild 10
Prinzipschaltbild zum Messen der Eingangskapazität C_{iss} beim Verwenden einer Messbrücke ohne Gleichstromdurchgang

Figure 10
Basic circuit diagram for measuring input capacitance C_{iss} when using a bridge without the passage of direct current

Die Kapazitäten C_1 und C_2 müssen für die Messfrequenz einen ausreichenden Kurzschluss darstellen. Die Induktivität L soll die Gleichstromversorgung entkoppeln.

Capacitors C_1 and C_2 must form an adequate short-circuit for the test frequency. Inductor L decouples the direct current supply.

5.7 Ausgangskapazität C_{oss}

5.7 Output Capacitance C_{oss}

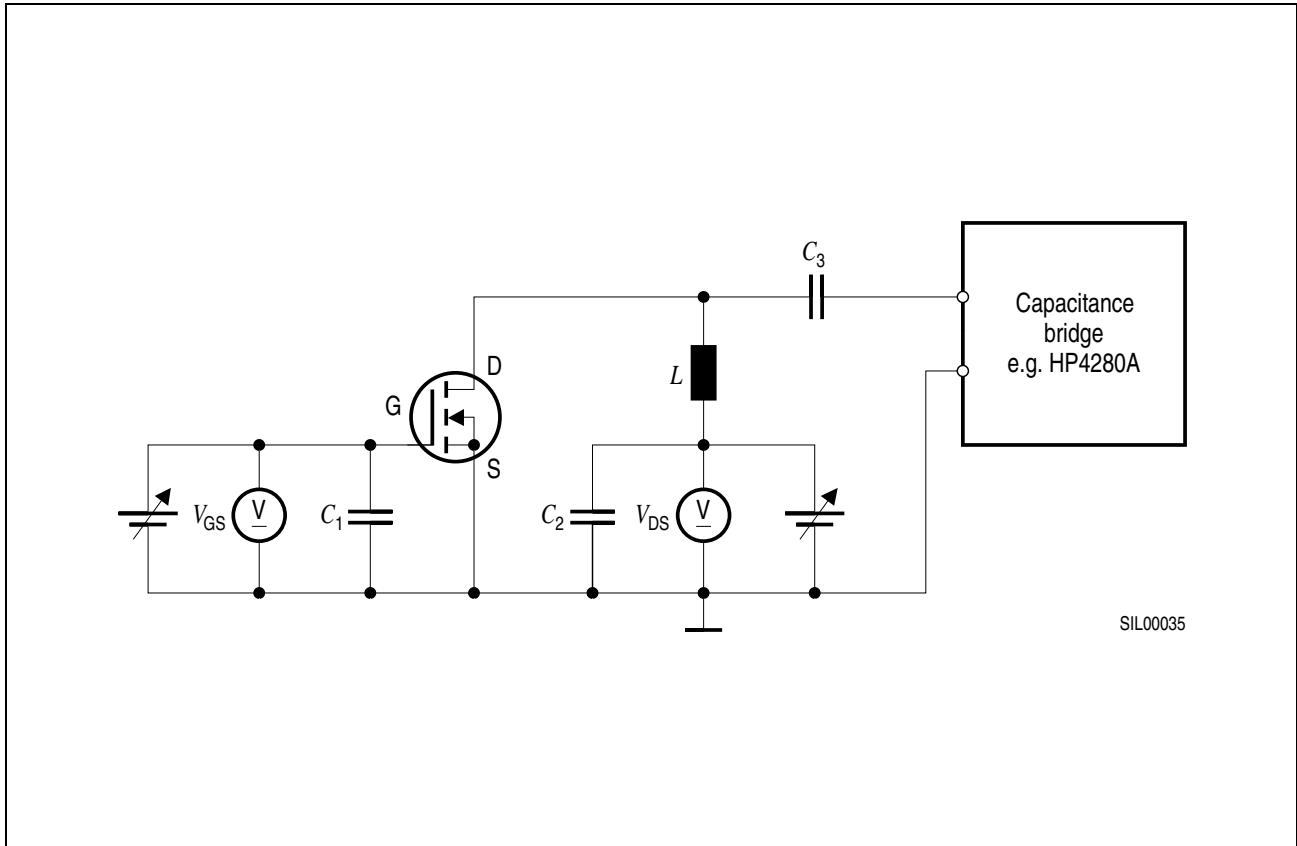


Bild 11
Prinzipschaltbild zum Messen der Ausgangskapazität C_{oss} beim Verwenden einer Messbrücke ohne Gleichstromdurchgang

Figure 11
Basic circuit diagram for measuring output capacitance C_{oss} when using a bridge without the passage of direct current

Die Kapazitäten C_1 , C_2 und C_3 müssen für die Messfrequenz einen ausreichenden Kurzschluss darstellen. Die Induktivität L entkoppelt die Gleichstromversorgung.

Capacitors C_1 , C_2 and C_3 must form an adequate short-circuit for the test frequency. Inductor L decouples the direct current supply.

5.8 Rückwirkungskapazität
 C_{rss}

5.8 Reverse Transfer Capacitance
 C_{rss}

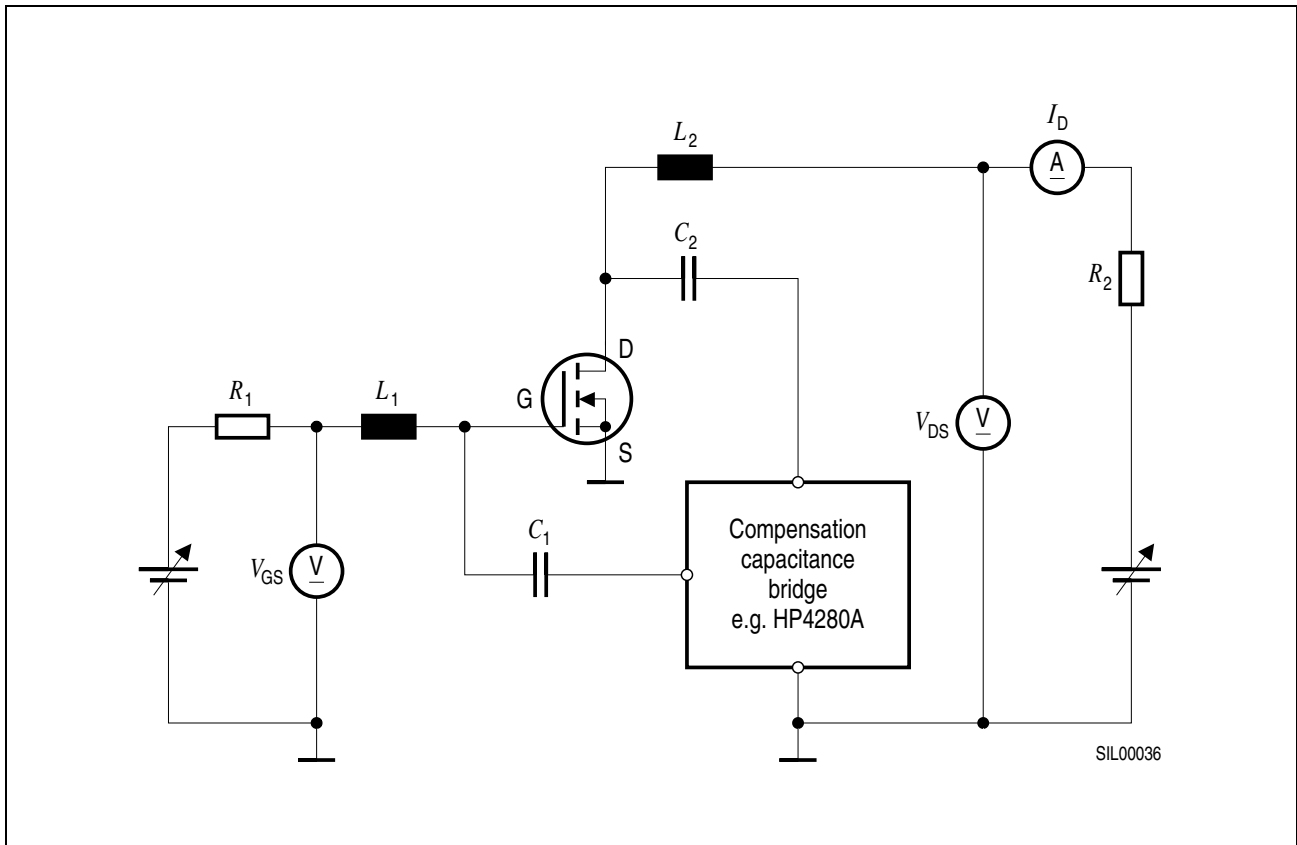


Bild 12
Prinzipschaltbild zum Messen der Rückwirkungskapazität C_{rss} beim Verwenden einer Messbrücke ohne Gleichstromdurchgang

Figure 12
Basic circuit diagram for measuring reverse transfer capacitance C_{rss} when using a bridge without the passage of direct current

Die Kapazitäten C_1 und C_2 müssen für die Messfrequenz einen ausreichenden Kurzschluss bilden. Die Induktivitäten L_1 und L_2 sollen die Gleichstromversorgung entkoppeln.

Capacitors C_1 and C_2 must form an adequate short-circuit for the test frequency. Inductors L_1 and L_2 decouple the direct current supply.

5.9 Gate-Ladung Q_G

5.9 Gate Charge Q_G

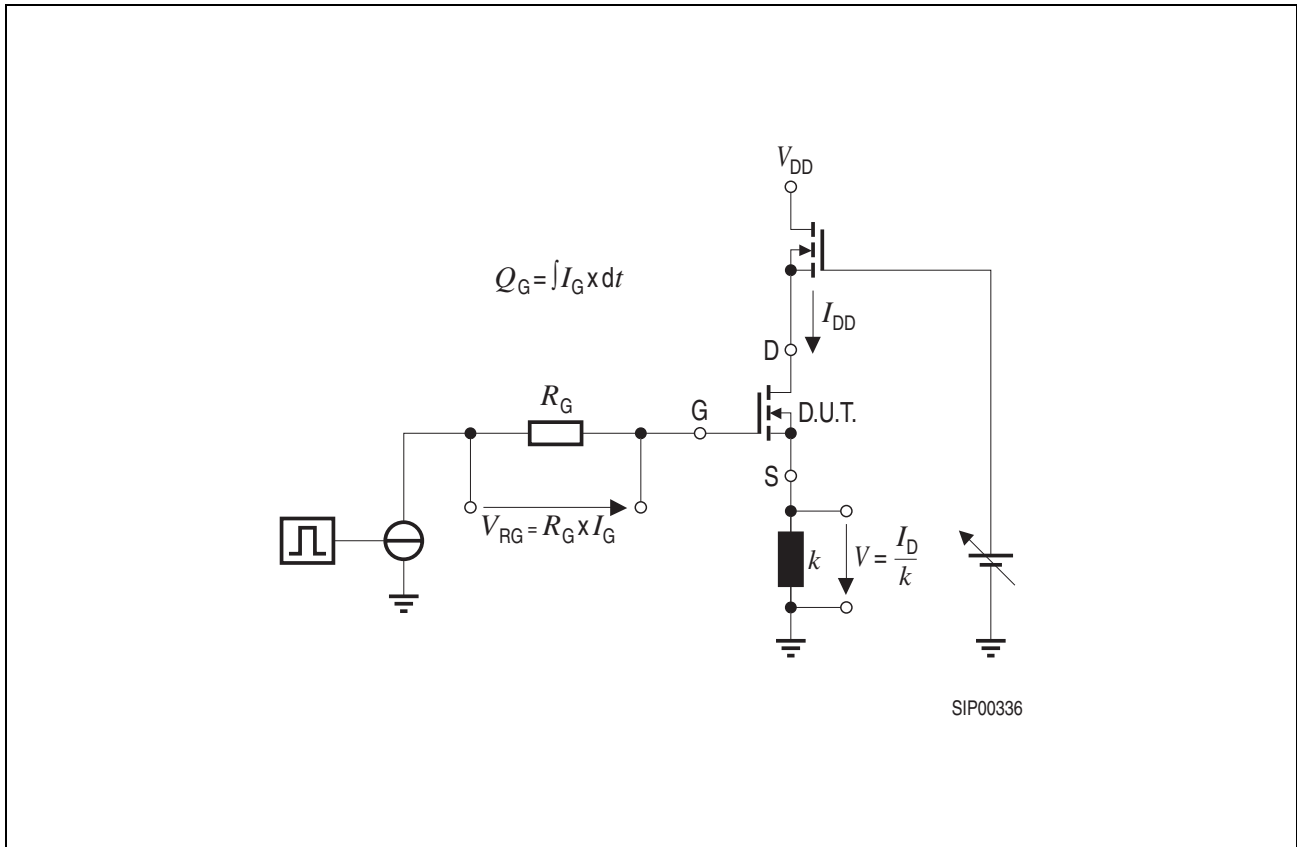


Bild 13
Prinzipschaltbild zum Messen der
Gate-Ladung Q_G

Figure 13
Basic circuit diagram for measuring the
gate charge Q_G

Infineon goes for Business Excellence

“Business excellence means intelligent approaches and clearly defined processes, which are both constantly under review and ultimately lead to good operating results.

Better operating results and business excellence mean less idleness and wastefulness for all of us, more professional success, more accurate information, a better overview and, thereby, less frustration and more satisfaction.”

Dr. Ulrich Schumacher

www.infineon.com

Published by Infineon Technologies AG