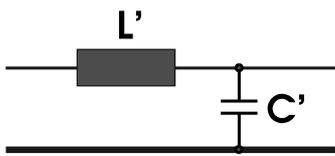
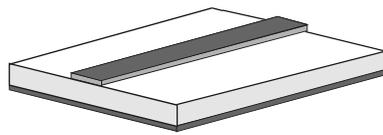


3. Signalleitungen auf Leiterplatten mit kontrollierter Impedanz

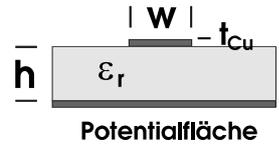
Signalleitungen übertragen i.d.R. keinen Gleichstrom, sondern nur Impulsstrom oder Wechselstrom. Damit es auf Signalleitungen nicht zu Impulsreflexionen kommt, müssen sie vor allem eine gleichmäßige d.h. konstante Impedanz haben. Man spricht von der sog. Nenn-Impedanz. Der Impedanzwert soll zu den BE-Eigenschaften passen.

Forderung an Signalleitungen





Potentialfläche



Potentialfläche

$$Z = \sqrt{\frac{L'}{C'}} = \text{const.} \implies \frac{L'}{C'} = \text{const.}$$

L' hängt ab von Leiterbahnbreite + Dicke + Abstand
C' hängt ab vom Abstand LB <--> Potential & von ε_r

FH-Giessen/Dr.Thüringer
\\lp-tech\IMP_LP07

Beispiel: Impedanz einer Leiterbahn mit den Belägen: $L' = 5\text{nH/cm}$; $C' = 0,5\text{pF/cm}$

$$\Rightarrow Z = \sqrt{\frac{5\text{nH/cm}}{0,5\text{pF/cm}}} = \sqrt{\frac{5 \cdot 10^{-9} \cdot \text{Vs/A}}{0,5 \cdot 10^{-12} \cdot \text{As/V}}} = \sqrt{10^4 \cdot \frac{V^2}{A^2}} = 100\Omega$$

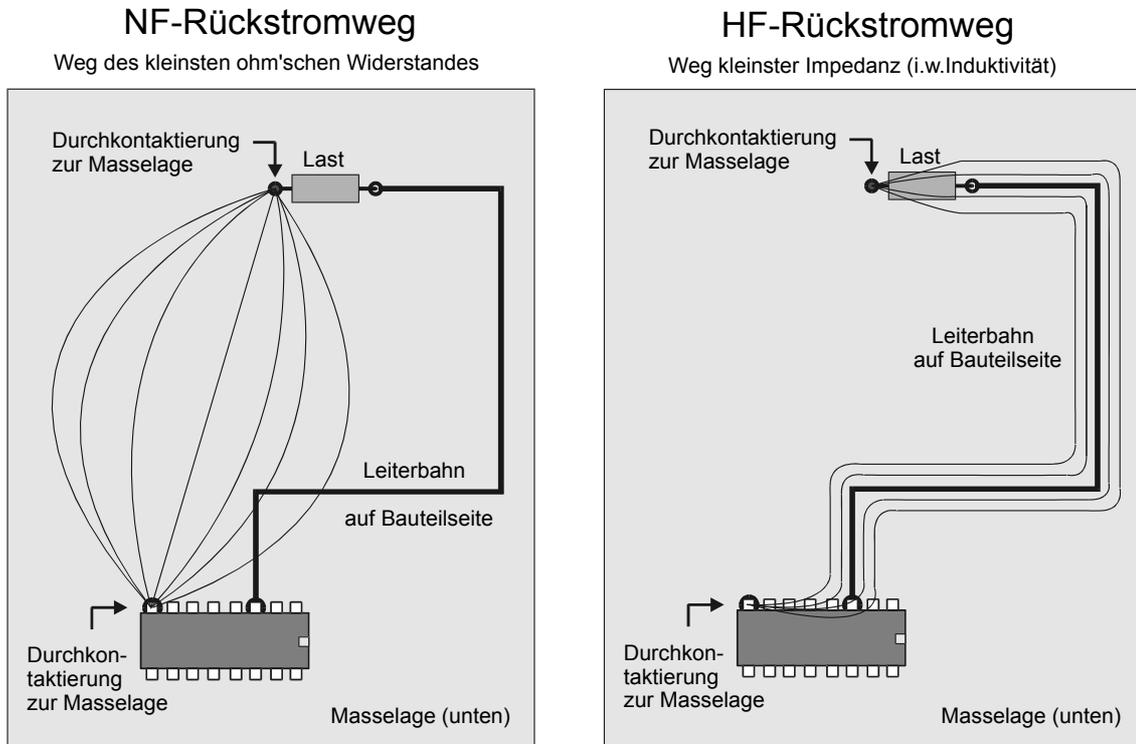
Um mit möglichst wenig Stromstärke Schaltvorgänge steuern zu können, sollte die Leitungsimpedanz (Nenn-Impedanz) nicht zu klein sein. Aus fertigungstechnischen Gründen (LB-Breiten und LB-Abstände) kann man Werte zwischen ca. 50 und 100 Ohm gut realisieren.

50 Ohm-Leitungen verbrauchen mehr Strom als 100 Ohm-Leitungen, aber dafür sind 50 Ohm-Leitungen weniger störanfällig und leichter herstellbar (breitere Leiterbahnen und weniger dicke Leiterplatten).

Die Nenn-Impedanz Z_N ist eine Eigenschaft von Signalleitungspaaren. Sie ist praktisch unabhängig von der Leitungslänge! (Der Gleichstromwiderstand kann bei Signalleitungen gegenüber dem Impulsstrom vernachlässigt werden.)

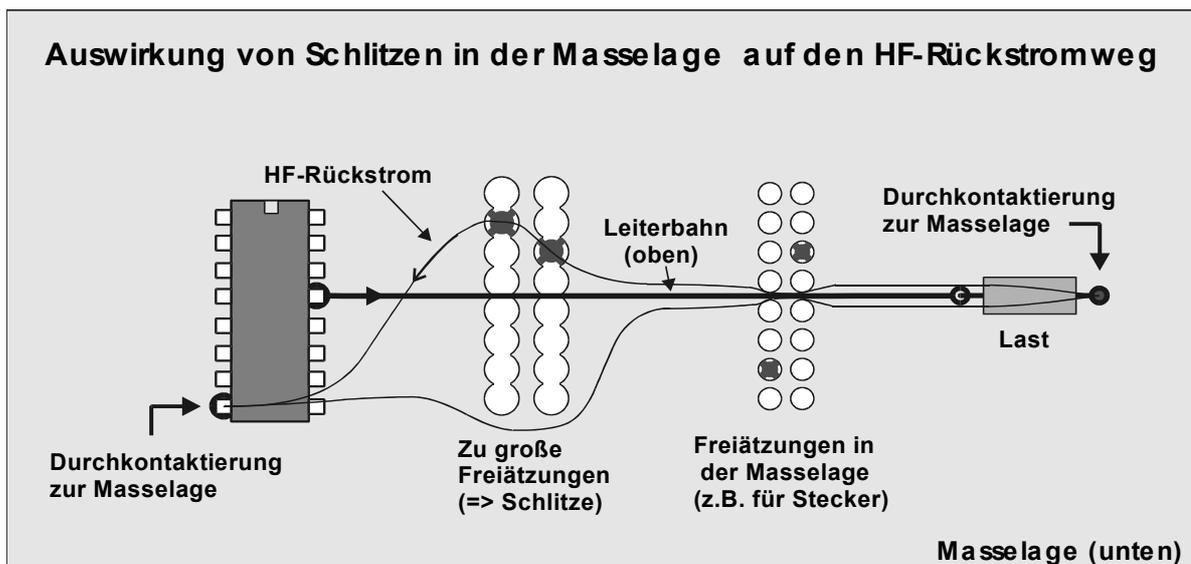
3.1 HF-Rückstromweg: Signalleitungen über Masseflächen

Der Einsatz einer Massefläche als Bezugsleiter hat auch für alle Signalverbindungen sehr bedeutsame Vorteile, da die Signalarückführung der hochfrequenten Impulsanteile aus physikalischen Gründen praktisch immer parallel d.h. unter der Hinleitung verläuft:



Somit ist die kritische Schleifenbildung zwischen Hin- und Rückweg des Signals bei flächiger Masse automatisch unterbunden.

Zu beachten ist bei der Gestaltung der Masse-Potentiallage allerdings, dass der HF-Rückstromweg nicht durch querlaufende Schlitze behindert wird.



Schlitze in Masselagen behindern den HF-Rückstrom und erzeugen Schleifen

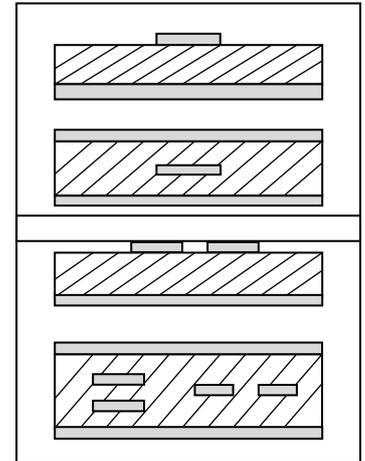
3.2 Impedanzarten

Die homogenen Leitungseigenschaften von Leiterpaaren (impedanzkontrollierte Leitungen) kann man durch verschiedene Leiterbahn-Geometrien erreichen, bei denen Hin- und Rückleitung geometrisch in einem festen Verhältnis zueinander stehen, also parallele Strukturen/Paare bilden.

Für schnelle Digitalschaltungen kommen zwei Impedanzarten zur Anwendung:

Single Ended Impedanz: Eine einzelne Leiterbahn verläuft über einer oder zwischen zwei Potentiallagen. Die Impedanz der Leiterbahn entsteht durch ihren Bezug auf eine oder beide Potentiallagen. Das Signal wird in die einzelne Leitung gegen die Potentiallage(n) eingespeist.

Differentielle Impedanz: Zwei zusammengehörige parallel verlaufende Leiterbahnen, die i.d.R. über einer oder zwischen zwei Potentiallagen verlaufen. Die Impedanz entsteht zwischen den beiden Leitungen, in die das Signal invers (differentiell) eingespeist wird, wobei die Potentiallagen (über ihren Abstand) die Impedanz mit beeinflussen.

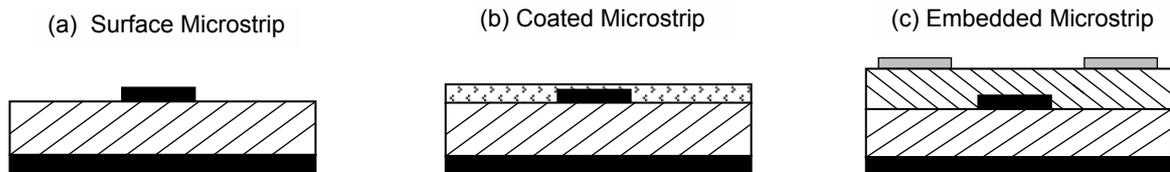


3.2.1 Single Ended Impedanz (Microstrip und Stripline)

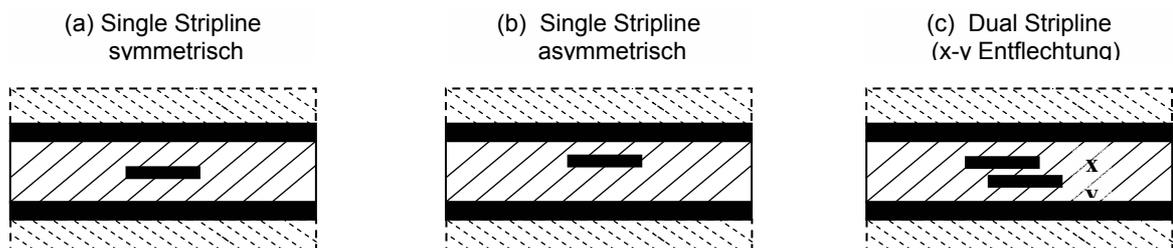
Man unterscheidet je nach Lage der Signalleiterbahnen im Bezug auf die Potentiallagen (als Rückleiter) zwischen sog. Microstrip- und Stripline (= Triplate) Anordnungen. Außenliegende Signalleitungen mit nur einer Potentiallage darunter heißen Microstrip-Leitungen, interne Signalleitungen zwischen zwei Potentialflächen heißen Stripline-Leitungen.

Für beide Impedanztypen - Microstrip u.Stripline - gibt es in der Praxis Varianten im Aufbau.

Bei der *Surface Microstrip* liegt die Signalleiterbahn offen an der Oberfläche auf dem Basismaterial, bei der *Coated Microstrip* ist der Leiterzug durch einen Lötstopplack abgedeckt und bei der *Embedded Microstrip* liegt die Signalleiterbahn im Basismaterial eingebettet, um weitere Oberflächen-Leiterbahnen zu ermöglichen.



Bei der *symmetrischen Single Stripline* liegt die Signalleiterbahn mittig zwischen 2 Potentialflächen (z.B. GND+VCC) im Gegensatz zur *asymmetrischen Single Stripline*. Die sog. *Dual Stripline* besteht aus 2 asymmetrisch angeordneten Single Striplines die sich gegenseitig kaum beeinflussen, da sie in x- bzw. y-Richtung verlaufen. Beide Striplineleitungen beziehen sich jeweils auf die Potentiale darüber und darunter, sind also keine Differentiellen Impedanz-Leitungen, die dann parallel verlaufen! (s. 3.2.2)



Surface Microstrip

Microstrip-Leitungen sind die preiswerteste Möglichkeit, impedanzkontrollierte Leiterbahnen mit oft ausreichender Entflechtungskapazität zu realisieren, indem man einen 4-Lagen-Multilayer mit 2 Potential-Innenlagen und 2 Signal-Außenlagen konstruiert.

Man kann für die Impedanz eine Näherungsformel ableiten (IPC-2141) [3] in der die konstruktiven Layout- und Leiterplatten-Parameter h , w , t_{cu} und ϵ_r (sprich: Epsilon-R) eingehen. Die Abweichung zu Ergebnissen aus Feldberechnungsprogrammen [5] ist für schmale, hohe Leiterbahnen allerdings recht groß (z.Vgl.: 64,4 Ohm mittels Programm!)

Für eine gegebene Leiterbahndicke t_{cu} kann man jetzt durch geeignete Wahl der Leiterbahnbreite w und des Leiterbahnabstand h zur Potentiallage die gewünschte Impedanz erreichen. In unserem Beispiel also ca. 60 Ohm mit 150µm (0,15mm) Leiterbahnen, die ebenfalls 150µm über der Potentiallage (Masse oder Spannung) verlaufen. Als Leiterbahndicke wurde hier mit 50µm gerechnet, die sich im Fertigungsprozess durch Galvanisierung üblicher 17,5µm Kaschierungen bei der Durchkontaktierung ergeben. Bei dieser offenen *Surface Microstrip* (ohne Lötstopmaske) wird mit der Dielektrizitätszahl ϵ_r des Basismaterials gerechnet. Die Formel nach IPC-2141 [3] berücksichtigt dabei grob näherungsweise, dass das effektive Epsilon-R durch den Einfluss der Luft über der Leiterbahn ($\epsilon_r = 1$) wesentlich geringer ist. Eine zusätzliche Lötstopmaske hat dabei großen Einfluss auf das effektive ϵ_r und damit auf die Impedanz!

Coated Microstrip

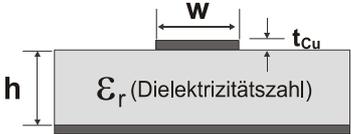
Durch Aufbringen einer Lötstopmaske (z.B. 25µm Stärke) verändert sich der elektrische Feldverlauf und damit Epsilon-R und die Impedanz. Dieser Aufbau ist der Standardfall für Microstrip-Anwendungen.

In der IPC-2141 [3] findet sich eine Formel zur Impedanzberechnung einer Embedded Microstrip. Sie ergibt für Coated Microstrip sehr fehlerhafte Werte i.Vgl. zur Feldberechnungsmethode (s.a.[5]) Hier wurde

die Formel für Surface Microstrip so angepasst (Abb), dass mit Feldberechnungsprogrammen rechnerisch gute Übereinstimmung für praxisrelevante Werte erzielt werden kann (Abweichung < 2% für $Z \geq 55$ Ohm und $w \geq 100\mu\text{m}$ bei $t_{cu} = 50\mu\text{m}$ bzw. $w \geq 80\mu\text{m}$ bei $t_{cu} = 40\mu\text{m}$). Die Bestimmung des effektiven ϵ_{reff} mittels Feldberechnungsprogramm ergibt 3,5 als Mittelwert.

Nenn-Impedanz der Surface Microstrip

nach IPC-2141



Potentialfläche

$$Z_N = \frac{87 \Omega}{\sqrt{\epsilon_r + 1,41}} \ln \left[\frac{5,98 h}{0,8 w + t_{cu}} \right]$$

Näherung für $0,5 < h/w < 3$

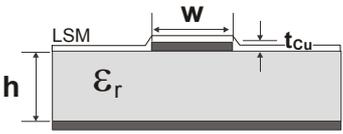
Beispiel: $w = 0,15 \text{ mm}$ $h = 0,15 \text{ mm}$, $t_{cu} = 50 \mu\text{m}$, $\epsilon_r = 4,3$

$Z_N = 60,5 \Omega$

IMP_LP08A+

Nenn-Impedanz einer "Coated Microstrip"

angepasst an ein Fieldsolver-Programm



Potentialfläche

$$Z_N = \frac{60 \Omega}{\sqrt{\epsilon_{\text{reff}}}} \ln \left[\frac{6,8 h}{0,8 w + t_{cu}} \right]$$

Näherung für $0,5 < h/w < 5$

Beispiel: $w = 0,15 \text{ mm}$ $h = 0,15 \text{ mm}$, $t_{cu} = 50 \mu\text{m}$, $\epsilon_{\text{reff}} = 3,5$ (25µm LSM)

$Z_N = 57,5 \Omega$

FH-Gießen/Thüringer IMP_LP08B

Single Stripline

Bei mehr als 2 Signallagen, kommt der Lagenaufbau in Stripline (=Triplate)-Ausführung zum Einsatz. Hier liegt der Leiter zwischen 2 Potentiallagen. Diese Anordnung der Signalleiterbahn zwischen den Potentialflächen hat elektrisch wesentliche Vorteile gegenüber der Microstrip bei nur wenigen Nachteilen.

Vorteile:

- Die Signallagen werden durch die Potentiallagen abgeschirmt.
- Bessere elektronische Eigenschaften der Innenlagen (weniger Übersprechen) infolge der Symmetrie des elektrischen Feldes.
- Bessere Impedanzkonstanz aufgrund des homogenen Aufbaus der Leiterbahnen (i.d.R. keine Galvanikverstärkung)

Nachteile:

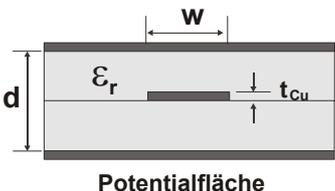
- Größere Lagenabstände als bei Microstrip für gleiche Impedanzen: Die Leiterplatte wird dicker ganz besonders für hohe Impedanzen! (Alternative: Dual-Stripline Aufbau mit zwei Signallagen zwischen den Potentiallagen)
- Höhere Lagenzahl bedeutet höhere Herstellkosten

Dual-Stripline

Wenn der Bedarf an Signallagen steigt, ist es unökonomisch und wegen der Dicke der Leiterplatte oft auch unpraktikabel, für jede innere Signallage zwei Potentiallagen vorzusehen. In diesem Falle kann man anstelle von einer auch zwei Striplinelagen - sog. Dualstriplines - zwischen zwei Potentiallagen platzieren (Abb). Sofern man nicht differentielle Signale damit übertragen will [3.2.2], müssen die Entflechtungsrichtungen der beiden Lagen im rechten Winkel (x-y) zueinander verlaufen.

Damit wird verhindert, dass Signale von der einen Stripline in störendem Maße auf die andere Lage überkoppeln (Übersprechen). Bei x-y-Entflechtung tritt dieser Effekt nur an Kreuzungspunkten auf und ist wegen der fehlenden Parallelwegstrecke vernachlässigbar. Die Impedanz jeder der beiden Striplinelagen weicht wegen deren nicht mittigen Lage zwischen den beiden Potentiallagen etwas von den Werten der Standardformel ab, und zwar um so stärker, je weiter die beiden Signallagen aussermittig angeordnet sind.

Nenn-Impedanz einer Stripline-Leitung



Potentialfläche

$$Z_N = \frac{60 \Omega}{\sqrt{\epsilon_r}} \ln \left[\frac{1,9 d}{0,8 w + t_{Cu}} \right]$$

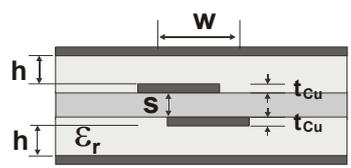
Gültig für: $h > 1,5 w$

Beispiel: $w = 0,12 \text{ mm}$ $d = 0,48 \text{ mm}$, $t_{Cu} = 18 \mu\text{m}$, $\epsilon_r = 4,3$ (1 GHz)

$Z_N = 60,2 \Omega$

FH-Giessen/Dr.Thüringer
IMP_LP17

Nenn-Impedanz einer symmetrischen Dual-Stripline-Leitung



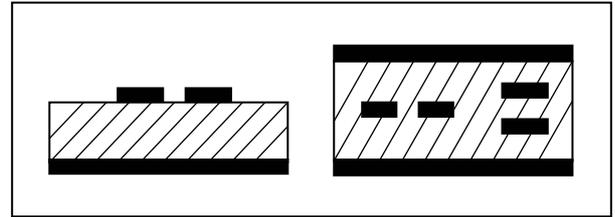
$$Z_N = \frac{80 \Omega}{\sqrt{\epsilon_r}} \ln \left[\frac{1,9 (2h + t_{Cu})}{0,8 w + t_{Cu}} \right] \left[1 - \frac{h}{4 (h + s + t_{Cu})} \right]$$

FH-Giessen/Thüringer
IMP_LP20B

3.2.2 Differentielle Impedanz

Für störungsarme Signalübertragung und sehr schnelle Digitalsignale wird die differentielle Signalübertragung eingesetzt. Dabei wird das Signal über 2 Signalleitungen geführt. Die Signalleitungen sind parallel als Doppelleitungen ausgeführt. Im Gegensatz zur Dual Stripline wird hier das Signal jetzt invers (+/-) in die Doppelleitung eingespeist.

Wie bei den Single Ended Impedanzleitungen unterscheidet man auch hier zwischen Microstrip und Stripline Anordnungen. Bei der Stripline-Anordnung zwischen 2 Potentiallagen sind darüber hinaus zwei Parallelführungen konstruierbar: Nebeneinander (*edged-coupled*) oder übereinander (*broadside-coupled*).



Die Broadside-coupled Anordnung (übereinander auf 2 verschiedenen Lagen) ist für den Layouter wesentlich schwieriger zu entflechten als die edged-coupled Anordnung (nebeneinander auf einer Lage).

Differentielle Impedanz von "edged-coupled" Microstrip- sowie Stripline-Leitungen

Microstrip:

$$Z_{\text{Diff}} = 2 \cdot Z_N [1 - 0,48 \exp(-0,96 s/h)]$$

Stripline:

$$Z_{\text{Diff}} = 2 \cdot Z_N [1 - 0,347 \exp(-2,9 s/d)]$$

Z_N : Impedanzen der Einzelleiter

FH-Giessen/Thüringer IMP_L20A

Auch fertigungstechnisch ist die Broadside-coupled Anordnung schwieriger: Wegen des elektrisch erwünschten geringen Abstandes s zwischen den Signalleiterbahnen können die zusammengehörigen Signallagen schlecht auf einem gemeinsamen Kern gefertigt werden, da dieser als sehr dünnes Sheet praktisch kaum zu handhaben wäre. Somit wird der impedanzbestimmende Abstand zwischen den zusammengehörigen Signallagen durch den Pressvorgang und dazwischen liegende Prepregs bestimmt, was

enge Toleranzen erschwert. Daher wird die edged-coupled Anordnung i.d.R. bevorzugt (*Abb.*).

Für praktische Werte des Leiterbahnabstandes s sowie der Lagenabstände h bzw. d wird der Wert des Klammerausdruckes in den Formeln etwa 0,8, somit die Differentielle Impedanz typisch 1,6 mal so groß wie die Nennimpedanz der Einzelleiter gegenüber Potential (Single Ended Impedanz).

Beispiel 1 (Surface Microstrip) :

$$w = 0,15\text{mm} \quad h = 0,15\text{mm} \quad s = w = 0,15\text{mm}$$

$$t = 50\mu\text{m} \quad \epsilon_r = 4,3$$

$$Z_N = 60,5 \Omega \quad [\text{vgl. Surface Microstrip}]$$

$$k = 0,48 \exp(-0,96 s/h) = 0,2227 \approx 0,22$$

$$> Z_{\text{Diff}} = 2 Z_N (1-k) = 121 \text{ Ohm} (1-0,22) = 94 \Omega$$

Beispiel 2 (Single Stripline) :

$$w = 0,12 \text{ mm} \quad d = 0,48 \text{ mm} \quad s = w = 0,12 \text{ mm}$$

$$t = 18\mu\text{m} \quad \epsilon_r = 4,3$$

$$Z_N = 60,2 \Omega \quad [\text{vgl. Single Stripline}]$$

$$k = 0,347 \exp(-2,9 s/d) = 0,168 \approx 0,17$$

$$> Z_{\text{Diff}} = 2 Z_N (1-k) = 120,4 \text{ Ohm} (1-0,17) = 100 \Omega$$

3.3. Impedanz realer Leiterbahnstrukturen

3.3.1 Einfluss von Durchsteigern/Vias und Bauteilen

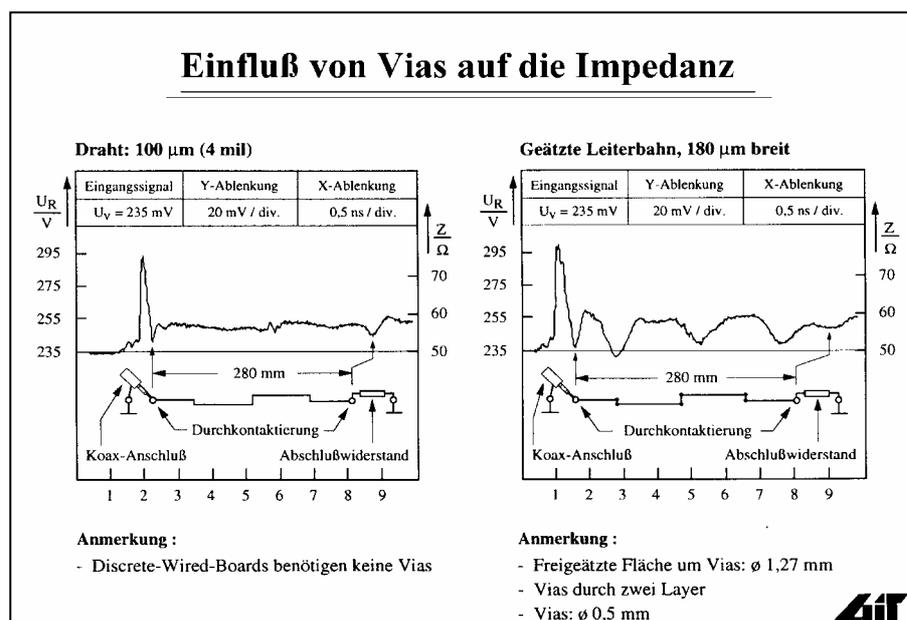
Die Frage, ob Vias bzw. Durchkontaktierungen die Impedanz einer Leitung stören und deshalb möglichst vermieden werden müssen ist mit einem "im Prinzip ja - aber" zu beantworten. Im Prinzip ja, weil größere Vias und insbesondere Durchsteiger durch Potentiallagen eine erhöhte Kapazität i.Vgl. zur ungestörten Signalleitung haben. Dadurch sinkt die Impedanz in der Viahülse kurzzeitig ab, was zu Signalstörungen führen kann. Das "kann" ist hier das "aber". So wie eine rauher Straßenbelag für die kleinen Rollen eines Skaters störend wirkt, so wenig stört er aber einen Auto- oder Fahrradreifen.

Für unsere elektrische "Straße", die Leitung gesprochen, hängt die Auswirkung auf das Signal von dessen Größe ab, das ist seine elektrische Ladung. Die Stromstärke des Signals multipliziert mit seiner Impulsdauer ergibt die im Impuls enthaltene Ladungsmenge. Diese Ladungsmenge wird nun teilweise von der Kapazität des Vias absorbiert (so wie ein Wasserstrom ein kleines Loch füllt). Ist die Ladung des Impulses groß i.Vgl. zur Aufnahmefähigkeit des Vias (Kapazität x Spannung auf der Leitung), so merkt der Impuls nicht viel vom Via, da es ihm nur wenig Ladung wegnimmt. Ist hingegen die Kapazität des Vias groß, so wird die Impulsladung kurzzeitig zum Auffüllen des Via benötigt. Der Impuls wird gestört.

Hierzu ein praktisches Beispiel:

Ein Impuls von z.B. $t = 1\text{ns}$ Dauer und 50mA Stromstärke enthält eine Ladung von $Q = 1\text{ns} \times 50\text{mA} = 50\text{pAs}$. Ein einzelnes Via das Potentiallagen kreuzt hat typ. 1pF Kapazität (s.u.) und nimmt bei $2,5\text{V}$ eine Ladung von $Q = C \times U = 1\text{pF} \times 2,5\text{V} = 2,5\text{pAS}$ auf, also 5% der Impulsladung. Dies ist also noch eine kleine Störung. Ein $0,1\text{ns}$ -Impuls hingegen würde zu 50% von der Kapazität des Via geschluckt werden. Dasselbe erfährt ein 1ns -Impuls der 10 Vias mit 1pF Kapazität in einem Abstand vorfindet, der kürzer als seine Länge ist (für einen 1ns -Impuls sind das 15cm). Vereinzelt merkt dieser Impuls also kaum, wohl aber Ketten von Vias, die dicht hintereinander stehen, wie z.B. bei Steckerreihen. Hingegen ist für ein $0,1\text{ns}$ -Impuls (mit $1,5\text{cm}$ Länge) schon 1Via eine große Störung, insbesondere wenn es eine starke Kapazität aufweist wie ein Durchsteiger-Via.

Deutlich demonstrieren kann man dies mit einer Messstrecke, in die man einen $0,2\text{ns}$ -Impuls einkoppelt. (Koaxial-Anschluss). Das linke Bild zeigt den Impulsverlauf auf einem abgewinkelt verlegten runden $100\mu\text{m}$ durchmessenden Draht (Microwire™-Leiterplatte) im rechten Bild wird der Impuls in eine auf 2 Lagen geätzte Leiterbahn eingekoppelt, die dreimal die Lage wechselt (jeweils 2 Vias). Beim Seitenwechsel der geätzten Leiterbahnen (x-y) durchstoßen die Viahülsen dabei zwei innere Potentiallagen.



Wie man im rechten Bild von Abb.42 erkennt, ist die Impedanz auf der 280mm langen Messstrecke nicht konstant bei ca. $58\ \text{Ohm}$ wie im linken Bild, sondern bricht an den Doppel-Viapositionen (doppelte Kapazität) auf ca. $50\ \text{Ohm}$ ein. Grund dafür ist die erhöhte Leitungskapazität der durch die Potentiallagen laufenden Viahülsen.

Abb.42: Auswirkung von Vias auf sehr schnelle Impulse [14]

Die Via-Lochhülse bildet zusammen mit den nahen Potentiallagen innere Kapazitäten, Bauteilschlüsse und Stecker erzeugen äußere Kapazitäten. Elektrisch sind die Via- und Bauteil-/Stecker-Kapazitäten zur Leitungskapazität parallel geschaltet, erhöhen also die Gesamtkapazität der Leitung d.h.senken die Impedanz:

Effektive Leiterbahn-Impedanz Z_{eff} :

$$Z_{eff} = \frac{Z_N}{\sqrt{1 + \frac{\sum C_{Via} + \sum C_{BT}}{C_{Leitung}}}}$$

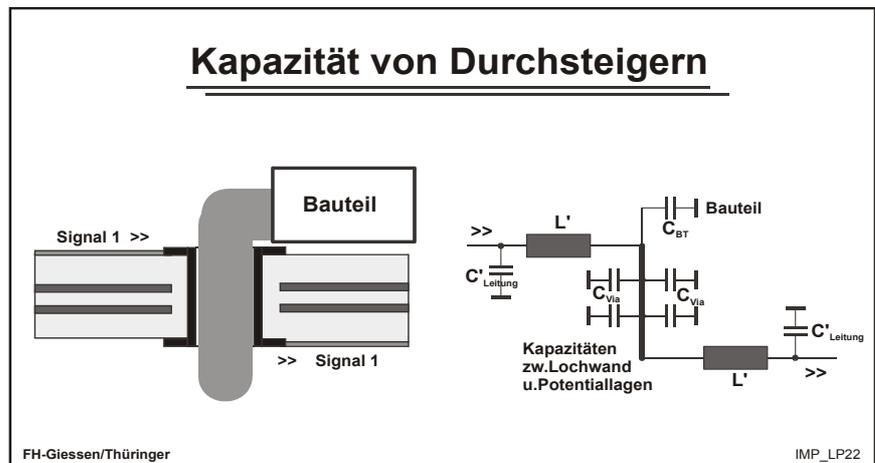


Abb.41: Ersatzschaltbild einer Durchkontaktierung (Via)

Bauteile bzw. Stecker (BT) haben sehr unterschiedliche Kapazitäten; Sie müssen im konkreten Fall ermittelt werden. Für reine Vias liegen hingegen Messwerte vor [15]. Daraus leitet sich die Kapazitätsberechnung von Vias ab.

Kapazität von Durchsteigern

Für die Kapazität von Durchsteigern (Vias) kann man für FR4-Material ($\epsilon_r = 4,3$; 1GHz) näherungsweise ansetzen:

$$C_{Via} \approx 0,1 pF \cdot n_{Pot} \cdot \frac{d_{Bohr}}{s}$$



(n_{Pot} = Anzahl der durchlaufenen Potentiallagen;
 d_{Bohr} = Bohr-Ø; s = Breite des Isolationsringes)

So ist z.B. die Viakapazität für eine Steckerhülse mit $d = 1,2mm$ die durch zwei Potentiallagen mit einer $1,8mm$ Freistellung geht (d.h. mit $s = 0,3mm$): $C_{Via} = 0,8 pF$

Störung sehr schneller Digitalimpulse

Diese Viakapazität auf der kurzen Strecke von $1,5mm$ ($= 5pF/cm$) ist groß i.Vgl. zur Leitungskapazität, die bei $1pF/cm$ liegt. Die Leitungskapazität $C_{Leitung} = C' \cdot l$ lässt sich näherungsweise ebenfalls rechnerisch ermitteln.

$$C' \approx 0,3 pF / cm \cdot \sqrt{\epsilon_{reff}} \frac{100}{Z_N / \Omega}$$

Abgeleitet aus [16] gilt für Impedanz-Leiterbahnen auf Leiterplatten näherungsweise $<Gl.7>$:

Beispiel: 56Ω -Microstrip ($\epsilon_{reff} = 3,5$): $C' = 0,3 pF/cm \cdot 1,87 \cdot 100/56 \approx 1 pF/cm$

Merke: Impedanzkontrollierte Leiterbahnen für *sehr schnelle* Signale ($< 0,1ns$) sollten also möglichst keine oder nur wenige Durchsteiger/ Vias (zwischen Send- und Empfangs-Bauteilen) aufweisen, da deren Kapazität Impedanz-Einbrüche und Signalreflexionen verursacht. Die extrem kurzen Microvias (SBU-Aufbau) ohne Nähe zu Potentiallagen stellen hingegen selbst für sehr schnelle Signalimpulse keine nennenswerte Störung dar.

3.3.2 Auswirkung von Durchsteiger-/Viaketten

Einzelne Vias sind wie schon bemerkt für typ. Digitalsignale mit >1ns-Anstiegszeit praktisch nicht sichtbar, wohl aber für sehr schnelle Signale. Hingegen haben Viaketten deutliche Auswirkungen auf die Impedanz der gesamten Leitung. Unter Viaketten versteht man dichte Folgen von Vias mit Abständen im mm- bis cm-Bereich, so dass ein Impuls alle gleichzeitig "sieht", z.B. ein 15cm-langer 1ns-Impuls. Sie bewirken eine homogene Kapazitätserhöhung der Leitung. In diesem Falle bricht die Impedanz für das Impulssignal nicht bei jedem Via ein, sondern für das Signal hat die gesamte Leitung eine verringerte Impedanz. Ganz besonders bei Backplanes mit parallelen Steckerreihen auf den Signalleitungen sowie bei Speicherbänken (viele kapazitive Lasten dicht hintereinander) muss dieser Effekt unbedingt einkalkuliert werden.

Durch Einsetzen von C_{via} und $C_{Leitung}$ bzw. C' in die Grundformel <Gl.5> erhält man für die unbestückte Leiterplatte eine Näherungsformel <Gl.8> für die effektive Impedanz Z_{eff} einer Leiterbahn mit Durchsteiger (Vias):

$$Z_{eff} \approx \frac{Z_N}{\sqrt{1 + \frac{Z_N / \Omega \cdot n_{Via} \cdot n_{Pot} \cdot d_{Bohr} / s}{300 \cdot \sqrt{\epsilon_{reff}} \cdot l / cm}}}$$

Hierbei wurde die Kapazität C_{BT} eventueller Bauteile oder Steckern in den Hülsen nicht berücksichtigt, da diese Werte nicht allgemein kalkulierbar sind sondern ggf. praktisch ermittelt werden müssen.

Gl.8: Effektive Leitungsimpedanz mit Vias

Beispiel-Rechnung

Eine Beispiel-Rechnung zeigt die Auswirkung von Durchsteigerketten auf die effektive Impedanz der Leitung:

Angenommen werde eine Busplatine mit 12 Steckern und 1x pro Stecker durchgeschleifter Microstrip-Busleitung von 30cm Länge: Anzahl der Vias pro Leitung: 12 Anzahl innerer Potentiallagen: 2; Nenn-Impedanz der Leitung ohne Durchsteiger: $Z_N = 78 \Omega$; Freitätzungen in den Potentiallagen: 1,8 mm; Bohr-Ø: 1,2mm also $s = 0,3mm$.

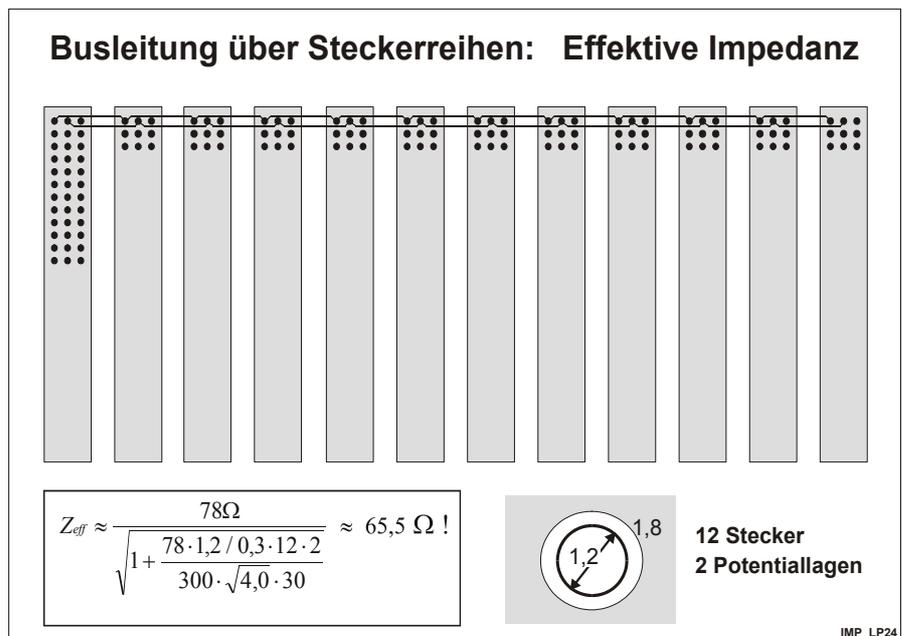


Abb.44: Erniedrigte Impedanz durch die Steckerhülsen

Die kapazitive Belastung der Leitung durch die

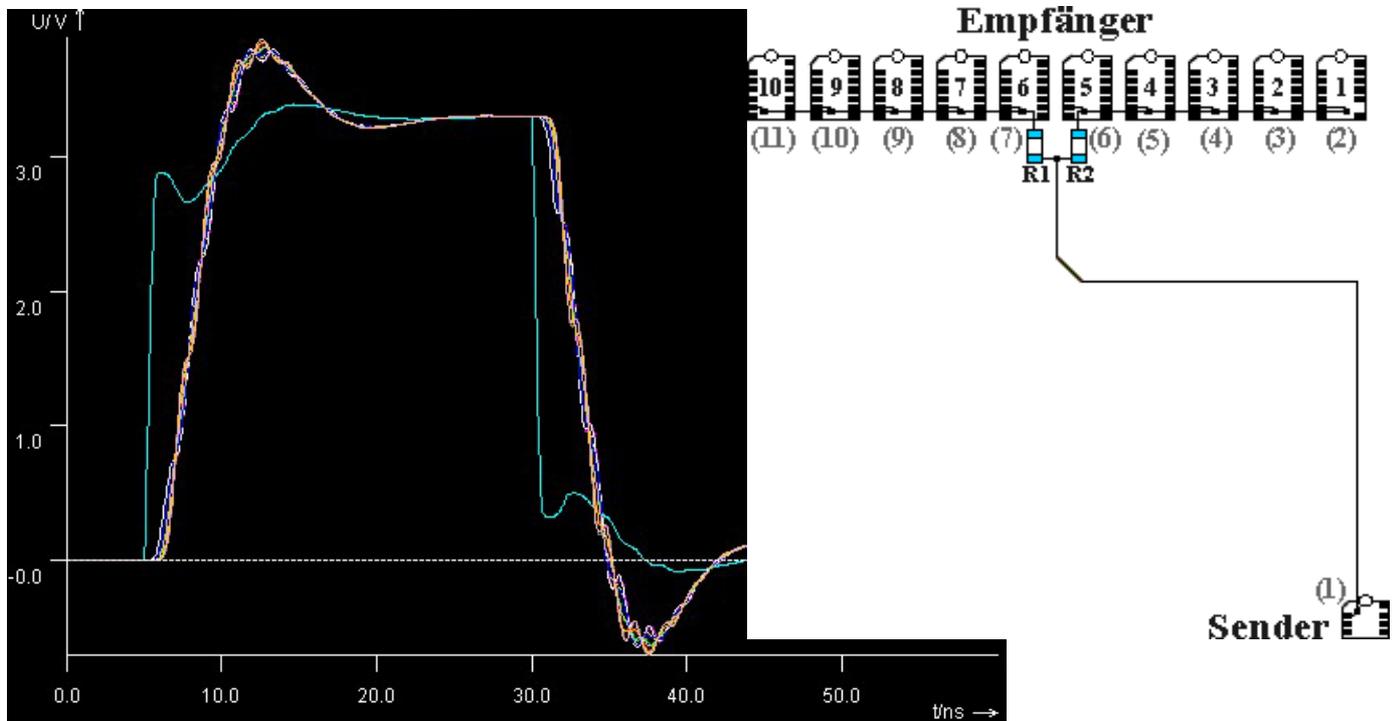
Steckerhülsen bewirkt also eine drastische Reduzierung der gesamten Leitungsimpedanz, was

$$Z_{eff} \approx \frac{78 \Omega}{\sqrt{1 + \frac{78 \cdot 12 \cdot 2 \cdot 1,2 / 0,3}{300 \cdot \sqrt{3,8} \cdot 30}}} \approx 65,3 \Omega \quad <Gl.9>$$

vom Entwickler und Layouter im Vorfeld der Überlegungen unbedingt berücksichtigt werden muss. Die Regeln für sehr schnelle Digital-Busleitungen sind ein typisches Anwendungsbeispiel hierfür: Die starke Belastung der Busleitungen durch hochkapazitive Speicherbausteine muss durch eine Verringerung der Leiterbahnbreite also eine verringerte Leitungskapazität kompensiert werden um die Impedanz auf allen Leitungsstrecken konstant zu halten.

Beispiel für die Impedanz-Veränderung durch kapazitive Bauteilelast (Speicher-ICs)

Aus Kapitel 2.5 kennen wir das nachfolgende Schaltungsbeispiel. Durch einen Mittenanschluss (Sternpunkt) konnte durch die reduzierte Gesamtleitungslänge (Signallaufzeit) die Schaltzeitdifferenz verringert werden. Durch Einfügen der beiden Serien-Widerstände hinter dem Sternpunkt erfolgte eine erste Anpassung an den Parallel-Wellenwiderstand der 2 Empfängerleitungen.



Aufgrund des starken kapazitiven Einflusses der Empfänger-ICs wird der Wellenwiderstand der Empfängerleitungen reduziert. Um die Impedanz der Senderleitung ($Z = 50 \text{ Ohm}$) an die reduzierte Impedanz der Empfängerleitung ($Z = 30 \text{ Ohm}$) anzupassen, wird die Senderleitung so verbreitert, dass durch ihre Kapazitätserhöhung die Impedanz auf 30 Ohm sinkt.

