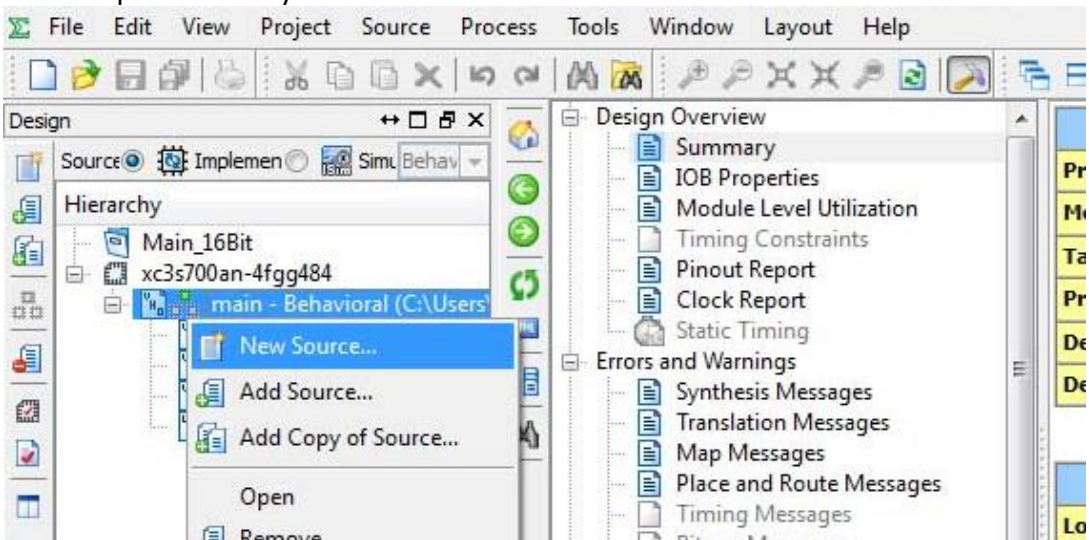
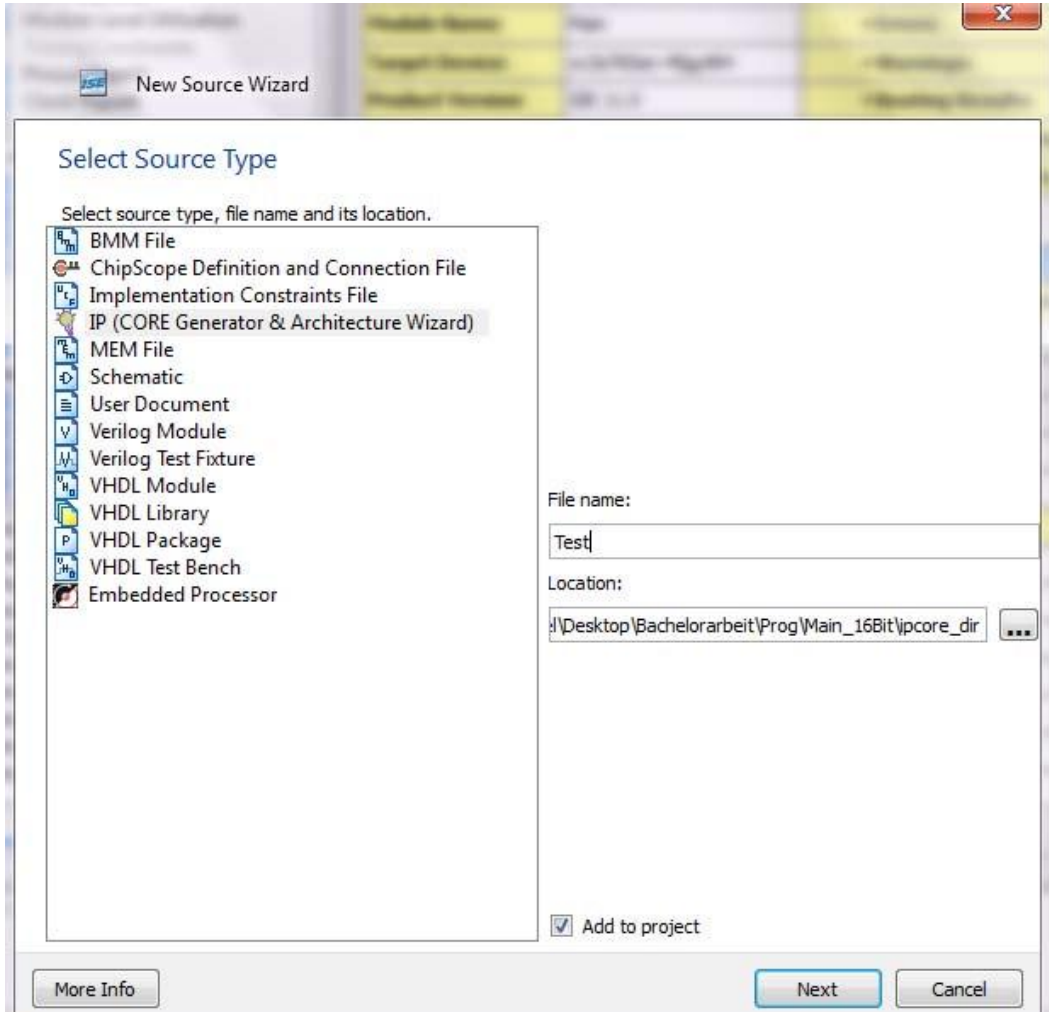


# Konfiguration des MIG für DDR2-SDRAM Ansteuerung

## Verwendete Ressourcen:

Board: Spartan-3A/3AN FPGA Starter Kit Board  
FPGA: XC3S700AN  
Speicher: Micron Technology DDR2-SDRAM (MT47H32M16)  
Software: - ISE 11.5  
- Memory Interface Generator (MIG) 3.3

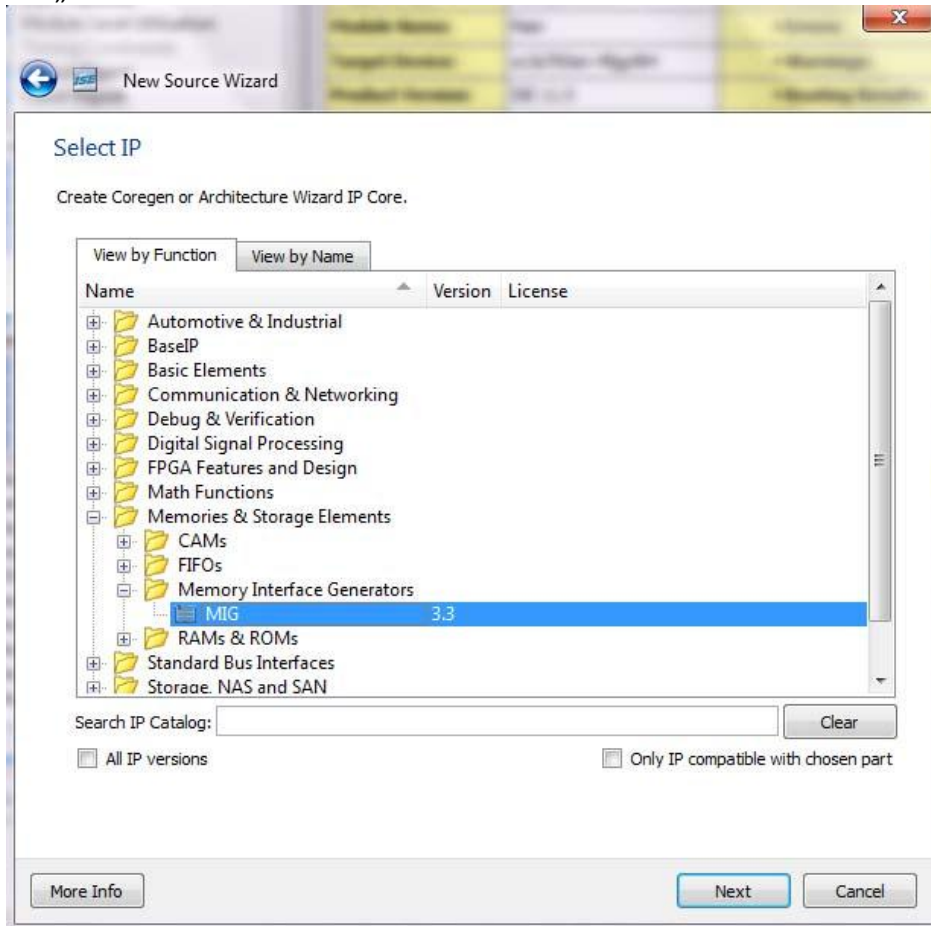
## Vorgehensweise:

Schritt	Beschreibung
1	<p>Rechtsklick auf die Top-Level Entity → New Source</p> 
2	<p>- IP (Core Generator &amp; Architecture Wizard) auswählen und Namen vergeben - „Next“ anklicken</p> 

**Schritt Beschreibung**

- Memory & Storage Elements/Memory Interface Generator/MIG auswählen
- „Next“ anklicken
- Im nächsten Fenster „Finish“ anklicken

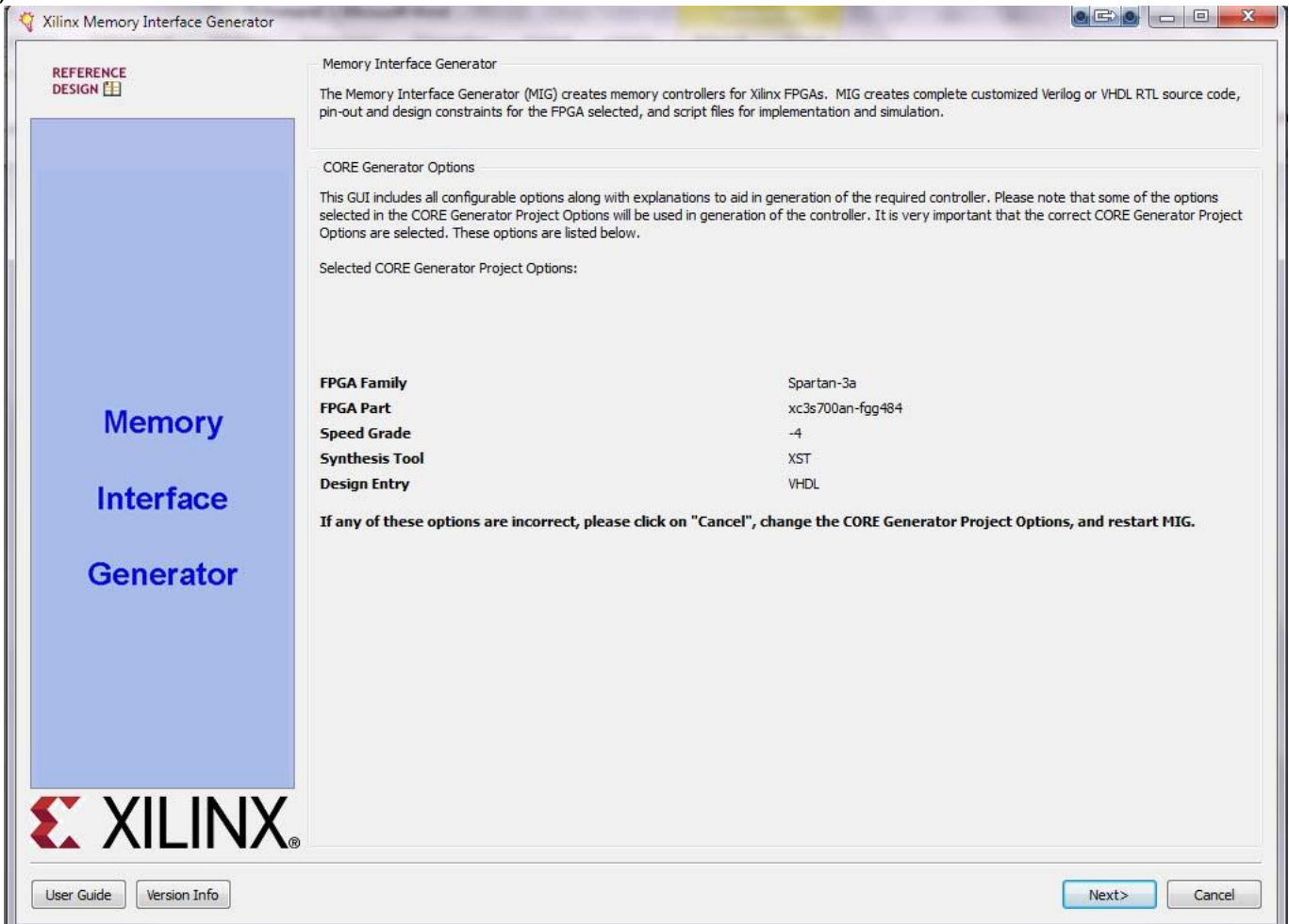
3



Übersicht welche Hardware verwendet wird. Diese Einstellung wird direkt aus ISE übernommen. Diese Einstellungen können im Menü „Project → Design Properties“ vorgenommen werden.

- „Next“ anklicken

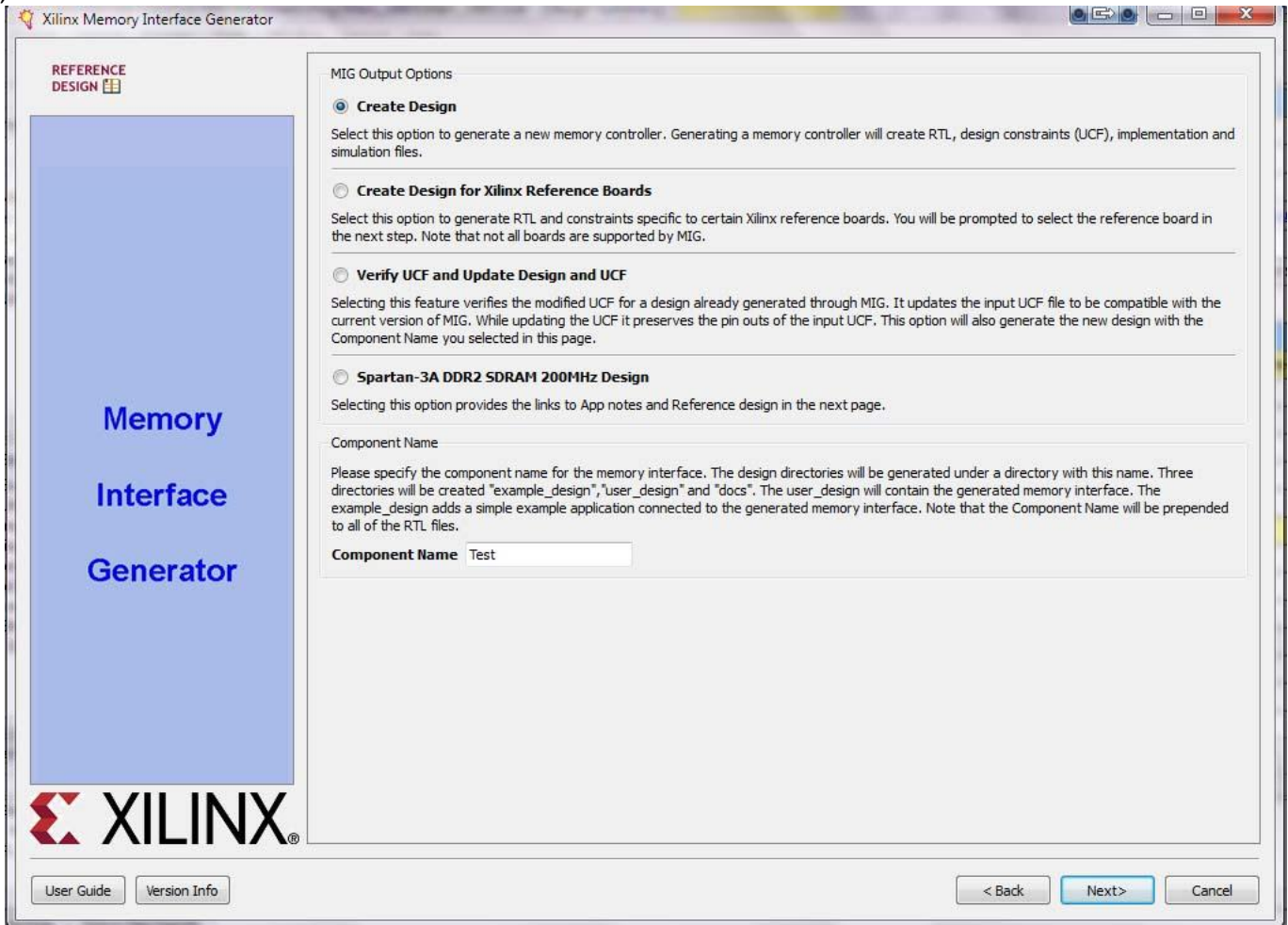
4



Schritt Beschreibung

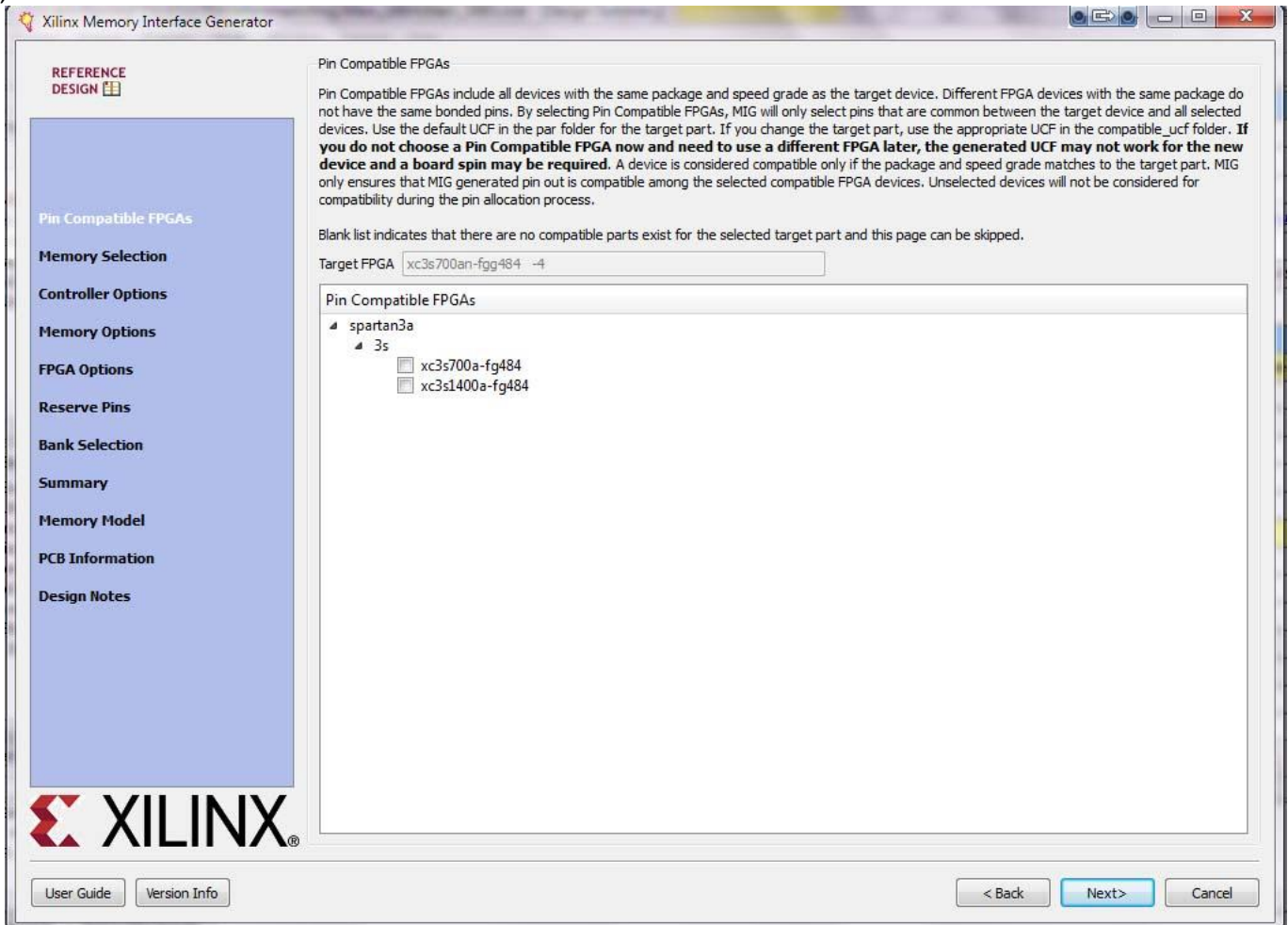
- „Create Design“ auswählen
- „Next“ anklicken

5



- Keinen Haken in die Kästchen machen, da der gewünschte „Target FPGA“ oben bereits ausgewählt ist
- „Next“ anklicken

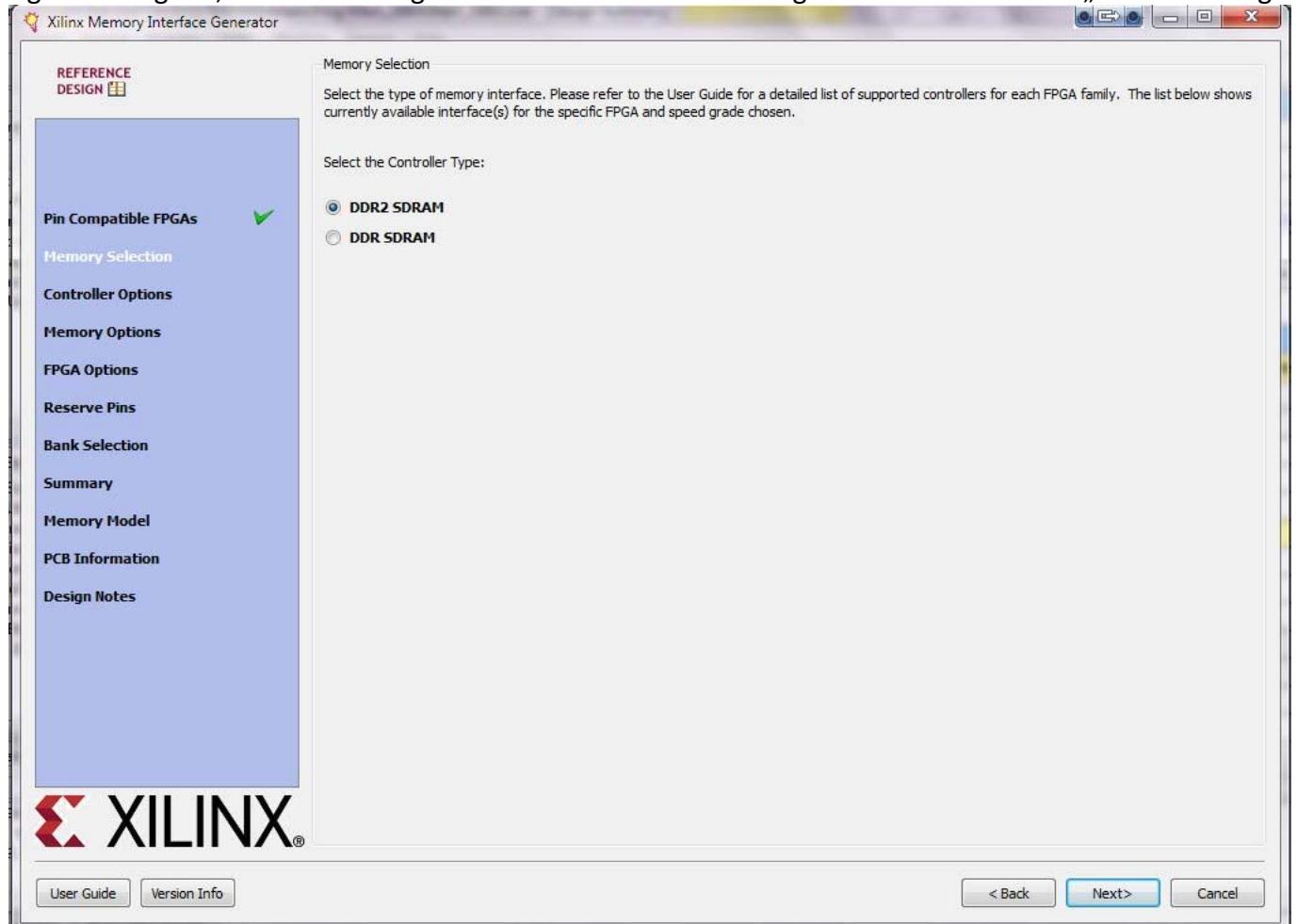
6



**Schritt**    **Beschreibung**

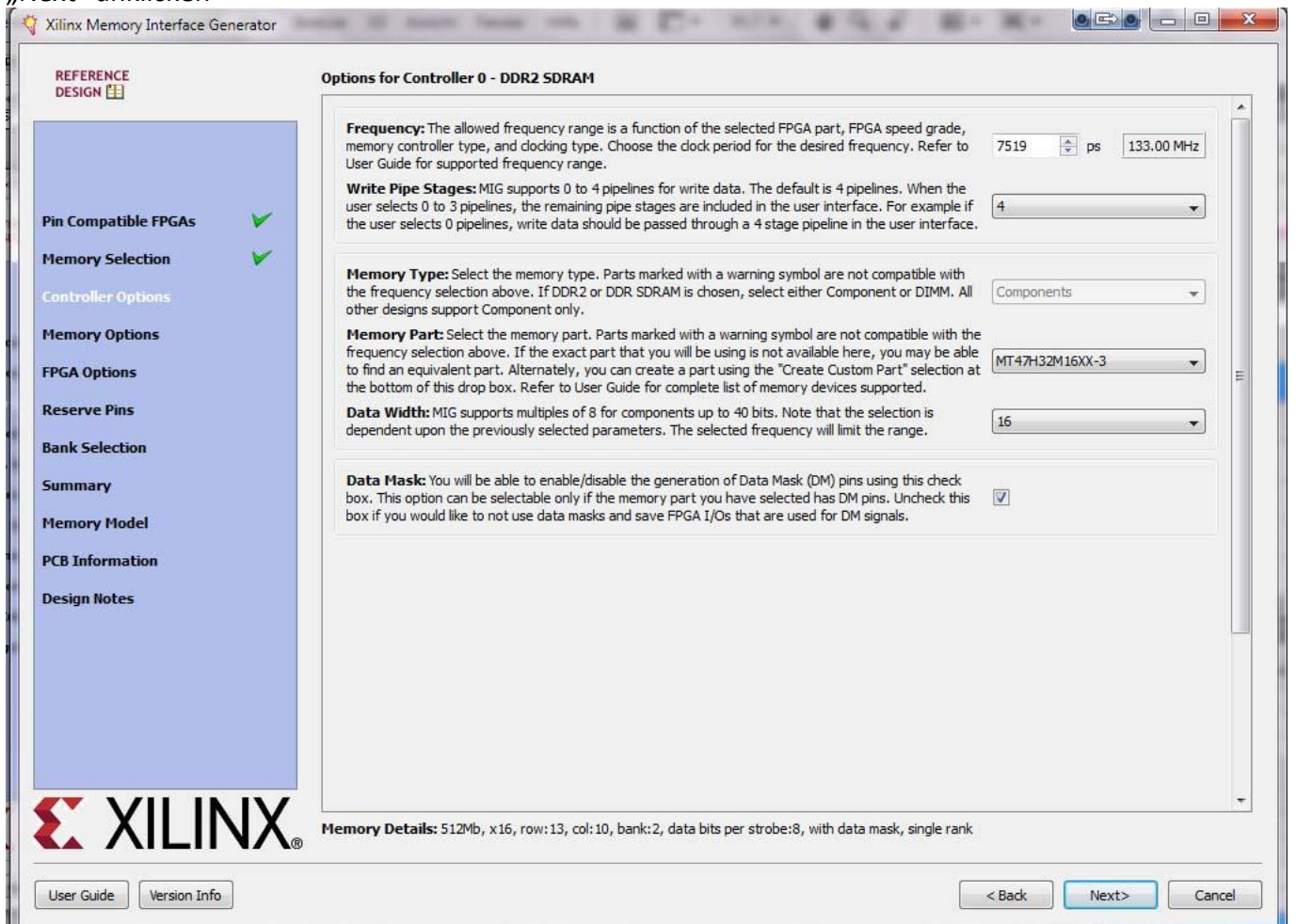
7

- Eigentlich logisch, aber vollständigkeitshalber: DDR2 SDRAM ausgewählt lassen und mit „Next“ bestätigen



8

- Hier muss nur die Einstellung des „Memory Part“ verändert werden: MT47H32M16XX-3 auswählen
- „Data Width“ wird automatisch aktualisiert (Wenn nicht, dann auf 16 einstellen)
- „Next“ anklicken



**Schritt**    **Beschreibung**

- Burst Length: Hier kann die Einstellung vorgenommen werden, ob 4 oder 8 Datenvektoren (16Bit) mit einem Speicher-/Lesezugriff verarbeitet werden sollen. Die Verarbeitung von 8 Bitvektoren setzt jedoch voraus, dass zusätzliche Regeln beachtet werden. Somit empfehle ich zum Einstieg die Verwendung der Einstellung mit 4 Bitvektoren.
- Die Restlichen Einstellungen können so übernommen werden. Bei „RTT“ sollte jedoch meiner Meinung nach „50ohms(11)“ eingestellt werden, da die Verbindung zwischen FPGA und Speicher laut Schematic mit 49,9 Ohm verbunden ist. Durch die Einstellung auf „50ohms(11)“ sind die HF-Leitungen mit dem gleichen Leitungswiderstand abgeschlossen. Kann mich auch irren (bin für konstruktive Hinweise offen)
- „Next“ anklicken

9

The screenshot shows the 'Xilinx Memory Interface Generator' window. The title bar reads 'Xilinx Memory Interface Generator'. The main window is titled 'Memory Options for Controller 0 - DDR2 SDRAM'. On the left, there is a sidebar with a 'REFERENCE DESIGN' icon and a list of options: 'Pin Compatible FPGAs' (checked), 'Memory Selection' (checked), 'Controller Options' (checked), 'Memory Options' (highlighted), 'FPGA Options', 'Reserve Pins', 'Bank Selection', 'Summary', 'Memory Model', 'PCB Information', and 'Design Notes'. The main content area contains the following settings:

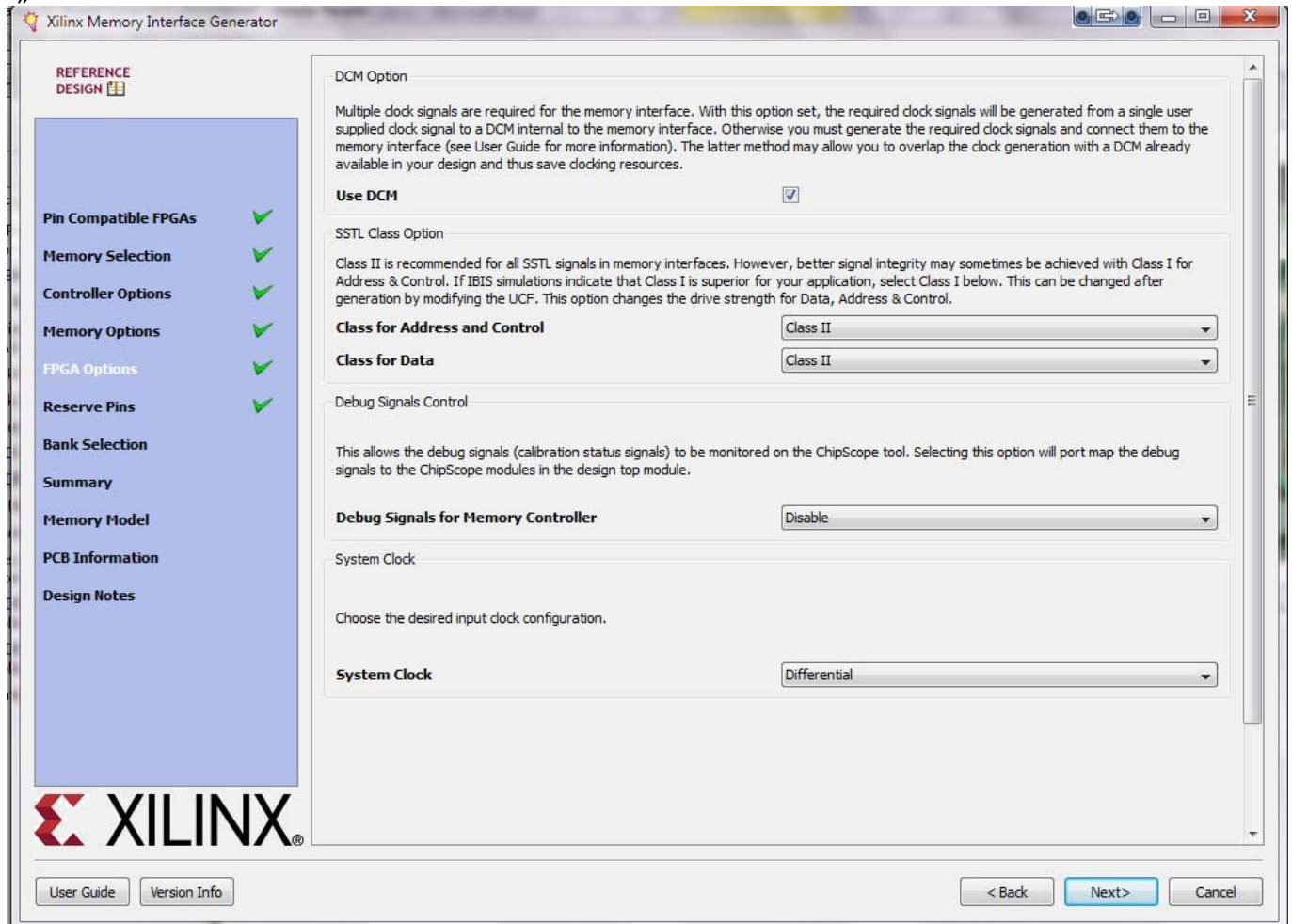
- Burst Length:** Determines the maximum number of column locations that can be accessed for a given READ or WRITE command. Value: 4(010).
- Burst Type:** The ordering of accesses with in a burst is determined based on the burst length, the burst type and the starting column address. Value: sequential(0).
- Output Drive Strength:** Selecting reduced strength will reduce all outputs to approximately 60 percent of the drive strength. Value: Fullstrength(0).
- RTT (nominal) - ODT:** This feature allows to apply internal termination resistance of the memory module for signals DQ, DQS/DQS#, LDQS/LDQS#, UDQS/UDQS# and LDM/UDM. This improves the signal integrity of the memory channel. Value: 50ohms(11).
- DQS# Enable:** Crosstalk and simultaneous switching output impact on the strobe output driver can be reduced with this option ON. When Enabled DQS is differential and when disabled DQS is single-ended. Value: Enable(0).

At the bottom left, there is the XILINX logo. At the bottom right, there are three buttons: '< Back', 'Next >', and 'Cancel'. At the bottom left of the window, there are also 'User Guide' and 'Version Info' buttons.

Schritt Beschreibung

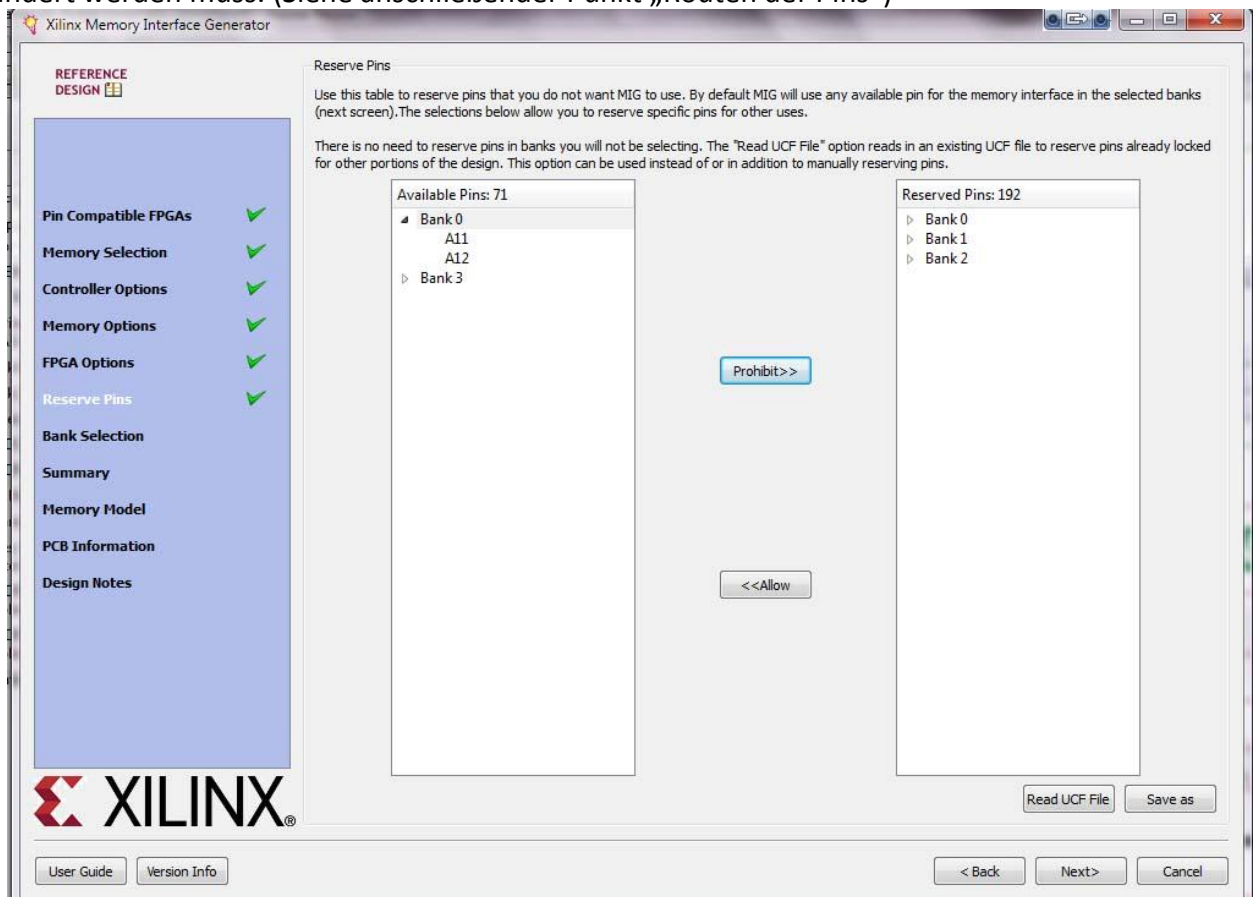
- Einstellungen können so belassen werden.
- „Next“ anklicken

10



- Aufgrund dieser Einstellungen wird die UCF-Datei zur Speicheransteuerung erstellt. Der Speicher ist komplett an die Bank 3 des FPGA angeschlossen. Um den MIG jedoch abschließen zu können müssen für die Takt-Pins temporär noch die Ports A11 und A12 der Bank 0 bereitgestellt werden. Eigentlich wird der Takt ebenfalls von der Bank 3 ausgegeben, wodurch diese Einstellung nach Abschluss des MIG manuell geändert werden muss. (Siehe anschließender Punkt „Routen der Pins“)

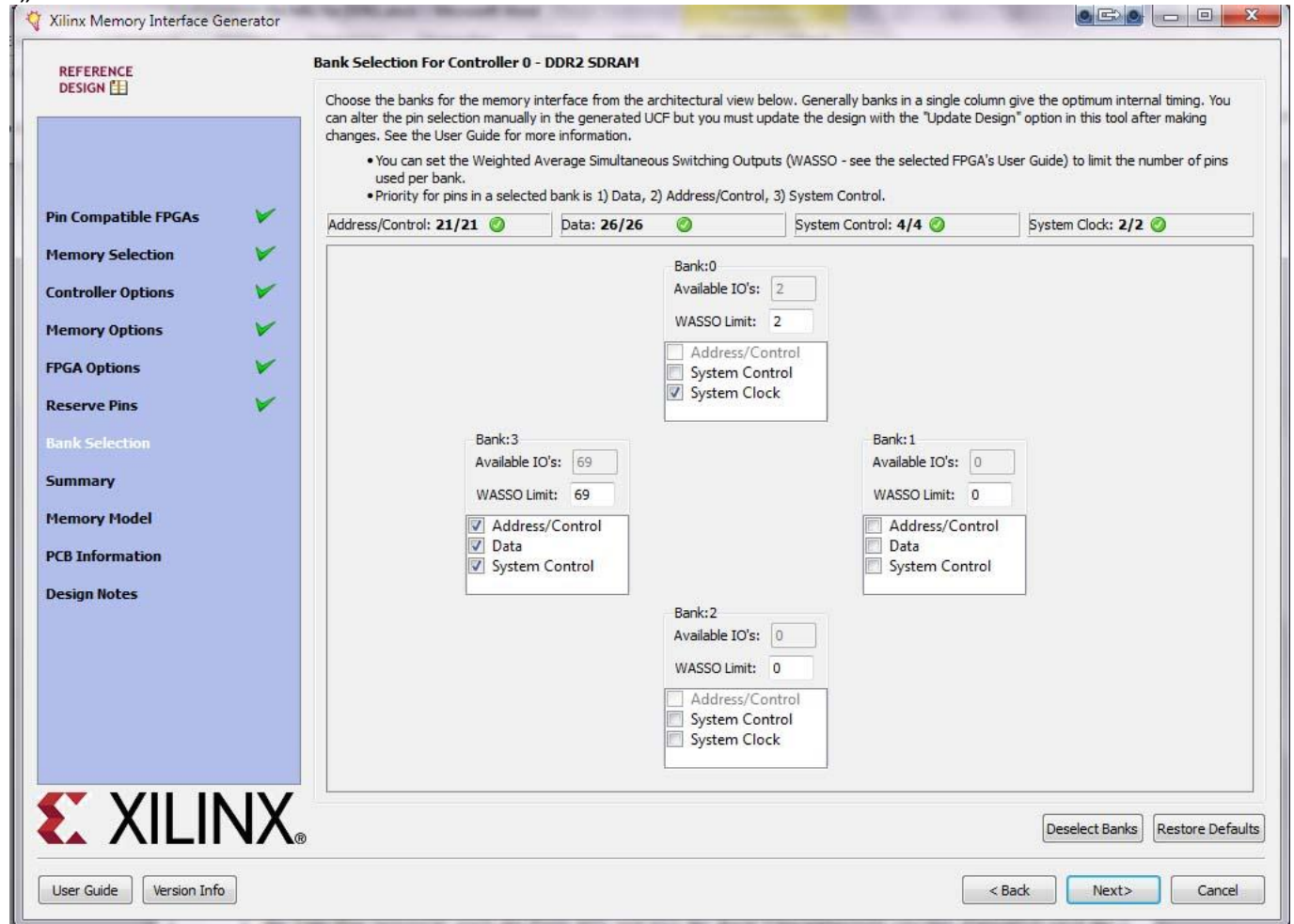
11



**Schritt Beschreibung**

- Alle Haken entfernen
- Haken setzen wie im Bild zu sehen
- „Next“ anklicken

12



13 Den MIG durch mehrfaches klicken auf „Next“ abschließen.

**Routen der Pins:**

Da die UCF-Datei vom MIG seltsamerweise nicht korrekt erstellt wird muss diese noch angepasst werden. Die erstellte UCF-Datei befindet sich im Ordner

\*\*\*\ipcore\_dir\Test\user\_design\par\Test.ucf

Diese kann mit einem Texteditor geöffnet werden. Anschließend sucht man nach den Stellen an dem die Pins geroutet werden und korrigiert die UCF-Datei nach Folgender Tabelle:

Netzname	Vom MIG geroutet	Korrekter Pin laut Schematic
NET "cntrl0_dds2_ck[0]"	LOC = "M5" ;	LOC = "M1" ;
NET "cntrl0_dds2_ck_n[0]"	LOC = "N4" ;	LOC = "M2" ;
NET "cntrl0_dds2_dm[0]"	LOC = "V3" ;	LOC = "J3" ;
NET "cntrl0_dds2_dm[1]"	LOC = "P3" ;	LOC = "E3" ;
NET "cntrl0_dds2_a[12]"	LOC = "P1" ;	LOC = "Y2" ;
NET "cntrl0_dds2_a[11]"	LOC = "P2" ;	LOC = "V1" ;
NET "cntrl0_dds2_a[10]"	LOC = "M3" ;	LOC = "T3" ;
NET "cntrl0_dds2_a[9]"	LOC = "M4" ;	LOC = "W2" ;
NET "cntrl0_dds2_a[8]"	LOC = "M1" ;	LOC = "W1" ;
NET "cntrl0_dds2_a[7]"	LOC = "M2" ;	LOC = "Y1" ;
NET "cntrl0_dds2_a[6]"	LOC = "K1" ;	LOC = "U1" ;
NET "cntrl0_dds2_a[5]"	LOC = "L1" ;	LOC = "U4" ;
NET "cntrl0_dds2_a[4]"	LOC = "L5" ;	LOC = "U2" ;
NET "cntrl0_dds2_a[3]"	LOC = "L3" ;	LOC = "U3" ;
NET "cntrl0_dds2_a[2]"	LOC = "K3" ;	LOC = "R1" ;
NET "cntrl0_dds2_a[1]"	LOC = "K2" ;	LOC = "T4" ;

NET "cntrl0_dds2_a[0]"	LOC = "K5";	LOC = "R2";
NET "cntrl0_dds2_ba[1]"	LOC = "K4";	LOC = "R3";
NET "cntrl0_dds2_ba[0]"	LOC = "H2";	LOC = "P3";
NET "cntrl0_dds2_cke"	LOC = "H1";	LOC = "N3";
NET "cntrl0_dds2_cs_n"	LOC = "H4";	LOC = "M5";
NET "cntrl0_dds2_ras_n"	LOC = "H3";	LOC = "M3";
NET "cntrl0_dds2_cas_n"	LOC = "G3";	LOC = "M4";
NET "cntrl0_dds2_we_n"	LOC = "G1";	LOC = "N4";
NET "cntrl0_dds2_odt"	LOC = "F2";	LOC = "P1";
NET "reset_in_n"	LOC = "K6";	LOC = ""; <b>nicht bekannt</b>
NET "cntrl0_dds2_dq[1]"	LOC = "AA2";	LOC = "K5";
NET "cntrl0_dds2_dq[0]"	LOC = "AA1";	LOC = "H1";
NET "cntrl0_dds2_dq[3]"	LOC = "Y2";	LOC = "L3";
NET "cntrl0_dds2_dq[2]"	LOC = "Y1";	LOC = "K1";
NET "cntrl0_dds2_dqs_n[0]"	LOC = "W3";	LOC = "K2";
NET "cntrl0_dds2_dqs[0]"	LOC = "V4";	LOC = "K3";
NET "cntrl0_dds2_dq[5]"	LOC = "W2";	LOC = "L1";
NET "cntrl0_dds2_dq[4]"	LOC = "W1";	LOC = "L5";
NET "cntrl0_dds2_dq[7]"	LOC = "U4";	LOC = "H2";
NET "cntrl0_dds2_dq[6]"	LOC = "U3";	LOC = "K4";
NET "cntrl0_dds2_dq[8]"	LOC = "V1";	LOC = "F2";
NET "cntrl0_dds2_dq[9]"	LOC = "U2";	LOC = "G4";
NET "cntrl0_dds2_dq[10]"	LOC = "U1";	LOC = "G1";
NET "cntrl0_dds2_dq[11]"	LOC = "T3";	LOC = "H6";
NET "cntrl0_dds2_dqs_n[1]"	LOC = "T4";	LOC = "J5";
NET "cntrl0_dds2_dqs[1]"	LOC = "R5";	LOC = "K6";
NET "cntrl0_dds2_dq[13]"	LOC = "R4";	LOC = "F1";
NET "cntrl0_dds2_dq[12]"	LOC = "R3";	LOC = "H5";
NET "cntrl0_dds2_dq[15]"	LOC = "R2";	LOC = "F3";
NET "cntrl0_dds2_dq[14]"	LOC = "R1";	LOC = "G3";
NET "cntrl0_rst_dqs_div_in"	LOC = "U5";	LOC = "H3"; <b>evtl. Falsch</b>
NET "cntrl0_rst_dqs_div_out"	LOC = "T5";	LOC = "H4"; <b>evtl. Falsch</b>

Der gesamte Inhalt der UCF-Datei muss anschließend in die zum Design gehörige UCF-Datei kopiert werden. In der vom MIG erstellten UCF-Datei findet man nun noch viele Zeilen, in dem die Pfade der einzelnen Prozesse angegeben sind. Diese stimmen natürlich nicht mit dem eigenen Design überein, weshalb dies ebenfalls angepasst werden muss.

Als Beispiel wird angenommen, dass sich das erstellte Memory-Interface „Test“ in der Top-Entity „Main“ befindet. Somit muss zum Beispiel die Zeile:

**INST "infrastructure\_top0/cal\_top0/tap\_dly0/l8" RLOC=X0Y4;**

Wie folgt verändert werden:

**INST "Test/infrastructure\_top0/cal\_top0/tap\_dly0/l8" RLOC=X0Y4;**

Also immer von der Top-Entity aus den Pfad weiterverfolgen. Der Name der Top-Entity wird dabei jedoch nicht angegeben.

Ich hoffe dieses HowTo bringt bisschen Licht ins Dunkel der RAM-Ansteuerung. Konstruktive Hinweise arbeite ich gerne in dieses HowTo ein.

Viele Grüße

Karnikel

**Dieses Dokument wurde nach besten Wissen und Gewissen erstellt. Der Autor übernimmt keine Haftung für eventuelle Fehlinformationen und jegliche daraus resultierenden Probleme.**