

Die Mischung macht's

Beobachtergestützte Strommessung mit Sigma-Delta-Modulatoren erlaubt hochdynamisches Motion Control

Eine parallele Algorithmenverarbeitung innerhalb von FPGAs ermöglicht die Berechnung der Regelalgorithmen in deutlich weniger als 1 μ s. Durch das Nutzen moderner Regelstrategien in Verbindung mit einem neuartigen Strombeobachter wird die Regelbandbreite in schnellschaltenden MOSFET- oder IGBT-Endstufen nicht länger durch die Verzögerungszeit der Strommessung limitiert. Eine hohe Regelbandbreite in Verbindung mit einer hochpräzisen Strommessung ist dadurch ohne Einschränkungen möglich.

Von Jens Onno Krahn und Christoph Klarenbach

Synchronmotoren mit Permanentmagneten und niedrigem Trägheitsmoment sind die bevorzugten Aktoren in hochdynamischen Positioniersystemen. Aufgrund der niedrigen Wicklungsinduktivität ermöglichen eisenlose Linearmotoren besonders kurze Stromanstiegszeiten. Die hohe Systemdynamik wird durch eine erschwerte Auslegung des Stromreglers erkauft. Diese Motoren werden in hochdynamischen Maschinen eingesetzt, z.B. bei Bonding-Automaten. Die Steuerung des Gesamtsystems inklusive Motion Control erfolgt dabei üblicherweise über einen Industrie-PC mit Soft-SPS.

Bei Motoren mit niedriger Wicklungsinduktivität wird die Leistungsfähigkeit des Stromreglers durch die Verzögerungszeiten der Strommessung, der Algorithmenberechnung im DSP und der Synchronisation mit dem Trägersignal der PWM bestimmt. Um den Stromrippel gering zu halten, sind wegen der niedrigen Wicklungsinduktivität des Motors hohe Schaltfrequenzen erforderlich. Gewöhnlich liegen diese bei $f_s = 8 - 50$ kHz. Die

niedrigen elektrischen Motorzeitkonstanten – besonders von eisenlosen Linearmotoren – erlauben dabei besonders hohe Stromreglerbandbreiten.

In diesem Beitrag wird eine innovative, auf Sigma-Delta-A/D-Wandlern und einem Beobachter basierende Stromregelstruktur vorgestellt. Der Ansatz basiert auf einem vereinfachten Maschinenmodell, dessen Nutzung keine Leistungseinbußen verursacht. Die vorgestellten Messergebnisse wurden mit einem Beckhoff-Industrie-PC mit einer TwinCAT-Soft-SPS aufgenommen (Bild 1).

Stromregelung

Aus Gründen der einfachen Inbetriebnahme und der übersichtlichen und



Bild 1. Mit dem Umrichter mit FPGA-Steuerkarte wurden die Messungen durchgeführt.

(Bild: FH Köln)

bekannten Struktur ist die Regelung in Motion-Control-Systemen meist in einer Kaskadenform realisiert. Der innerste Regelkreis ist dabei der Stromregler. Der mittlere regelt die Geschwindigkeit, während der äußere für die Regelung der Position zuständig ist (Bild 2).

Die Dynamik des gesamten Antriebssystems baut auf der Bandbreite des Stromregelkreises auf. Zum Erreichen einer hohen Stromregelbandbreite waren lange Zeit voll analoge Verstärker mit einer extrem schnellen analogen Stromregelung Standard. Diese so genannten „Voice Coil“-Systeme haben zwei wesentliche Nachteile: Die maximale Proportionalverstärkung des Reglers (K_p) ist durch das Unterschwingungsverfahren begrenzt und eine Prädiktion des zukünftigen Verlaufs der Regelgröße ist nicht möglich. Moderne, schnell schaltende Leistungselektroniken erlauben einen hohen Wirkungsgrad und ermöglichen zusätzlich die Vorausberechnung (Prädiktion) des zukünftigen Regelgrößenverlaufs. Durch die Verwendung eines „Smith Predictors“ kann die Stromreglerbandbreite beispielsweise um bis zu 70 % erhöht werden [1].

Phasenstrommessung

Die Qualität der Analog/Digital-Wandlung bei der Motor-Phasenstromerfassung ist von hoher Bedeutung für Servo-Antriebe. Traditionell werden die Ströme zunächst über closed loop Hall-Effekt-Sensoren gemessen. Deren galvanisch getrennte Ausgangssignale werden danach meist über 12-bit-SAR-A/D-Wandler (Sukzessive Approximation) digitalisiert.

Um die Leistungsendstufe vor Überströmen zu schützen, werden die Ströme oft zusätzlich über schnelle, analoge Komparatoren ausgewertet, die eine unmittelbare Abschaltung ermöglichen. Zur Unterdrückung von EMV-bedingten Störsignalen ist eine solche Überstromabschaltung üblicherweise zusätzlich mit einem Filter erster Ordnung mit $T \approx 2$ μ s versehen.

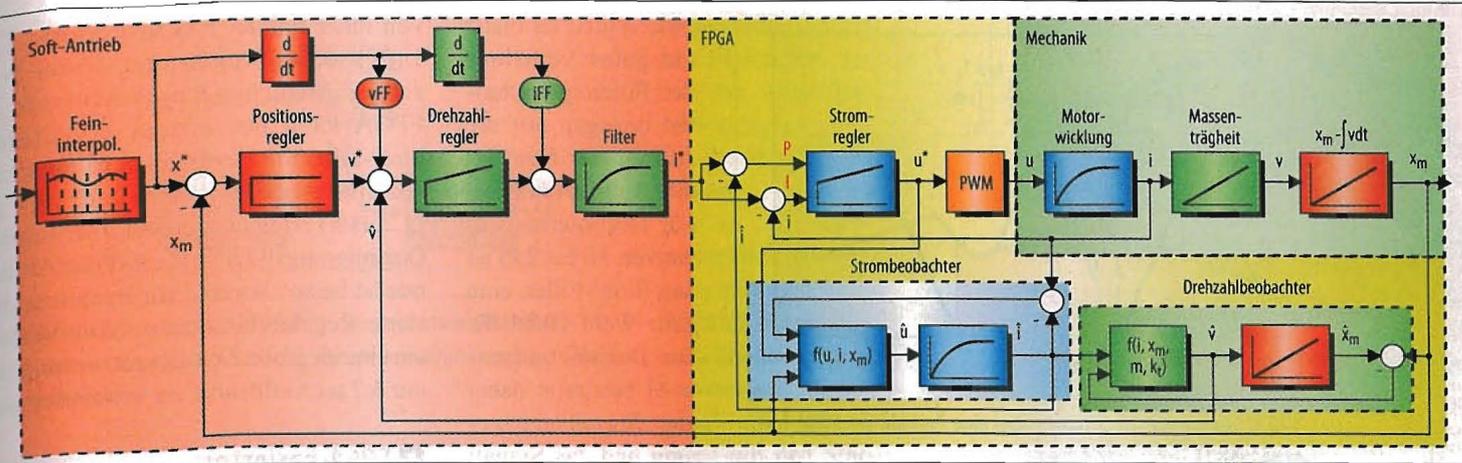


Bild 2. Kaskadenregelung mit drei verschachtelten Regelkreisen und zwei Beobachtern. Der Strombeobachter dient zur Generierung eines gefilterten, aber unverzögerten Stromwert-Signals.

In PWM-basierten Umrichtern sind zwei verschiedene Strommessmethoden Stand der Technik:

1. Abtastung des Stromes synchron zum Trägersignal der PWM (Bild 3). Durch die zur Schaltfrequenz synchrone Abtastung des Stromes wird der Stromripple effizient unterdrückt. Charakteristisch für diese Methode ist eine niedrige Totzeit bei geringerer Rauschunterdrückung. Um Störsignale zu unterdrücken, wird der Strommessung

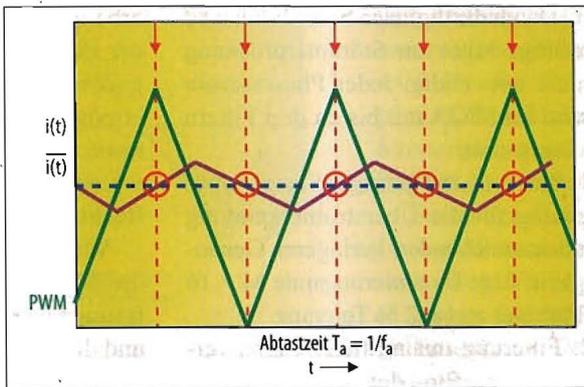


Bild 3. Abtastung des Stromes synchron zum PWM-Trägersignal.

oft ein Filter erster Ordnung mit einer Zeitkonstanten von ca. 10 µs vgeschaltet. Ein prinzipieller Nachteil dieses Verfahrens ist ein möglicher

aliasingbedingter Offset des Stromes, bedingt durch eine phasenverschobene Abtastung.

2. Integration des Stromes über eine ganze PWM-Periode des Trägersignals (Bild 4). Durch die Integration werden abtastbedingte Gleichanteile und Störungen effektiv unterdrückt. In der Praxis wird die Integration durch die Bildung einer Summe vieler A/D-Wandlungen mit hoher Abtastrate realisiert. Diese Technik wird auch Überabtastung genannt. Der Nachteil dieser genaueren Technik ist eine regelungstechnisch wirksame zusätzliche Totzeit von einer halben PWM-Periode, welche die Phasenreserve und damit die erreichbare Stromregelbandbreite reduziert.

3-Phasen-Schaltnetzteile für Hutschienenmontage

TRACO POWER

TSP-3P Serie 240-960 Watt, 24 VDC Ausgang

- 3-Phasen-Netzteil als Alternative zum Netztransformator
- Eingangsspannungsbereiche 3 x 330-440 VAC und 3 x 410-550 VAC
- Robustes ultrakompaktes Metallgehäuse für raue Industrieumgebung
- Einsatz für Motoren und in der Antriebstechnik
- Hohe Überlastbarkeit 200 % für 5 Sekunden
- Arbeitstemperaturbereich -25°C bis +70°C
- DC-OK Signal, Extern Ein/Aus
- Überlast- und Übertemperaturschutz
- **3 Jahre Produktgewährleistung**



TRACO ELECTRONIC GmbH

D-85729 Ismaning · Tel. 089/96 11 82 0 · info@traco-electronic.de · www.traco-electronic.de

T 3630 D

www.tracopower.com

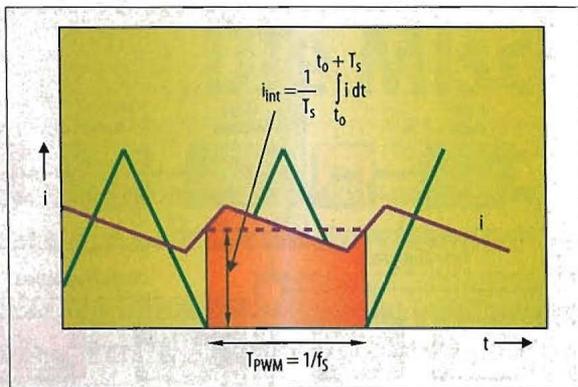


Bild 4. Integration des Stromes über eine Periode des PWM-Trägersignals (T_{PWM}).

Durch die Nutzung von $\Sigma\Delta$ -A/D-Wandlern kann die Qualität der Strommessung mit vergleichsweise geringem Aufwand verbessert werden. Verschiedene Halbleiterhersteller bieten speziell für die potentialfreie Strommessung konstruierte integrierte Schaltkreise an. Der differenzielle analoge Eingang dieser ICs kann direkt mit einem Shunt zur Strommessung verbunden werden. Der galvanisch isolierte digitale Datenstrom ist mit einem Eingang eines FPGA verbunden. Signalfilterung und Abtastung (Sample) erfolgen innerhalb des FPGA voll digital. Wenn der $\Sigma\Delta$ -Modulator unmittelbar neben dem Mess-Shunt platziert wird, können eventuelle EMV-Störungen weder das Messsignal, noch die digitale Filterung beeinflussen [2, 3].

FPGA basierte Strommessung mit getrennter Signalarückführung

Jeweils ein $\Sigma\Delta$ -Modulator pro Phase generiert einen mit 20 MHz getakteten Datenstrom,

der jedoch keine digitalen Wörter beinhaltet, wie man sie von SAR-Umsetzern kennt. Um ein solches Datenwort zu generieren, muss das Quantisierungsrauschen der Datenströme noch mit einem digitalen Filter unterdrückt werden. Ein sehr einfach zu realisierendes Filter ist das

Sinc³-Filter. Es bietet ein gutes Verhältnis der Filtereigenschaften bezogen auf die Anzahl der benötigten Logikelemente. Für Dezimierungsraten von 16 bis 256 ist das Sinc³-Filter eine gute Wahl (Bild 5). Die Dezimierungsrate M bestimmt dabei die Signalverzögerung und das Signal/Rausch-Verhältnis

(SNR) bzw. die effektive Anzahl von Bits des Datenwortes (ENOB).

Durch die digitalen Sinc³-Filter sind analoge Filter zur Störunterdrückung nicht notwendig. Jeder Phasenstrom wird im FPGA mit bis zu drei Filtern ausgewertet:

1. Filterung mit geringer Signalverzögerung für die Überstromerkennung mit ausreichender, geringerer Genauigkeit. Eine Dezimierungsrate $M = 16$ führt hier zu ca. 2 % Toleranz.
2. Filterung mit mittlerer Signalverzögerung für den Proportionalanteil des Stromreglers mit ca. 12 bit Genauigkeit bei einer Dezimierungsrate von $M = 64$.
3. Hochgenaue Filterung durch Integration über eine Periode des PWM-Trägersignals ($T_{PWM} = 1/f_s$). Diese Technik ist vergleichbar mit Dual-Slope-A/D-Wandlern, wie sie in Digitalmultimetern verwendet werden.

Die effektiv wirksame Abtastfrequenz des Standard Sinc³-Filters wird über die Taktfrequenz des $\Sigma\Delta$ -Modulators $f_{\Sigma\Delta}$ und die Dezimierungsrate M bestimmt. Bei Nutzung einer Modulatorfrequenz von $f_{\Sigma\Delta} = 20$ MHz und einer Dezimierungsrate von $M = 64$ wird das Stromsignal alle 64×50 ns = 3,2 μ s abgetastet. Die Verzögerung ist akzeptabel für PWM-basierte Regelungsarchitekturen, solange sie in Addition zu der Verzögerung zur Berechnung der Regelalgorithmen die Signalabtastzeit

von einer halben PWM-Periode $T_s = 1/(2f_s)$ nicht überschreitet. Unter Nutzung zusätzlicher Logikelemente im FPGA kann mit einem erweiterten Sinc³-Filter mit identischen Eigenschaften eine Abtastzeit von z.B. 0,4 μ s (3,2 μ s/8) erreicht werden. Ein solches Dezimierungsfilter mit erhöhter Abtastrate ist beispielsweise für hysteresebasierte Regelarchitekturen von Vorteil, um eine zu grobe Zeitdiskretisierung mit nur 3,2 μ s Auflösung zu verhindern.

FPGA-basierter Strombeobachter

Dank der parallelen Algorithmenverarbeitung innerhalb von FPGAs wird die Berechnung von aufwendigen Algorithmen in deutlich weniger als 1 μ s ermöglicht. Ein Prozessor würde durch seine sequenzielle Befehlsabarbeitung wesentlich mehr Zeit für die gleichen Rechnungen benötigen.

Verbleibende unerwünschte Effekte des Sinc³-Filters sind die filtereigene frequenzabhängige Signaldämpfung und die durch die Filterung verursach-

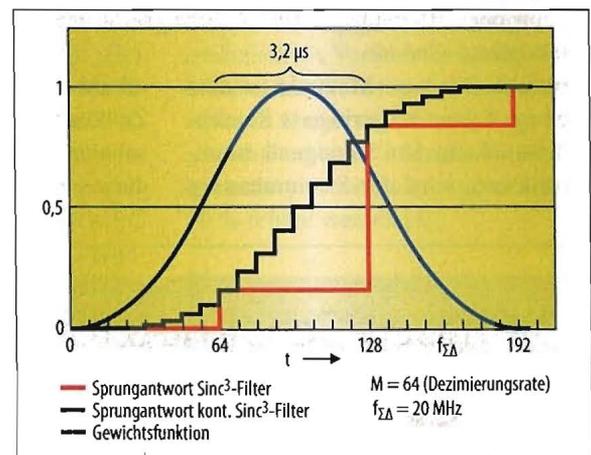


Bild 5. Sprungantwort eines Sinc³-Filters mit einer Dezimierungsrate von $M = 64$: Standard-Filter (rot), modifiziertes Sinc³-Filter mit höherer Abtastrate (schwarz), Gewichtsfunktion des Filters (blau).

te Phasenverschiebung. Beides kann durch einen FPGA-basierten Strombeobachter vermieden werden. Er basiert auf einem vereinfachten Maschinenmodell mit der Wicklungsinduktivität L und dem Wicklungswiderstand R als Modellparameter (Bild 6). Eingangsgröße ist zusätzlich zu den durch die Sinc³-Filter gemessenen Phasenströmen und der Rotorposition die Ausgangsspannung der Leistungsstufe.

hivolt.de

- Hochspannungsversorgungen
- Hochspannungsverstärker
- Hochspannungskabel
- Oszilloskope
- Magnetstromversorgungen
- Leistungsverstärker
- Leistungselektronik
- AC-Quellen
- elektronische Lasten
- DC-Netzgeräte

hivolt.de GmbH & Co. KG
Tarpfen 40, Geb. 2, D-22419 Hamburg
Tel.: +49(0)40-53 71 22-0
Fax: +49(0)40-53 71 22-99
info@hivolt.de - www.hivolt.de

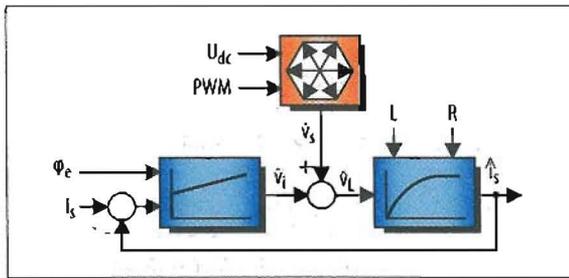


Bild 6. Blockdiagramm des EMV-Störungen unterdrückenden Strombeobachters, der auch die Signalverzögerung des Sinc³-Filters kompensiert.

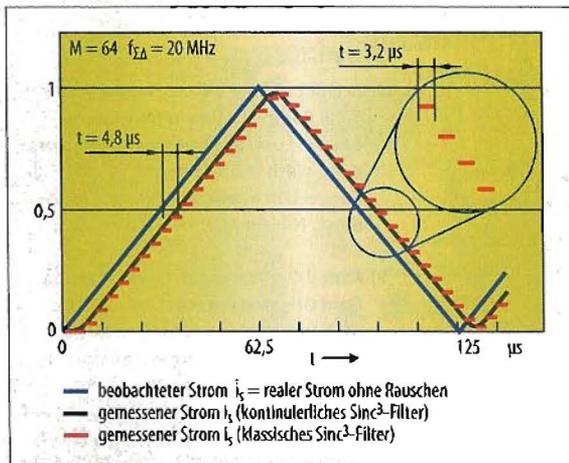


Bild 7. Rampenantwort des Strombeobachters.

Sie kann einfach über die Zwischenkreisspannung und die Gate-Signale der Leistungshalbleiter berechnet werden. Der Beobachter liefert ein unverzögertes und ungedämpftes Stromsignal mit effektiv unterdrückten EMV-Störungen. Das Stromsignal wird dabei mit der Abtastzeit $T_{\text{FPGA}} = 20 \text{ ns}$ (50 MHz) des FPGA aktualisiert und eignet sich gut für die Stromregelung unabhängig von der genutzten Schaltfrequenz und der Modulationsstrategie. Durch die stromglättende Wirkung der Induktivität kann es keine sprungförmige Stromänderung geben. In Bild 7 ist der typische dreieckförmige Stromverlauf aufgetragen. Das Signal des Beobachters verläuft kontinuierlich ohne filterungsbedingte Verzögerung.

Stromregelung mit getrennter Rückführung

Die meisten in der Industrie eingesetzten Stromregelarchitekturen benutzen mehr oder weniger modifizierte PI-Regler. Der Integralanteil bewirkt die Ausregelung von stationären Regeldifferenzen. Der unmittelbar wirkende

Proportionalanteil des PI-Reglers ist für die Regelgeschwindigkeit und die Stabilität maßgebend.

Eine Stromregelarchitektur mit getrennter Rückführung kann die vorteilhaften Eigenschaften von Proportional- und Integralanteil mit den Stärken der beschriebenen Strommessmethoden kombinieren. Der beobachtete, unverzögerte Strom wird für den Proportionalanteil des Stromreglers genutzt (Bild 8). Das schnelle Stromsignal des Beobachters ermöglicht die gewünschte hohe Stromregelbandbreite. Das genauere, über eine PWM-Periode integrierte Stromsignal dient als Rückführung für den Integralanteil des Stromreglers. Das Ergebnis ist eine Stromregelung mit hoher stationärer Genauigkeit ohne eventuelle aliasingbedingte Offsetfehler.

Wird der Algorithmus eines solchen feldorientierten Stromreglers in VHDL codiert, so dauert die Berechnung – je nach Implementierung und FPGA-Taktfrequenz – nur ca. 100 ns. Die Regelstrecke – Wicklungsinduktivität L und Wicklungswiderstand R – können bei einer feldorientierten Regelung als zwei einzelne und entkoppelte Systeme erster Ordnung betrachtet werden. Durch den Beobachter und die verschwindend geringe, FPGA-basierte Berechnungszeit kann die Regelung als ideal, also ohne zusätzliche Verzögerung angesehen werden.

Die Auslegung für ein einschrittiges Deadbeat-Verhalten führt zum gleichen Regelalgorithmus wie ein diskreter PI-Regler:

$$G_R(z) = \frac{b_0 + b_1 \cdot z^{-1}}{1 - z^{-1}} \quad (1)$$

mit $b_0 = K_p$ und $b_1 = K_p \cdot (T_s/T_n - 1)$

IEC 61508
ISO 26262
DO-178B



Software getestet?

Hitex ist Experte für das Testen von Embedded-Software – profitieren Sie von unserem Know-how:

- **Test-Tools** für Modul-, Unit-, Integrationstest und zur Einhaltung von Normen und Standards
- **Test-Services:** Software-Test mit Coverage-Nachweis, statischer Analyse und Zertifizierung
- **Schulungen** zu Tools, Normen und Technologien

Infos unter www.hitex.de/test

hitex
DEVELOPMENT TOOLS

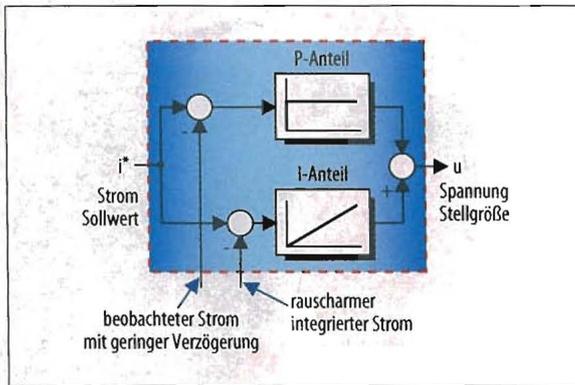


Bild 8. Stromreglerstruktur mit getrennter Signalführung [4].

Die Reglerparameter für das Deadbeat-Verhalten berechnen sich wie folgt [5]:

$$K_p = \frac{R}{1 - e^{-\frac{T_a \cdot R}{L}}} \quad (2)$$

$$T_n = \frac{T_a}{1 - e^{-\frac{T_a \cdot R}{L}}} \quad (3)$$

Diese Auslegung ähnelt sehr der dynamischen Kompensation aus der klassischen Regelungstechnik. Insbesondere bei großen elektrischen Zeitkonstanten ($L/R \gg T_a$) wird in der Praxis die Nachstellzeit T_n nicht größer als sechs T_a (Abtastzeit) gewählt, um eine

schnellere Ausregelung von Störungen zu erreichen.

Bei dem betrachteten System beträgt die Motorinduktivität umgerechnet auf ein einphasiges Ersatzschaltbild 18 mH, der Wicklungswiderstand ist mit 4,4 Ω angegeben. Die PWM wird mit 8 kHz getaktet, und es werden beide Schaltflanken separat berechnet. Dadurch ergibt sich eine Abtastzeit ($T_a = T_{PWM}/2$) von 62,5 μ s.

► K_p berechnet sich nach (2) zu 290 V/A.

► T_n berechnet sich nach (3) zu 4,12 ms.

Die theoretisch berechnete Durchtrittsfrequenz f_D beträgt bei diesen Parametern 2,55 kHz.

Bei Optimierungen am Versuchsaufbau wurde die Proportionalverstärkung K_p etwas höher eingestellt, die Nachstellzeit T_n aber deutlich kleiner. Die sich messtechnisch aus dem Open-loop-Diagramm ergebende entsprechend höhere Durchtrittsfrequenz beträgt 3,5 kHz (Bild 9). Diese praktisch gewählte Proportionalverstärkung ist höher als die eines Regelkreises mit Deadbeat-Verhalten. Das führt zu einem sehr schnellen, leicht überschwingenden Stromregler, was aus Sicht des überlagerten Drehzahlreglers durchaus gewünscht ist und zu einer dynamisch steiferen Servo-Achse führt.

Das betrachtete System erreicht eine Closed-loop-Stromreglerbandbreite bis zu 4 kHz bei nur 8 kHz Schaltfrequenz, was auch dem theoretisch Möglichen entspricht. Durch die FPGA-basierte Regelung mit Strombeobachter kann entweder die Dynamik eines Motion-Control-Systems bei gleicher Schaltfrequenz gesteigert werden, oder die Schaltfrequenz kann bei vergleichbarer Bandbreite zur Verringerung der Verluste gesenkt werden, um z.B. den Wirkungsgrad zu verbessern. ag

Literatur

- [1] Schmirgel, H.; Krahl, J.O.; Berger, R.: Delay Time Compensation in the Current Control Loop of Servo Drives – Higher Bandwidth at no Trade-off. PCIM Power Conversion Intelligent Motion Conference, Nürnberg, June 2006, pp. 541 – 546.
- [2] Krahl, J.O.; Klarenbach, C.: FPGA based Field Oriented Current Controller for High Performance Servo Drives. PCIM Power Conversion Intelligent Motion Conference, Nürnberg, May 2008.
- [3] Krahl, J.O.; Yüsay, R.: Motorsteuerung auf einem programmierbaren Chip, FPGAs eröffnen neue Möglichkeiten für Motion Control. *Elektronik* 2008, H. 26, S. 41ff.
- [4] Krahl, J.O.: Regelverfahren und Regelungsvorrichtung mit mehrkanaliger Rückführung. Internationale Patentanmeldung EP2008/058948, DE102007032484A1.
- [5] Krahl, J.O.: Digital Motion Control. Skript, www.fh-koeln.de

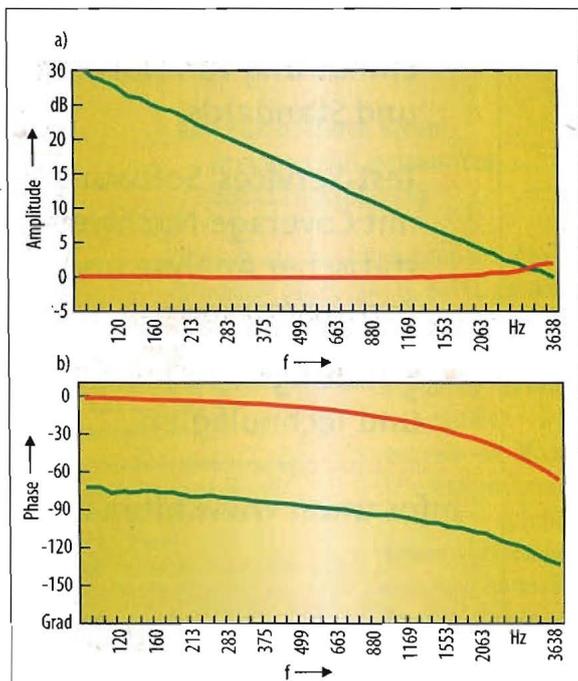


Bild 9. Das Strom-Bode-Diagramm zeigt, dass mit 8 kHz Schaltfrequenz auch in realen Systemen bis zu 4 kHz Stromregelbandbreite erreichbar sind. Rot: Führungsübertragungsfunktion/closed-loop; Grün: aufgeschnittener Regelkreis/open-loop. a) Amplitudengang (in dB); b) Phasengang (in $^\circ$).



Prof. Dr. Jens Onno Krahl

wurde 2004 zum Professor für „Allgemeine Regelungstechnik“ in der Fakultät für Informations-, Medien- und Elektrotechnik der Fachhochschule Köln berufen. Nach seinem Studium der Elektrotechnik an der Universität Wuppertal promovierte er dort 1993 im Bereich Antriebsregelung. Bis 2004 arbeitete er bei Danaher Motion und war unter anderem für die weltweite Entwicklung der Danaher-Motion-Servoregler verantwortlich. Sein Interesse gilt der digitalen Signalverarbeitung mit FPGAs und Motion Control. Jens_Onno.Krahl@FH-Koeln.de



Christoph Klarenbach

studierte von 2001 bis 2006 an der Universität Wuppertal Elektrotechnik und erlangte seinen Master of Science im Jahr 2006. Seine Schwerpunkte liegen in den Gebieten Regelungs- und Antriebstechnik sowie Leistungselektronik. Momentan arbeitet er an seiner Promotion im Bereich Antriebsregelung mit FPGAs. Dieses Forschungsprojekt wird von der Firma Beckhoff Automation gefördert. Christoph.Klarenbach@FH-Koeln.de