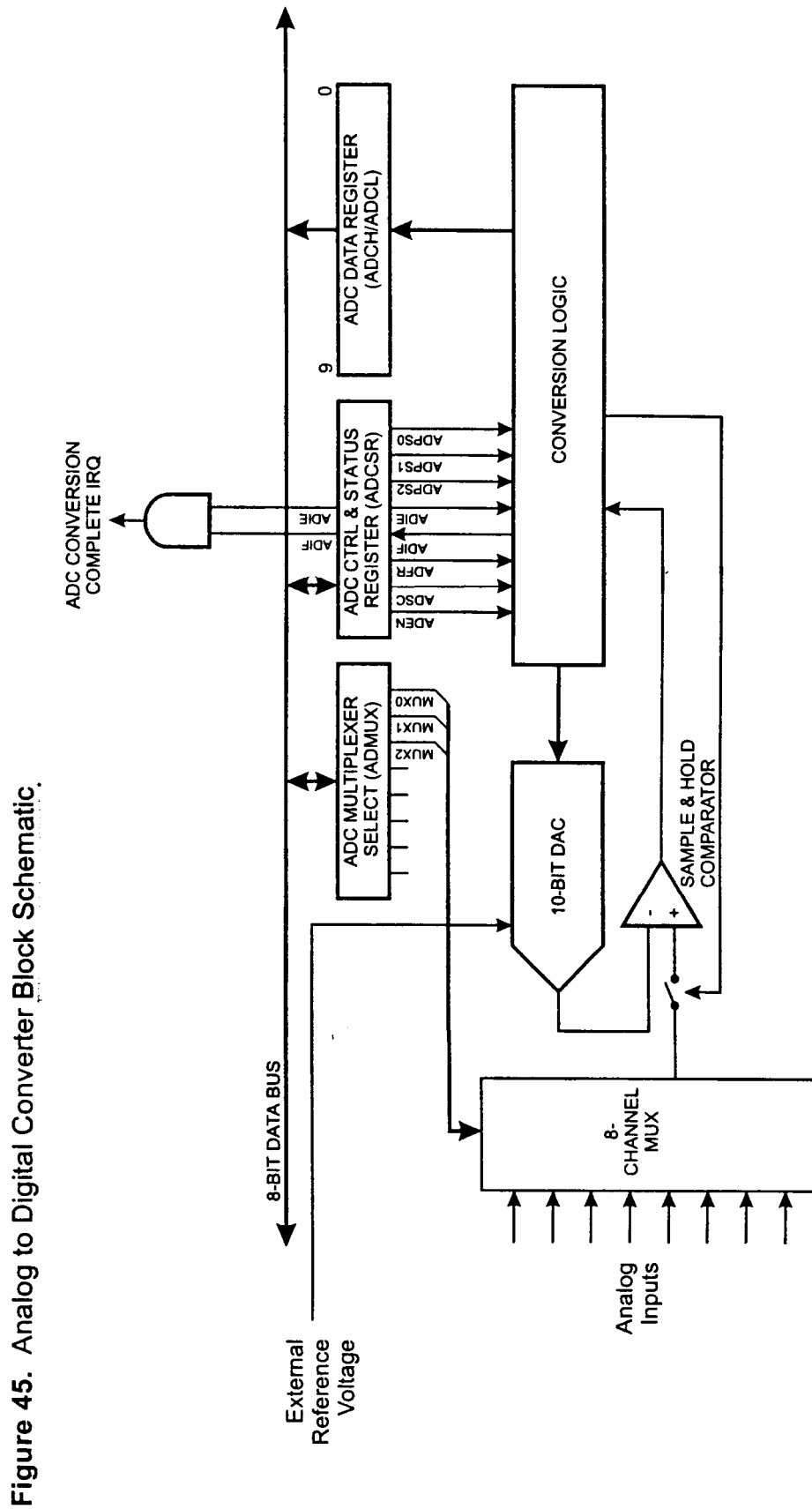


6 Der Analog-Digital-Wandler (ADC)

6.1 Das Blockschaltbild

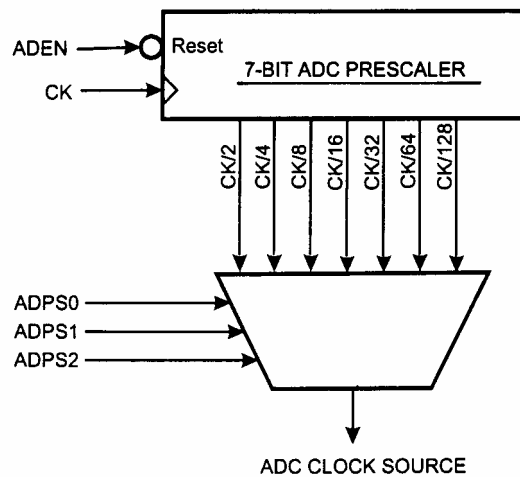


6.2 Kenndaten

- 10-bit Auflösung
- 0,5 LSB Integrale Nichtlinearität
- ± 2 LSB Absolute Genauigkeit
- 65 us – 260 us Wandlungszeit
- bis zu 15 kSPS bei max. Auflösung
- 8 gemultiplexte Eingangskanäle
- u. a. m.

6.3 Der ADC Vorteiler

Mit den drei Bits ADPS0 bis ADPS2 des Registers ADCSR kann die Taktquelle gewählt werden;



Die nachfolgende Tabelle 28 zeigt die möglichen Teilerfaktoren die eingestellt werden können. Die ADC-Taktrate soll dabei zwischen 50 kHz und 200 kHz liegen (für max. Auflösung!). Für höhere Taktraten sinkt die Auflösung, aber die Abtastrate in kSPS steigt!

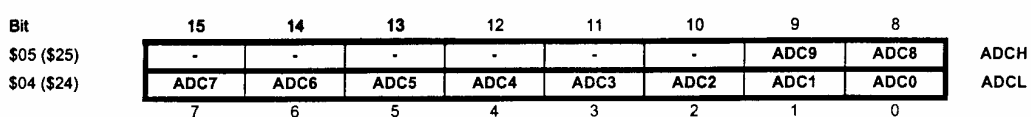
$$f_{ADC} = f_{\phi} / TF \quad TF = \text{Teiler Faktor} = \text{Division Factor (Table 28)}$$

Start des Vorteilers durch ADEN-Bit in ADCSR auf 1 setzen; stoppt, wenn ADEN = 0;

Table 28. ADC Prescaler Selections

ADPS2	ADPS1	ADPS0	Division Factor
0	0	0	2
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

ADC Data Register - ADCL AND ADCH



Das eigentliche Datenregister des ADC enthält die nach der Wandlung entstandene binär codierte Zahl mit 10-Bit Auflösung. Die beiden höchstwertigen Bits stehen dabei im ADCH-Register! Lesen: ADCL zuerst, dann erst ADCH => Daten konsistent!

Die Wahl eines der 8 möglichen Eingänge erfolgt über das ADMUX Register:
 In MUX0 bis MUX2 ist die binär codierte Kanalnummer einzutragen.

ADC Multiplexer Select Register - ADMUX

Bit	7	6	5	4	3	2	1	0	
\$07 (\$27)	-	-	-	-	-	MUX2	MUX1	MUX0	ADMUX
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
Initial value	0	0	0	0	0	0	0	0	

• **Bits 7..3 - Res: Reserved Bits**

These bits are reserved bits in the AT90S4434/8535 and always read as zero.

• **Bits 2..0 - MUX2..MUX0: Analog Channel Select Bits 2-0**

The value of these three bits selects which analog input 7-0 is connected to the ADC.

ADC Control and Status Register - ADCSR

Bit	7	6	5	4	3	2	1	0	
\$06 (\$26)	ADEN	ADSC	ADFR	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial value	0	0	0	0	0	0	0	0	

Das wichtigste Register zur Steuerung des ADC's ist das oberhalb dargestellte ADCSR:

Die beiden Betriebsarten einfache Wandlung und laufende Wandlung können über Bit 5 ADFR eingestellt werden:
 ADFR: 1 kontinuierliche Wandlung
 0 einfache Wandlung

Aktivierung des ADC über das Bit 7: ADEN 1 ADC aktiviert
 0 ADC ausgeschaltet

Start der Wandlung: Bit 6: ADSC 1 bei einfacher Wandlung muss jedes Mal eine 1
 eingeschrieben werden um die Wandlung zu starten!
 (rücksetzen durch HW!)

Bit 4 + 3 werden bei Nutzung des ADC-Interupts benötigt.
 Bit 2 .. 0 dienen zur Einstellung des ADC-Taktes.

6.4 Wandlungsdauer

- a) 1. Wandlung nach dem Einschalten: $t_{CONV} = 25 \cdot T_{ADC}$
- b) weitere Wandlungen: $t_{CONV} = 13 \cdot T_{ADC}$

Bsp.: bei der kontinuierlichen Wandlung, $f_{ADC} = 200kHz$, max. Auflösung => $t_{CONV,Min} = 65 \mu s$,
 $f_{ADC} = 50kHz$ => $t_{CONV,Max} = 260 \mu s$

6.5 Musterprogramm

```
uchar read_adc (uchar ch)
{
  uchar vadch, vadcl, vadc;
  DDRA=0x00;
  PORTA=0x00;
  ADMUX=0x00 && ch;

  ADCSR=0xC6;
```

```
  wait_us (200);
  vadcl=ADCL;
  vadch=ADCH;
  vadc=0x40*vadch+vadcl/4;

  return (vadc);
}
```

Übergabe einer Kanalnummer ch

Variablendefinitionen für VADCH, VADCL, VADC
Port A is Input
Tristate
Logisches UND bedeutet hier Zuweisung der Ka.Nr.
einfacher: ADMUX = ch;
1100 0110 => ADEN=1, ADSC=1, TF=64 => 8MHz/64
= 125 kHz, < 200us conversion Time

Begrenzung auf 8 Bit und Spannungswert
zusammensetzen!

6.6 weitere Details

siehe Datenblatt Seite 59 bis 66