

中图分类号: TP332
学科分类号: 080902

论文编号: 1028704-07-0160

硕士学位论文

基于 FPGA 的高速实时数字存储 示波器设计

研究生姓名	包可佳
学科、专业	电路与系统
研究方向	数字系统设计与计算机应用
指导教师	王成华 教授

南京航空航天大学
研究生院 信息科学与技术学院

二〇〇七年一月

Nanjing University of Aeronautics and Astronautics
The Graduate School
College of Information Science and Technology

**A Design of High Speed and Real-time DSO
Based on FPGA**

A Thesis in

Circuit and System

by
Bao keja

Advised by
Professor Wang chenghua

Submitted in Partial Fulfillment

of the Requirements

for the Degree of

Master of Engineering

January, 2007

承诺书

本人郑重声明：所呈交的学位论文，是本人在导师指导下，独立进行研究工作所取得的成果。尽我所知，除文中已经注明引用的内容外，本学位论文的研究成果不包含任何他人享有著作权的内容。对本论文所涉及的研究工作做出贡献的其他个人和集体，均已在文中以明确方式标明。

本人授权南京航空航天大学可以有权保留送交论文的复印件，允许论文被查阅和借阅，可以将学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或其他复制手段保存论文。

(保密的学位论文在解密后适用本承诺书)

作者签名：_____

日 期：_____

摘要

数字存储示波器（DSO）上世纪八十年代开始出现，由于当时它的带宽和分辨率较低，实时性较差，没有具备模拟示波器的某些特点，因此并没有受到人们的重视。随着数字电路、大规模集成电路及微处理器技术的发展，尤其是高速模/数（A/D）转换器及半导体存储器（RAM）的发展，数字存储示波器的采样速率和实时性能得到了很大的提高，在工程测量中，越来越多的工程师用 DSO 来替代模拟示波器。

本文介绍了一款双通道采样速率达 1GHz，分辨率为 8Bits，实时带宽为 200MHz 数字存储示波器的研制。通过对具体功能和技术指标的分析，提出了 FPGA+ARM 架构的技术方案。然后，本文分模块详细叙述了整机系统中部分模块，包括前端高速 A/D 转换器和 FPGA 的硬件模块设计，数据处理模块软件的设计，以及 DSO 的 GPIB 扩展接口逻辑模块的设计。

论文在分析了传统 DSO 架构的基础上，提出了本系统的设计思想和实现方案。在高速 A/D 选择上，国家半导体公司 2005 年推出的双通道采样速率达 500MHz 高速 A/D 转换器芯片 ADC08D500，利用其双边沿采样模式（DES）实现对单通道 1GHz 的采样速率，并且用 Xilinx 公司 Spraten-3E 系列 FPGA 作为数据缓冲单元和存储单元，提高了系统的集成度和稳定性。其中，FPGA 缓冲单元完成对不同时基情况下多通道数据的抽取，处理单元完成对数据正弦内插的计算，而 DSO 中其余数据处理功能包括数字滤波和 FFT 设计在后端的 ARM 内完成。DSO 中常用的 GPIB 接口放在 FPGA 内集成，不仅充分利用了 FPGA 内丰富的逻辑资源，而且降低了整机成本，也减少了电路规模。

最后，利用 ChipscopePro 工具对采样系统进行调试，并分析了数据中的坏数据产生的原因，提出了解决方案，并给出了 FPGA 接收高速 A/D 的正确数据。

关键词：数字存储示波器，FPGA，高速模/数转换器，正弦内插，GPIB

ABSTRACT

Although Digital Storage Oscilloscope (DSO) appeared from 80s of last century, but it didn't have certain characters of Analog Oscilloscope. For example, its bandwidth was narrow, resolution was low and real-time performance was bad. However, after decades of years, as the development of digital circuit and large-scale integrated circuits, especially the performance of high speed A/D Converter and the storage capacity of RAM grown rapidly, the sampling rate and real-time performance of DSO are greatly improved. More and more engineers used DSO instead of analog oscilloscope.

This thesis introduce a design of DSO which has dual-channel, 1GSps sampling rate, 8-bit resolution and 200MHz bandwidth. According to these performance characters, a structure based on ARM+FPGA is presented. The author explained three modules of the design, which include hardware composed by high speed A/D Converter and FPGA, software composed by interpolation, FFT and digital filter, GPIB interface logic module design.

This thesis put forwards design idea and method based on the traditional DSO. National Semiconductor company introduced a new series high performance, low power, Dual 8-bit, 500MSPS A/D Converter which had Dual-Edge Sampling mode in 2005. In DES mode, a single input is sampled by twice, resulting in 1GSps with a 500MSPS input clock. As digital data buffer and memory, FPGA is selected from Xilinx company's Spartan-3E series by considering the price and high performance. FPGA can extract useful data from A/D Converter's multi-channel based on different time-base, it also finish some digital signal process task such as Sinc interpolation filter. The other digital signal process include FFT and digital filter are finished in ARM. GPIB interface is universal in DSO, in order to make good use of the FPGA's internal resource and reduce circuit scale, The GPIB function is integrated in the FPGA.

At last, we debug the A/D Converter Sampling system by Chipscope Pro. A analyse about why the bad data is appeared is given, and the author propose a solution about how to eliminate the glitch. At last, the useful data is given.

Key words: DSO, FPGA, High Speed A/D Converter, Sinc Interpolation, GPIB

目录

第一章 绪论.....	1
1.1 示波器技术综述.....	1
1.2 数字示波器的产品现状.....	3
1.3 本课题的意义和主要工作.....	4
第二章 系统总体方案.....	5
2.1 数字存储示波器的基本原理及特点.....	5
2.2 系统总体方案设计.....	6
2.2.1 系统的主要技术指标.....	6
2.2.2 系统的结构框图.....	6
第三章 高速数据采集与存储模块.....	9
3.1 高速 A/D 转换器采样模块设计.....	9
3.1.1 数字存储示波器的采样原理.....	9
3.1.2 高速采样电路的硬件设计.....	10
3.1.3 高速采样电路的时钟设计.....	13
3.1.4 高速采样电路差分输入电路设计.....	18
3.2 存储模块设计.....	19
3.3 FPGA 配置.....	24
3.4 电源模块设计.....	25
第四章 数字信号处理模块.....	27
4.1 正弦信号内插滤波器原理.....	27
4.2 基于 FPGA 正弦内插滤波器的实现.....	30
4.3 数字滤波器原理及设计.....	34
4.4 低通数字滤波器实现.....	36
4.5 FFT 基本原理及实现.....	40
第五章 GPIB 接口逻辑功能模块.....	44
5.1 GPIB 总线结构.....	44
5.2 GPIB 通用芯片的结构.....	46
5.3 GPIB 控制器中若干接口功能模块设计.....	47
5.4 GPIB 控制器中逻辑功能模块设计.....	53
第六章 系统调试及结果.....	55
6.1 高速采样系统实现及其调试环境.....	55
6.2 高速采样系统调试.....	56
6.3 系统调试结果.....	58
结束语.....	60

参考文献.....	62
致谢.....	65
攻读硕士学位期间发表的学术论文.....	66

图目录

图 1.1	数字存储示波器顺序处理体系结构	2
图 1.2	数字荧光示波器的并行处理体系结构	3
图 2.1	通用数字存储示波器的结构框图	5
图 2.2	高速实时 DSO 总体方案框图	7
图 3.1	高速采样系统方案框图	11
图 3.2	ADC08D5009 内部结构框图	12
图 3.3	高速 A/D 转换器信噪比和孔径抖动的关系	14
图 3.4	高速 A/D 转换器与 FPGA 连接示意图	15
图 3.10	FPGA 存储单元内部电路结构	22
图 3.11	FPGA 内电路流程图	23
图 3.12	抽取器内部电路图	23
图 3.14	主中方式配置原理图	24
图 3.15	高速 A/D 的供电模块	25
图 3.16	FPGA 的供电模块	26
图 4.1	数字信号内插示意图	27
图 4.2	输入模拟信号 $X(t)$ 幅度谱	28
图 4.3	$X(n)$ 信号的幅度谱 (采样周期 T)	28
图 4.4	$Y(n)$ 信号的幅度谱 (采样周期 T')	28
图 4.5	滤波器 $H(e^{j\omega T'})$ 的幅度谱 ($T'=T/3$)	29
图 4.6	门函数频谱	29
图 4.7	以周期 T' 抽样后频谱拓展	30
图 4.8	正弦内插滤波器的算法结构	31
图 4.9	$\text{Sin}(x)/x$ 插值计算基本流程图	32
图 4.10	正弦内插滤波器硬件结构图	33
图 4.11	正弦内插算法仿真图	33
图 4.12	未插值的显示波形	34
图 4.13	正弦内插后的显示波	34
图 4.14	低通数字滤波器频域示意图	35
图 4.15	不同的宽度对频率响应的影响	36
图 4.16	不同的窗函数对频率响应的影响	36
图 4.17	FIR 滤波器系统结构 ($N=31$)	37
图 4.18	采样频率 1GHz, 截止频率 250MHz 幅频响应	38
图 4.19	采样频率 1GHz, 截止频率 250MHz 相频响应	38

图 4.20	采样频率 1GHz, 截止频率 250MHz 幅频响应	38
图 4.21	采样频率 1GHz, 截止频率 250MHz 相频响应	38
图 4.22	原始输入信号	39
图 4.23	截止频率 250MHz 效果图	39
图 4.24	截止频率 100MHz 效果图	39
图 4.26	基 2 时分 FFT 程序框图	41
图 4.27	正弦波信号及经过 1024 点 FFT 变换后的频谱	42
图 5.1	GPIB 母线名称及其连接框图	44
图 5.2	GPIB 接口内部框图	46
图 5.3	L 功能状态图	47
图 5.4	L 功能仿真图	48
图 5.5	T 功能状态图	48
图 5.6	设备传递数据的 T 功能仿真图	49
图 5.7	串行点名的 T 功能仿真图	49
图 5.8	SH 功能状态图	50
图 5.9	SH 功能仿真图	50
图 5.10	AH 功能状态图	51
图 5.11	AH 功能仿真图	52
图 5.12	GPIB 接口功能模块框图	53
图 5.13	发送数据仿真	53
图 6.1	高速采样硬件 PCB 板	54
图 6.2	理想情况下数据接收状态	55
图 6.3	非理想情况下数据接收状态	55
图 6.4	低速采样和高速采样数据有效区比较	56
图 6.5	输入端接地时 FPGA 接收的数据	57
图 6.6	输入端接正弦波时 FPGA 接收的数据	57
图 6.7	输入端接方波时 FPGA 接收的数据	58

表目录

表 3.1 EDS 模式下各端口输出	12
表 3.2 时基采样速率等对应关系表	21
表 4.1 正弦内插滤波器系数	32
表 4.2 FIR 滤波器和 IIR 滤波器的性能比较	35
表 4.3 截止频率 250MHz 时, h(n)系数表 (N=31)	37
表 4.4 截止频率 100MHz 时, h(n)系数表 (N=31)	37

第一章 绪论

示波器在电子测量、测试仪器中有着很广泛的应用，是观察模拟电路和数字电路实验现象、分析实验中的问题、测量实验结果必不可少的重要仪器。根据示波器组成原理的不同，它分为模拟示波器和数字示波器。

模拟示波器具有分辨率高、响应快、价格低廉等优点，在电子技术领域曾经得到广泛的应用。但是由于模拟示波器内部所采用的模拟技术的局限性，其缺点也是很明显的，如体积庞大，只能观察和分析重复的周期性信号，对慢速信号、单次或偶尔出现的高速信号，难以观察和分析，而且不能用来观察触发前的信号波形等。并且在很多测量场合下，不仅要对所测信号进行定性分析，还要进行定量的分析，如需要知道信号的周期、频率、峰—峰值等，模拟示波器要完成这样的功能，就需要增加专用电路，而使得费用大大增加。

随着数字电路、大规模集成电路及微处理器技术的发展，尤其是高速模/数（A/D）转换器及半导体存储器（RAM）技术的发展，出现了数字示波器。它将模拟信号数字化，存储于半导体存储器中，主要用于捕获和存储单次或瞬变信号。这种数字存储示波器具有许多独特的优点和功能，能够采集、观测、处理、存贮信号，与传统模拟示波器相比，数字示波器有以下两个突出的优点：1、尤其适合用来捕获观测非重复性的瞬态单次脉冲信号、随机信号或缓慢变化的信号，并能将被测信号长久的保存下来；2、具有负延迟触发这一数字存储示波器所特有的功能，可以观测触发信号到来之前的一段波形，这种功能在电路的故障诊断和电子器件的性能检测中是很需要的，在电气、电子、机械、材料、试验分析、生物医学、国防科研和生产过程等各个科研生产领域中，得到了广泛应用，并成为近年来发展速度最快的新型仪器之一。

1.1 示波器技术综述

模拟示波器是利用电子示波管的特性，将人眼无法直接观测的交变电信号转换成图像，显示在荧光屏上以便测量的电子测量仪器。模拟示波器由示波管和电源系统、同步系统、X轴偏转系统、Y轴偏转系统、延迟扫描系统、标准信号源组成。

模拟示波器的工作方式是直接测量信号电压，并通过从左到右射在示波器屏幕的电子束在垂直方向描绘电压。示波器屏幕通常是阴极射线管（CRT, Cathode Ray Tube），电子束投到荧幕的某处，屏幕后面总会有明亮的荧光物质。当电子束水平扫过显示器时，信号的电压随电子束发生上下偏转，跟踪波形直接反映到屏幕上，在屏幕同一位置电子

束投射的频度越大，显示也越亮。CRT 限制着模拟示波器显示的频率范围，在频率非常低的地方信号呈现出明亮而缓慢移动的点，而使波形很难分辨。在高频处，起局限作用的是 CRT 的写速度，当信号频率超过 CRT 的写速度时，显示出来的波形过于暗淡，难于观察。

与模拟示波器不同，数字示波器通过模数转换器（A/D 转换器）把被测电压转换为数字信息，它捕获的是波形的一系列样值，并对采样值进行存储，存储深度是判断累计的样值能否描绘出波形为止。随后，数字示波器进行重构波形。

上世纪八十年代数字示波器开始出现，然而模拟示波器的某些特点却是那个年代的数字存储示波器不能具备的。例如模拟示波器的垂直分辨率很高，连续而且无限级，而数字示波器分辨率一般只有 8 位至 10 位；模拟示波器的数据更新快，每秒捕捉几十万波形，数字示波器每秒捕捉几十个波形；模拟示波器的实时带宽和实时显示，连续波形与单次波形的带宽相同，数字示波器的带宽与取样率密切相关，取样率不高时需借助内插计算，容易出现混淆波形。因此在这段时期，示波器领域中仍然以模拟为主。

进入九十年代以后，美国的 TEK 公司和 HP 公司都对数字示波器进行大量的改进，使得数字示波器除了提高带宽到 1GHz 以上，使它的全面性能超越模拟示波器。出现了所谓的数字示波器模拟化现象，就是说，尽量吸收模拟示波器的优点，使数字示波器更好用。

数字示波器首先在取样率上提高，从最初取样率等于两倍带宽，提高至五倍甚至十倍，相应对正弦波取样引入的失真也从 100%降低至 3%甚至 1%^[1]。带宽 1GHz 的取样率就是 5GHz，甚至 10GHz；其次，提高数字示波器的更新率，达到模拟示波器相同的水平，最高可达每秒几十万个波形，对观察偶发信号和捕捉毛刺脉冲就更方便；再次，采用多处理器加快信号处理能力，从多重菜单的烦琐测量参数调节，改进为简单的旋钮调节，甚至全自动测量^[4,5]；最后，数字示波器与模拟示波器一样具有屏幕的余辉方式显示，赋予波形的三维状态，即显示出信号的幅值、时间以及幅值在时间上的分布。

数字示波器可分为数字存储示波器（DSO, Digital Storage Oscilloscope）和数字荧光示波器（DPO, Digital Phosphor Oscilloscope）。

DSO 从捕获信号到屏幕上显示波形，采用了串行处理体系结构，如图 1.1 所示。DSO 非常便于捕获和显示那些可能只发生了一次的事件，即使信号已经消失，仍能够完全显示出来。与模拟示波器不同的是，数字存储示波器能够持久保留信号，可以扩展波形处理方式。然而，DSO 没有实时亮度级，因此，不能表示实际信号中不同的亮度等级。



图 1.1 数字存储示波器顺序处理体系结构

DSO 使用串行处理的体系结构来捕获、显示和分析信号：相对而言，DPO 为完成这些功能采纳的是并行的体系结构^[2,3]，如图 1.2 所示。

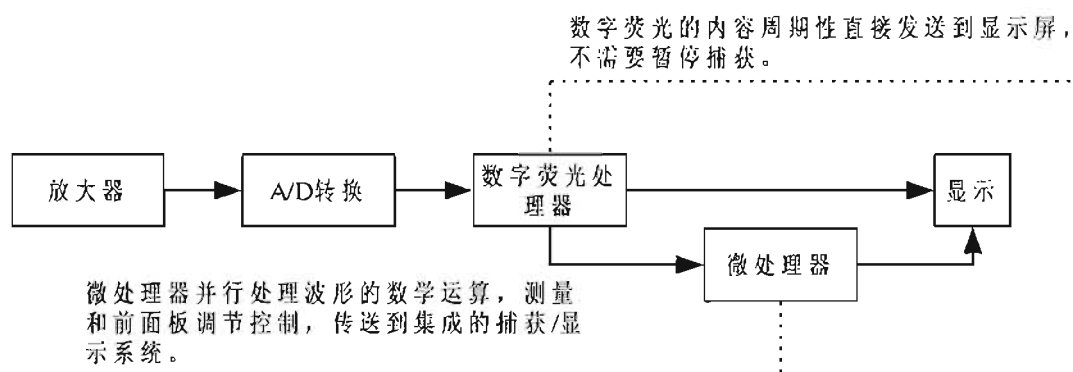


图 1.2 数字荧光示波器的并行处理体系结构

DSO 串行处理采集到的波形，由于微处理器限制着波形的采集速率，所以微处理器是串行处理的瓶颈，而 DPO 把数字化的波形数据进一步光栅化存入荧光数据库中，存储到数据库中的信号图象直接送到显示系统。波形数据直接光栅化，以及直接把数据库数据拷贝到显存中，两者共同作用，改变了其他体系在数据处理方面的瓶颈。结果是增加了“使用时间”，增强显示更新能力。信号细节、间断事件和信号的动态特性都能实时采集。DPO 微处理器与集成的捕获系统一道并行工作，完成显示管理、自动测量和设备调节控制工作，同时，又不影响示波器的捕获速度。

1.2 数字示波器的产品现状

目前，国内市场上所见到的中高端数字示波器几乎全部为国外产品，如 Tek、Fluke、Agilent 等品牌，且价格昂贵，并形成价格垄断。

Tek 公司的 TDS6000 系列的 DSO 的带宽已达 6GHz-15GHz，采样频率最高达到双通道 40GHz，单通道的存储深度达到 64M；DPO70000 系列的 DPO，其 4 个通道同时具备的 25 GS/S 的采样率，每个通道 10M 的内存，每秒可捕获 250,000 个波形图象的第 4 代 DPX®信号成像系统，所有新型号设备都提供了在高速的采样率下并能保持最快的波形捕获性能。

Agilent 公司的高性能 80000 系列 Infiniium 示波器的带宽为 8GHz-13GHz，采样频率为单通道 20 GSa/s，双通道 40 GSa/s，存储深度也达到了 64M，它具有最低的本底噪声、最低的抖动测量本底、最低的触发动抖、最平坦的示波器和探头组合频率响应曲线等。卓越的信号完整性，可消除因为示波器或探头系统的噪声、抖动或频率响应曲线不佳而导致的测量精度方面的误差，从而最大限度地提高工程师的设计裕量。

Fluke 公司的 WaveExpert 系列的 DSO 带宽高达 100GHz，存储深度 512M，成为目

前为止，采样速率最高的数字存储示波器。

1.3 本课题的意义和主要工作

目前在国内只有少数几家单位能自己生产中低档数字存储示波器，其中还有几家是与外国公司合资的，并没有掌握数字存储示波器核心技术。在这种情况下，迫切需要有自主知识产权的国产数字存储示波器和民族品牌，打破国外同类产品垄断。

受某单位委托，本课题要求研制一台双通道的实时采样速率达 1GHz，采样带宽达到 200MHz，存储深度为每通道 4k 的实时采样数字存储示波器。中英文菜单，界面友好，操作方便，有自动设置，光标测量，波形存储，数学运算，触发控制等功能。本系统采用高速 A/D 转换器+FPGA+ARM 的总体结构，包括前端 A/D 转换器+FPGA 的数据采集，后端 ARM 对整机控制这两部分电路。

数据采集包括前端对模拟信号的调理，高速 A/D 转换器和 FPGA 组成。为了达到系统 1G 采样速率的要求，采用了国家半导体公司的高速双通道 A/D 转换器 ADC08D500，该芯片单通道最高采样速率为 500MSPS，双通道交错采样后，可以用作单通道采样速率为 1GSPS 的 A/D 转换器，不仅节约了成本并且有效提高了带宽，减小了电路板面积；FPGA 采用 Xilinx 公司的 Spartan-3E 系列的芯片 XC3S500E，其高速的 IO 口可以接收高速 A/D 采样得到的 500MSPS 的数字信号，并且其丰富的存储资源可以满足对示波器存储深度的要求，片内丰富的逻辑资源可以灵活的控制 A/D 采样，内嵌的硬件乘法器为数字信号的处理也提供了很好的平台，与后端 ARM 的接口也非常灵活，使得对采样的控制电路、FIFO 控制、一部分的数字信号处理、触发电路都能集成在一片 FPGA 中，省去了大量的中小规模集成电路，不仅提高了系统的集成度，而且增加了设计的灵活性和可靠性。

对整机的控制采用了三星公司的 ARM9 芯片 S3C2410。S3C2410 处理器以 ARM920T 为内核，集成了丰富的片内资源，包括 USB 接口，LCD 控制器，Nand-flash 和 SDRAM 控制器，UART 异步串行接口等等，在 DSO 设计中，这些接口恰好都需要，从而大大简化了系统的设计，提高了系统的可靠性。ARM9 除了丰富的资源外，其最高工作频率达到了 233MHz，也增加了整机的处理能力。ARM9 通过串口通讯，对外扩的单片机 AT89C2051 控制，用来实现对面板按键、旋钮的扫描译码与编码，采用按键、旋钮配合菜单界面操作，实现了智能化的控制面板和友好的人机界面。

本论文主要阐述了前端高速 A/D 采集存储模块、数字信号的处理模块、GPIB 接口模块。

第二章 系统总体方案

2.1 数字存储示波器的基本原理及特点

现代数字存储示波器发展到现在已有二十多年的历史，相关技术已很成熟，一般说来，通用双通道数字存储示波器的结构框图如图 2.1 所示。

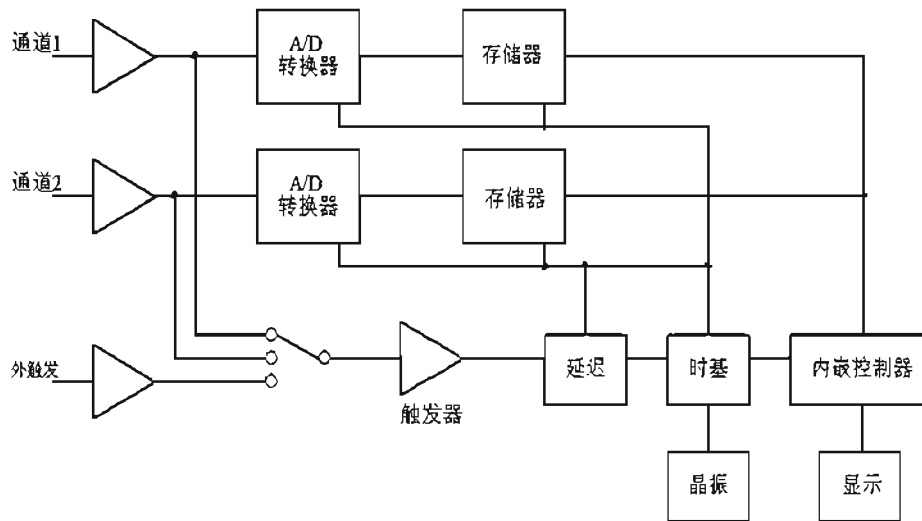


图 2.1 通用数字存储示波器的结构框图

当信号进入数字存储示波器，通过 A/D 转换器将输入端的信号转换成相应的数字值并存入存储器，该过程在采样时基电路的控制下不断地循环进行，而这时仪器的触发电路不断监测输入信号，看是否出现触发状态，一旦触发条件满足，则采样过程中断，微处理器通过对存储器内采样数据的处理和显示，即可在屏幕上重现信号电压与时间的关系，也就是信号电压波形。

对于模拟示波器来说，由于 CRT 的余辉时间很短，因而难于显示频率很低的信号。由于示波管上的亮度和扫描速度成反比，所以具有快速上升、下降时间的低重复速率信号就很难看到。而数字存储示波器克服了这些困难，并且还附带了很多特色：

- 可以显示大量的预触发信息；
- 可通过使用光标和不使用光标的方法进行全自动的测量；
- 可以贮存并且再现波形；
- 可以对操作人员手工采集的波形和示波器全自动采集的参考波形进行比较；
- 波形信息可用数学进行处理，如波形的加、减、乘、除、微分、积分、对数、指数、FFT 运算等；
- 具有 USB、GPIB、RS 232 等多种接口，可实现远距离传输数据，数据共享。

2.2 系统总体方案设计

2.2.1 系统的主要技术指标

本课题要求研制一台双通道采样速率达 1GSPS，采样带宽达到 200MHz，存储深度为每通道 4k 的高速实时数字存储示波器的样机，关键的技术指标是：

- 显示屏幕： 伪彩,LCD 320*240，背光可调；
- 模拟带宽： 200M 双通道；
- 采样率： 每通道 1GSPS；
- 存储深度： 每通道 4K；
- 单次采样率垂直分辨率： 8bit；
- 最大输入电压： 300V 直流电压；
- 时基： 2ns/div~50ns/div,1—2—5 步进 32 档；
- 输入灵敏度： 1 mV ~ 200 mV/div $\pm 2V$, 200 mV ~ 5 V/div $\pm 50 V$ ；
- 输入耦合： 直流，交流，接地；
- 输入阻抗： 1 M Ω , 13 pF ；
- 上升时间： $\leq 1.8ns$ ；
- 记录方式： 单次，连续；
- 触发方式： 自动，电平，视频，外部信号触发；
- 通信接口： USB，RS232 传输波形数据， GPIB 程控。

2.2.2 系统的结构框图

设计的数字存储示波器主要包括模拟信号调理模块，高速采集存储模块，触发控制模块，数据处理模块，菜单波形的显示控制模块以及键盘控制模块，外部通讯模块等这几部分组成。

如图 2.2 所示是本系统的总体方案框图，ARM9 芯片 S3C2410 是系统的核心控制芯片。在前端与高速的采集系统，触发系统协调动作，接收采样数据；后端通过串口与外部键盘实现人机通讯，通过内置 USB 控制器实现 USB 的远程通讯，通过内置 LCD 控制器在屏幕上显示波形和数据。

模拟信号调理电路包括垂直通道调理电路、耦合控制机构、触发信号发生器、带宽限制器等。

垂直放大器调整输入波形的幅度和范围，放大和衰减、上下移动波形等。必须把不同幅度的信号进行变换以适应屏幕的显示范围，这样就可以按照标尺刻度对波形进行测量，为此就要求对大信号进行衰减、对小信号进行放大。

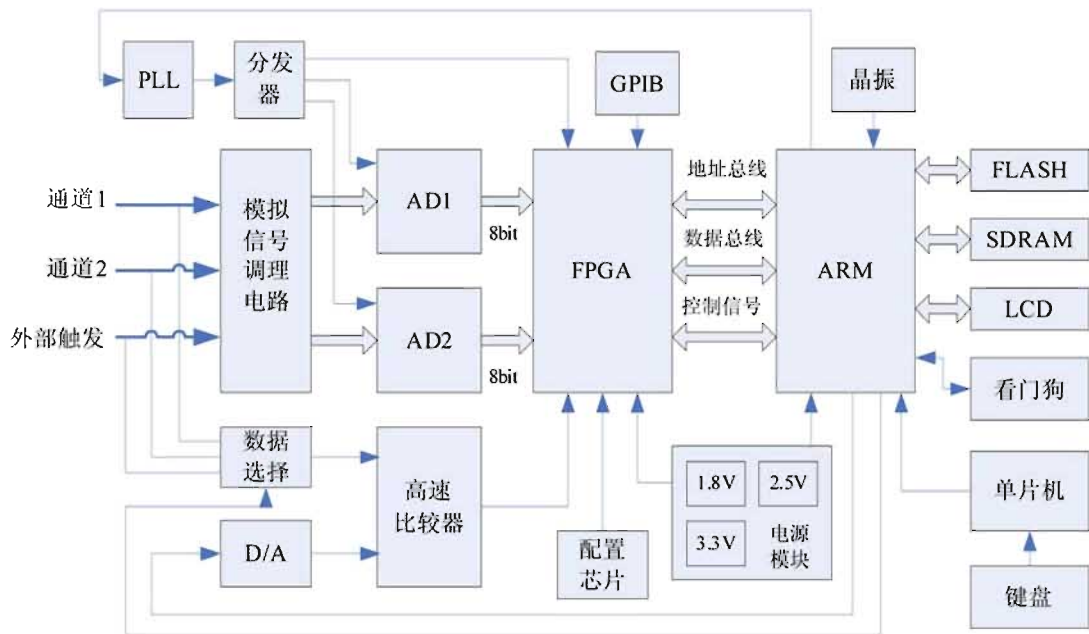


图 2.2 高速实时 DSO 总体方案框图

耦合控制机构决定输入信号从示波器面板上的输入端到该通道垂直放大器其它部分的方式。耦合控制可以有两种设置方式，即 DC 耦合和 AC 耦合。DC 耦合方式为信号提供直接的连接通路，因此信号的所有分量（AC 和 DC）都会影响示波器的波形显示。AC 耦合方式则在输入端和衰减器之间串联一个电容，这样，信号的 DC 分量就被阻断，而信号的低频 AC 分量也将受阻或大为衰减。

通道触发信号发生器产生通道的同步触发信号，使采集的波形在屏幕上稳定地显示出来。

带宽限制器可以把通常带宽在 100MHz 以上的宽带示波器的频带减小到 20MHz 的典型值。这样就降低了噪声电平和干扰，这对于进行高灵敏度的测量是非常有用的。

该模块由合作单位提供，本文不作具体讨论。

高速采样电路：高速 A/D 采集经过模拟信号调理电路后的信号，采样值送入 FPGA 内缓存，经过相应数据处理后，ARM 把数据取走。两片 A/D 转换器的采集时钟由 PLL 产生，其输出频率是由 ARM 通过 SPI 总线控制。触发信号进入 FPGA 内后，触发信号之前的采样数据才被保存，触发之后的数据写满之后，等待数据的处理和传输。

触发控制电路：由外部的高速模拟比较器和 D/A 组成，由 ARM 控制 D/A 产生预置比较信号，与用户选定的触发输入信号进行比较，产生触发信号送入 FPGA 内，形成触发。

数据处理模块将采集的数据进行数学运算、反相、频域分析、滤波等处理，及重建波形等，主要包括：

(1) 波形重建：在时基设置较高的情况下，将采集的点进行插值运算，恢复出原始波形。

(2) 数据处理模块对采集数据进行一些功能运算，如数学加减、反相、频域 FFT 的分析。

(3) 对波形进行测量，获取其参数如频率、周期、电压峰峰值等。

菜单波形的显示控制模块：利用 ARM9 中内置的 LCD 通用控制器来控制 LCD，实现对波形数据和菜单的显示。由于部分数字信号处理的计算在 ARM 中完成，故要求数据更新率大于 LCD 的响应时间，并且 LCD 的刷新率比较高，使得显示的视觉效果良好，显示重复性波形稳定，无明显抖动。菜单显示根据该数字存储示波器面板键盘按键的设计，示波器提供十二个根级操作菜单，每个根级菜单带有多个操作子菜单。以求做到菜单控制应简洁明了，能满足各种测量方式。

键盘控制模块：键盘由单片机 89C2051 来控制，通过键盘行列式扫描来实现对每个键位的扫描，一旦有键按下，单片机计算出键位的键值，并且通过单片机的 RS232 串口向 ARM9 的 RS232 串口传递键值，ARM9 根据键值执行相应的键盘中断程序。单片机除了控制键盘外，同时产生 DSO 的 1k 方波的自测信号，提供给用户来自检示波器。

外部通讯模块包括 USB 接口、GPIB 接口、并口等。USB 即插即用功能实现示波器到 PC 的连接，当电脑与示波器通过 USB 连接时经过自动探测，PC 就会识别该示波器，只需打开专用软件与示波器连接，即刻开始实时捕获数据，并以将测量数据显示在电脑上，从而加快工作进程，提供更多的信息。GPIB 通用接口是测试仪器常用的接口方式，用于测量仪器之间的互连，通过简单的电缆线能够组成多台测量仪器自动测量的系统，方便且价格低廉。GPIB 控制芯片其中的关键芯片，目前只有国外少数公司能生产，不仅价格昂贵，而且不易购买。因此，利用 FPGA 实现该接口不仅降低了费用还具有很大的实用价值，本系统中的 GPIB 接口正是利用 FPGA 来实现的。

本系统全部模块集成中一块电路板上，所以需要精心设计电路，选择高性能的元器件，合理地布设印制板走线，要特别注意高频模拟信号、高速数字信号的电磁兼容问题。

第三章 高速数据采集与存储模块

3.1 高速 A/D 转换器采样模块设计

的过程，而量化则是使每个取得的离散值转换成二进制数字。在此过程中，通常采用采样保持电路，使模拟输入保证在足够的时间内保持稳定，以便转换器完成转换动作，并降低模/数转换器的孔径时间。当模拟输入送到 A/D 转换器后，它将按照示波器面板上“ t/div ”开关（时基）设定的采样速率进行采样和量化处理，从而得到一串数据流（二进制编码信号），并在逻辑电路控制下，将数字信号依次写入波形存储器。对输入信号进行采样的速度称为采样速率。最高采样速率由 A/D 转换器的转换速率决定，采样速率由采样时钟控制。

测量分辨率是存储信号波形细节分析的综合特性，它包括电压分辨率（或垂直分辨率）和时间分辨率（或水平分辨率）。

电压分辨率是每个采样点的模拟量对应的二进制数字的位数，也就是对信号所能识别的电压细节的多少。它是由 A/D 转换器的分辨率决定，常以 A/D 转换器具有的数据的位数（Bit）、百分数及每格的分级数（级数/div）来表示。在数字存储示波器中，电压分辨率是决定系统精度的主要因素，一般地说，位数多分辨率高，但位数多转换时间长，采样速率降低，随着输入信号频率的升高，电压分辨率反而下降。因此考虑到各种因素的限制，如成本等，A/D 转换器的分辨率通常采用 8 位。考虑到本系统的指标要求，选用了 8Bits 的 A/D 转换器。

水平系统的作用是确保对输入信号采集足够数量的采样值，并且每个采样值取自正确的时刻，和模拟示波器一样，水平偏转的速度取决于时基的设置（s/格）。通常示波器可以显示的采样点数是固定的，时基设置的改变是通过改变采样速率来实现的，因此一台特定的示波器所给出的采样速率只有在某一特定的时基设置之下才是有效的。在较低的时基设置之下，示波器使用的采样速率也比较低。了解这一时基设置值是非常重要的，因为这个值是示波器采集非重复性信号时的最快的时基设置，使用这个时基设置时示波器能给出其可能的最好的时间分辨率。此时基设置值称为“最大单次扫描时基设置值”，在这个设置值之下示波器使用“最大实时采样速率”进行工作。这个采样速率也就是在示波器的技术指标中所给出的采样速率。

根据奈奎斯特定理：要从抽样信号中无失真的恢复原始信号，采样频率必须大于等于 2 倍信号最高频率，即奈奎斯特频率为信号频率的两倍。示波器是用来研究波形信号的，为了更好的研究主要事情，不仅要求正确的表示信号频率并且还要求准确地表示信号波形的幅度。根据经验通常认为每周期最少要十个采样点才能给出足够的信号细节，在有些情况下，对信号的细节要求低一些，这时每周期取五个样点可能就足以给出有关信号的特性。

本次设计以要求最大的采样率为 1GS/s，能够准确采集的最大信号频率为 200MHz。对正弦波来说，点显示要给出精确的信号重现，需要大约每周 25 次采样，矢量显示也需要每周约 10 次采样。显然要用 1GS/s 的采样速率来显示 200 MHz 的信号是不可能的，在这种情况下，还可以使用特殊的显示方法来提高示波器的保真度，其方法是通过各个采样点画出最佳拟合的正弦曲线，这种方法称为正弦内插。

正弦内插是以 $\text{Sin}(x)/x$ 函数运算后用曲线将各数据点连接起来。正弦内插器基本上可以认为接近一种理想的矩形滤波器，它使高于有效存储带宽的全部频率下降。只要初选数据时不发生波形混乱，正弦内插在显示正弦波时就不会导致失真，它提供的信号是一个没有谐波的纯正弦波。通过使用正弦内插方法在内部处理存储信号，同样的采样频率，每周仅需 2.5 次采样就能精确地重现这个正弦波，这个数值已接近理论值。正弦内插将采样点减少到直接点显示的 1/10，矢量显示的 1/4，它使有效存储带宽扩展了 10 倍。正弦内插还能防止在正弦波测量期发生的包络误差，因为在最后两个采样点间插入中间点之前，内插器能对每个取样点的相对位置进行处理。

为了保证高频信号采样的实时性，本系统不采用等效采样的方法，完全采用实时采样的方式，在这种方式下，示波器根据一次触发事件连续地捕获被测波形的采样数据，而后屏幕上显示波形的每个点都是在一次采样周期中获取的，它可以完成单次非重复信号的捕捉。实时采样有三个重要特征：

- (1) 示波器先将一段完整的波形数据存入存储器，然后再进行显示和分析。
- (2) 在触发事件前，示波器开始对信号进行连续采样。
- (3) 自动完成多个信号的同时捕获。

3.1.2 高速采样电路的硬件设计

本系统的设计要求是：实时采样率为 1GSPS，带宽达到 200MHz，垂直分辨率为 8bit，每个通道的存储深度为 4k，并且要求低功耗低成本。

一种高速数字存储示波器的方案是：采用高速 A/D 转换器+硬件 FIFO+MCU+LCD 控制器的硬件结构来实现示波器从采样,数据处理再到显示的一系列的过程，其中包括 MCU 对 A/D 转换器的采样控制电路，MCU 对 FIFO 控制电路，MCU 内部数据数据处

理，触发控制电路，LCD 控制器的电路等多个复杂部分，由于涉及到的中低集成度的电子元器件较多，电路复杂，整个系统的集成度较低，对一个高速的系统来说，稳定性和可靠性都大大降低。

基于上述的一些原因，本课题采用了高速 A/D 转换器+FPGA+ARM9 的硬件结构，如图 3.1 所示，前端利用 FPGA 电路设计灵活，硬件资源丰富的特点，用 FPGA 来控制 A/D 转换器进行高速采样，并作为高速数据的缓冲，同时对数据作抽取和插值的处理，后端利用 ARM9 内部丰富的资源来对整机进行控制，包括从 FPGA 中读取采样数据，部分数值计算，对 LCD 的控制，菜单的组织，波形的显示，外括 USB 接口和 RS232 串口的控制等。整个系统为 3 个主要的芯片组成，大大简化了硬件电路，由于 FPGA 的加入，一些数据的计算既可以再 FPGA 内也可以在 ARM 内完成，外接的通讯接口包括 USB，GPIB 等都可以在 FPGA 内完成，使得整个设计更加灵活，增加了该硬件结构的通用性，有效性和可靠性。

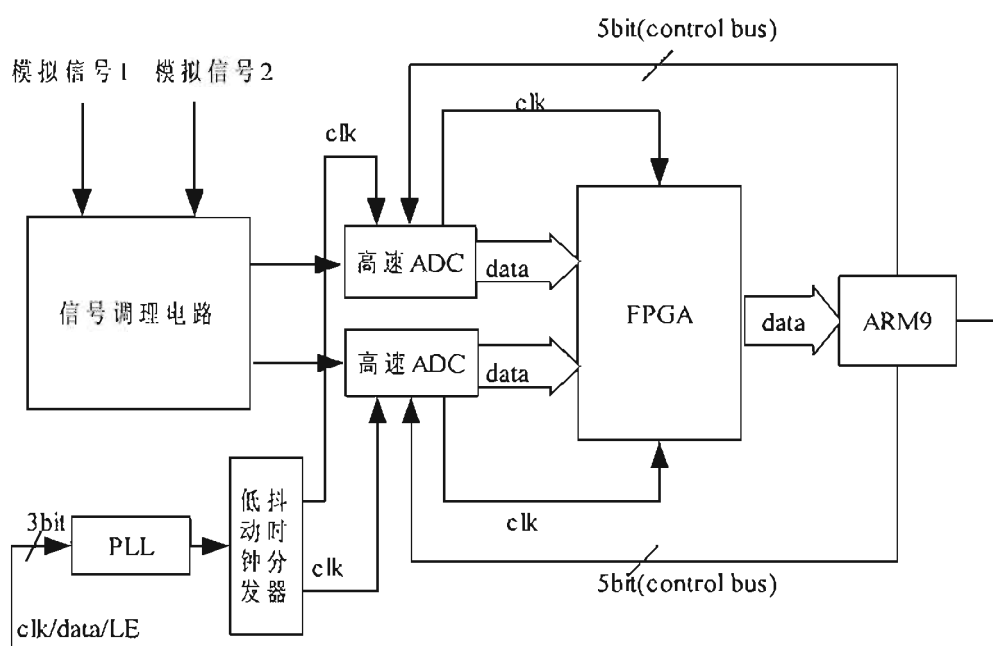


图 3.1 高速采样系统方案框图

目前，差分输入 A/D 转换器用得越来越普遍，因为它有很多优点：良好的共模噪音抑制，可用动态范围翻番，偶次波失真抵消。鉴于以上技术要求，本课题选用了 2005 年美国国家半导体公司推出的差分输入，取样率达 500MSPS 的双通道模拟/数字转换器 ADC08D500，这款 A/D 转换器的特点在于其高性能和低功耗，在过去的一些 A/D 转换器中，若采样速率超过 1GSPS，而同时又要确保动态性能保持在极高的水平，那么其功耗一定很高。而这款 A/D 转换器的功耗低至 1.4w 以下，因此在设计电路时无需在为该 A/D 转换器加设散热器，不仅节省了电路板的板面空间，而且还可降低系统成本以及提高系统的可靠性。其具体性能如下^[6]：

- 8Bits 采样精度;
- 800MSPS 最高采样速率;
- 10^{-18} 误码率;
- 有效位数 (ENOB) 达 7.5Bits (输入信号 250MHz 时);
- 微分非线性误差 (DNL) 为 $\pm 0.15\text{LSB}$;
- 可调的模拟输入范围;
- 500MSPS 实时采样工作时的功耗 1.4W, 掉电状态功耗为 3.5mW;
- 支持单边数据率和双边数据率的输出时钟;
- 1.9V 供电 (1.8V–2.0V)。

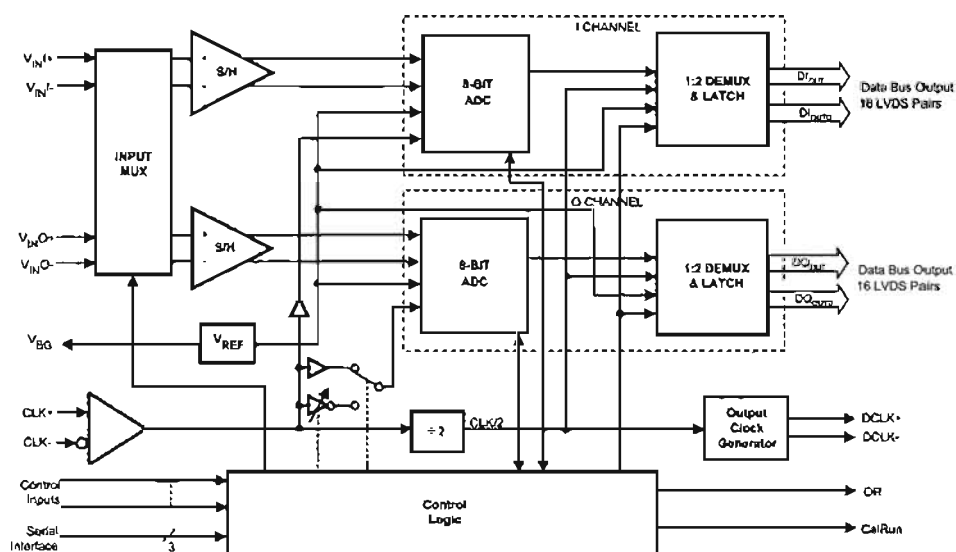


图 3.2 ADC08D5009 内部结构框图

ADC08D500 的内部结构框图如图 3.2 所示。 $V_{IN}I+$, $V_{IN}I-$ 与 $V_{IN}Q+$, $V_{IN}Q-$ 是两路差分输入端, $CLK+$, $CLK-$ 是差分采样时钟输入端, 差分输入可以消除漂移的影响; 每路转换器都有一个 1:2 的信号分离器, 这使得数据在总线上的输出频率是采样速率的一半, 具体来说, T 时刻的采样值将在之后的 $T+13T_{clk}$ 时刻在 DI 或者 DQ 上输出, 而 $T+T_{clk}$ 时刻的采样值将在 $T+14T_{clk}$ 时刻在 DI_d 或者 DQ_d 上输出, 以此类推, 数据交错的在 DI (DQ) 和 DI_d (DQ_d) 上输出, 因而每个输出数据频率只是采样频率的一半。

ADC08D500 除了单通道能实现最高采样达 500MSPS 的速率外, 最大的特点是能够进行双边沿采样 (DES), 只对其某一路通道的信号在时钟信号的一个周期内对两个边沿进行采样, 利用芯片内置的两个转换器进行交错操作, 最终达到 1GSPS 的采样率。在 DES 模式下, 只有一路信号被采样, 另一路信号接空, 被接入信号在一个转换器内以采样时钟的上升沿采样, 而在另一个转换器内以采样时钟的下降沿采样, 这样在一个采样时钟周期内对该信号进行了两次采样, 使 500MHz 采样信号能够进行 1GHz 的采样。

在 DES 模式下，输出是一个 1: 4 的信号分离器，即信号分 4 路并行输出。在采样速率为 500MHz 时，每个输出端口的数据速率是 250MHz。

四路信号是按照一定顺序输出的，从前到后分别为 DQd,DIId,DQ,DI。表 3.1 简要的说明了在 EDS 模式下各输出端口的情况。

表 3.1 EDS 模式下各端口输出

数据输出	常规采样模式	双边采样模式	
		I 通道选择	Q 通道选择
DI	采样 13 个时钟周期前 I 端口信号	采样 13 个时钟周期前 I 端口信号	采样 13 个时钟周期前 Q 端口信号
DIId	采样 14 个时钟周期前 I 端口信号	采样 13 个时钟周期前 I 端口信号	采样 13 个时钟周期前 Q 端口信号
DQ	采样 13 个时钟周期前 Q 端口信号	采样 13.5 个时钟周期前 I 端口信号	采样 13.5 个时钟周期前 Q 端口信号
DQd	采样 14 个时钟周期前 Q 端口信号	采样 14.5 个时钟周期前 I 端口信号	采样 14.5 个时钟周期前 Q 端口信号

输出的模式分为单边数据率模式和双边数据率模式，在单边数据率模式下，输出数据和输出时钟的频率相同，外部处理器可以在输出时钟的上升沿采样，而在双边数据率模式下，输出时钟的频率是输出数据速率的一半，也即外部处理器必须在输出时钟的上升和下降边沿都采样，才能采集完整。采用双边数据率模式下可以降低输出的时钟频率，增加系统稳定性。

利用 ADC08D500 双边采样的这种特性，在不增加任何硬件成本的情况下使系统的单次带宽指标提高了一倍。当采样速率为 500MHz，输出时钟在双数据率输出模式下，输出时钟频率为 125MHz，降低了后端处理器的接收频率，同时，采用了较低速度的器件实现高速数据的采样，减小了电路实现的难度，也提高了系统的可靠性。

3.1.3 高速采样电路的时钟设计

在高速数据的采样系统中，采样时钟无疑是很重要的，时钟信号任何一点的抖动都会对高速 A/D 转换器的采样性能产生影响。由于采样时钟的抖动，会引起采样时间的随即不确定的抖动，这种抖动被称为孔径抖动。

由于采样是一个混频的过程，输入信号乘以时钟信号在频域上来看即为输入信号和时钟信号的卷积。由于孔径抖动造成了时钟信号内包括了多种频率的噪声，这种影响同时也表现在了时钟信号的频谱上，输入信号与带有多种频率噪声时钟信号与卷积后，其频谱是周期性和重复性的出现在采样时钟周围的，因此，噪声频率周围也出现了输入信号的频率，从而降低了 A/D 转换器的固有噪声性能。影响了 A/D 转换器的信噪比 SNR。时钟的孔径抖动对 SNR 的影响是由式 (3-1) 确定：

$$SNR = -20 \log_{10} [2\pi f_{analog} \times t_{JITTER}] \quad (3-1)$$

其中， f_{analog} 表示输入模拟信号的频率， t_{JITTER} 表示孔径抖动，从 (3-1) 式可以看出时钟抖动越大，对 A/D 转换器信噪比的影响也越大。

图 3.3 表示了不同的孔径抖动下输入满幅度正弦波的信噪比与输入信号频率的关系，相应的有效位也作在了图上：

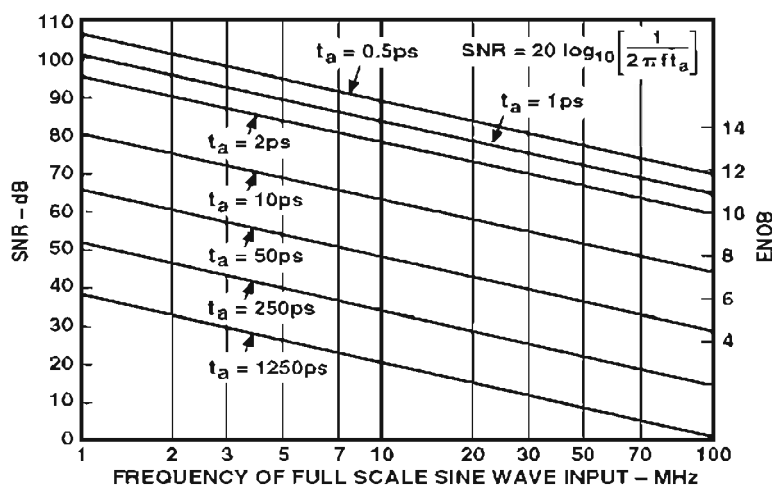


图 3.3 高速 A/D 转换器信噪比和孔径抖动的关系

由图 3.3 可知，如果 A/D 转换器位数越高，输入频率越大，时钟抖动越大，那么对信噪比的影响就越大。在本系统中，A/D 转换器的采样频率是 500MHz，采样精度是 8Bits，有效位数 (ENOB) 达 7.5Bits，要保证这样的性能要求，对采样时钟的精度要求非常高，这里选用了 ADI 公司 2004 年推出的一款高性能的锁相环 (PLL) 芯片 ADF4361_7。

PLL 通常由鉴相器 (PD)、环路滤波 (LP)、压控振荡器 (VCO) 和可变程序分频器组成，基本原理如图 3.4 所示。

外部晶振经 R 分频产生的参考频率与 VCO 的输出频率经过 N 分频后在鉴相器进行相位比较，产生误差控制电压，经过环路滤波除去高频分量以后，控制 VCO 产生所需振荡频率。

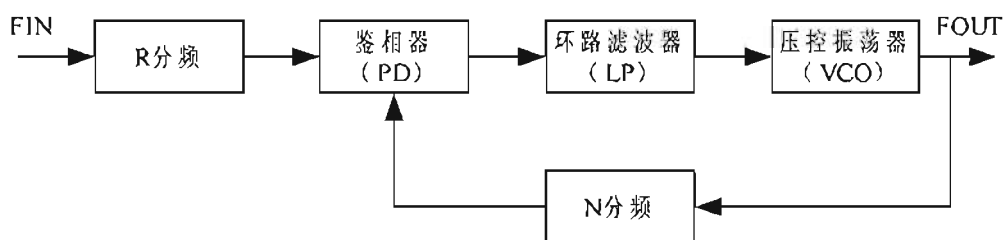


图 3.4 锁相环基本原理图

由于 PLL 的频率合成技术对相位噪声和杂散具有很好的抑制作用，因此在高速采样系统中常常用作时钟源。ADI 公司生产的 ADF4360 系列芯片主要由数字鉴相器、精密

电荷泵、R 分频器、A 计数器、B 计数器及双模前置 P/P+1 分频器组成。而 ADF4360-7 与同系列的 ADF4360 芯片相比具有超宽的输出频率范围（350~1800MHz），而且 VCO 输出端能够进行二分频，因而其二分频后的输出频率为 175~900MHz，满足了本系统的要求。

芯片的主要特征为^[7]：超宽的频率输出范围；3.0~3.6V 的电源电压；可编程双模分频器（P/P+1 分别为 8/9,16/17）；可编程电荷泵（CP）；模拟和数字相位锁定检测等。

在芯片内部，根据模式控制的高低电平不同，双模分频器采用两个不同的分频模数 P 和 P+1,双模分频器的输出同时驱动两个可编程分频器，它们分别预置在 A 和 B (A<B) 并进行减计数，在除 A 和除 B 分频器未计数到零时，模式控制电平为高电平，在输入 A (P+1) 个周期之后，除 A 寄存器计数到零，则模式控制电平变为低电平，控制 P+1 分频器的与门使其停止计数，此时，除 B 寄存器还有 B-A 个数，双模分频器的模数变为 P，再经过 P(B-A)个周期，直到 B 分频器计数到零，输出低电平，再将两计数器重新置为 A 和 B，同时将模式控制恢复为高电平。通过这一完整的周期，合成器的分频比为式 3-2 所示。

$$N = (P+1)A + P(B - A) = PB + A \quad (3-2)$$

则双模分频器输出的频率为 F_0 （鉴相频率），如式 3-3 所示。

$$F_0 = N \times f_{REFIN} / R = (B \times P + A) \times f_{REFIN} / R \quad (3-3)$$

ADF4360-7 芯片提供 8/9 和 16/17 两种计数模式，一般情况下，当输出频率较高的时候选用 16/17，输出频率较低时选用 8/9 计数器。B 在 ADF4360-7 中预置数的范围为 3~8191, A 的预置数范围为 0~31, 其分频比可以通过 A 和 B 的寄存器值设定，由 ADF4360-7 的芯片资料可知，在设置寄存器参数时，必需满足 $B > A$ 且有 $N > (P^2 - P)$ 。

在本系统中，要选择 ADF4360-7 输出的频率，需要设定相应的外部电感值，芯片的工作中心频段是由芯片外部的两个等值电感决定的。而且电感应该放置适当的位置以降低它们之间的耦合影响，式（3-4）给出了系统的工作中心频率和外部电感的对应关系，例如当外部电感值设定为 1nH 时，对应的输出频率为 1300MHz,输出频率和外部电感之间的对应关系式为：

$$F_0 = \frac{1}{2\pi\sqrt{6.2\text{pF}(0.9\text{nH} + L_{EXT})}} \quad (3-4)$$

式（3-4）中：6.2pF 和 0.9nH 为芯片内部的电感和电容值， L_{EXT} 为系统外接电感值，由此可知，当工作频率较高时，式中的 F_0 主要由内部电感 0.9nH 决定，当外部电感值小于 24nH 时，可以用导线代替。而系统输出频率较低时， F_0 主要是由外部电感值决定。在本设计中采用的外部电感值为 13nH，输出的中心频率约为 500MHz。满足设计的要求。

本系统中采样的是 1MHz 的鉴相频率，采用较高的鉴相频率有利于提高环路捕捉时间以及降低环路的相位噪声。本 PLL 采用的环路滤波器结构如图 3.5,考虑环路捕捉性能和环路带宽等综合因素，该环路滤波器的带宽是 30KHz，参考分频比 $R=16$,由 ADI 提供的仿真软件 ADI_SimPLL 计算可得，电容和电阻值分别为 $c_1 = 2.7\text{nF}$ ， $c_2 = 820\text{pF}$ ， $c_3 = 27\text{nF}$ ， $R_1 = 910\Omega$ ， $R_2 = 510\Omega$ 。

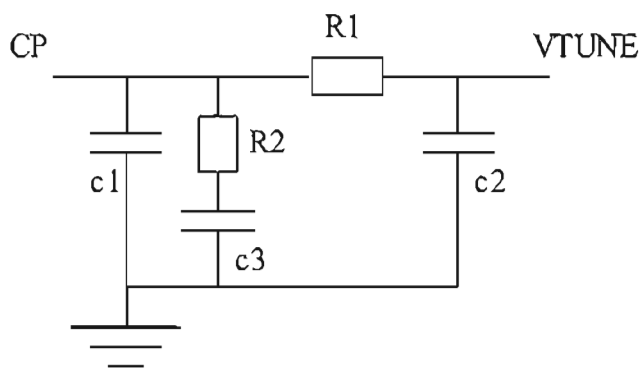


图 3.5 环路滤波器

本系统中外部晶振采用 NEWWO 公司的 16.0MHz 温补晶振 (TCXO)，其稳定度小于 0.9ppm,TCXO 接到 ADF4360-7 的参考时钟输入引脚 REF_{in} ，内部电荷泵输出引脚 CP 与 VCO 输入引脚 VTUNE 之间的环路滤波电路如图 3.5 所示的。

ADF4360-7 内部寄存器的控制是通过 SPI 串行接口来控制的，SPI 是一种串行外围接口，主要使用在 CPU 与外围低速器件之间进行同步串行数据传输，在 CPU 发出的移位脉冲下，数据按位传输，高位在前，低位在后，为全双工通信，数据传输速率达到几兆赫兹。

本系统利用 ARM9 芯片的 SPI 接口，来控制 ADF4360-7 对其内部的寄存器控制，ARM9 的 GPG9、GPE12、GPG6 分别与 ADF4360-7 的 LE、DATA、CLK 相连，其中 LE 为加载使能，当该位置高电平时加载数据，DATA 为串行数据输入，CLK 为串行时钟输入。

数据输入的时序为：DATA 在每个 CLK 的上升沿从 MSB（最高有效位）开始依次写入 24 位移位寄存器中，直到 LSB（最低有效位）写入完成后，在 LE 的上升沿将存储在 24 位移位寄存器中数据一次性锁存入目标寄存器，再进行下一个目标寄存器的初始化。目标寄存器的选择由移位寄存器的最末两位 DB1、DB0 来决定，对寄存器赋值的顺序为 R—C—N。C 和 N 寄存器的赋值间隔应大于 5ms，时序图如图 3.6 所示。

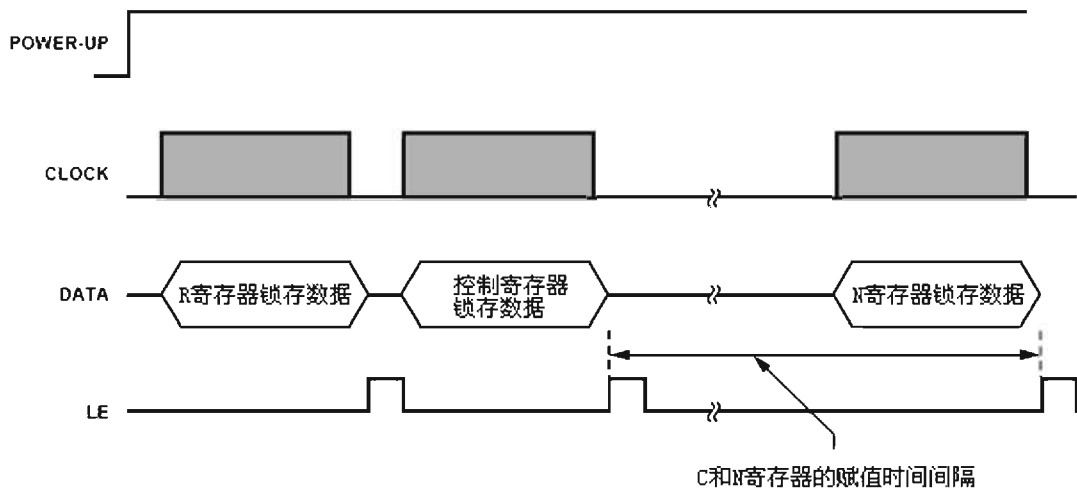


图 3.6 ADF4360-7 数据写时序

由于需要向 2 路 A/D 转换器采样提供稳定、低抖动、低噪声的时钟，需要将 PLL 输出的时钟进行分频输出，这里选用了 ADI 公司 2005 年生产的时钟分配器 AD9513^[8]，它具有三路输出，很低的抖动 ($<10^{-3} ps$) 和相位噪声，LVCS 模式的输出最高频率可达 800MHz，每个输出有可编程分频器，分频范围从 1 到 32 可选择。本系统中，由于高速 A/D 输出的时钟可供 FPGA 使用，故 FPGA 不需要前端提供时钟，只需要给两路 A/D 转换器提供时钟即可，但实际设计时留出一个 FPGA 时钟输入以作备用。

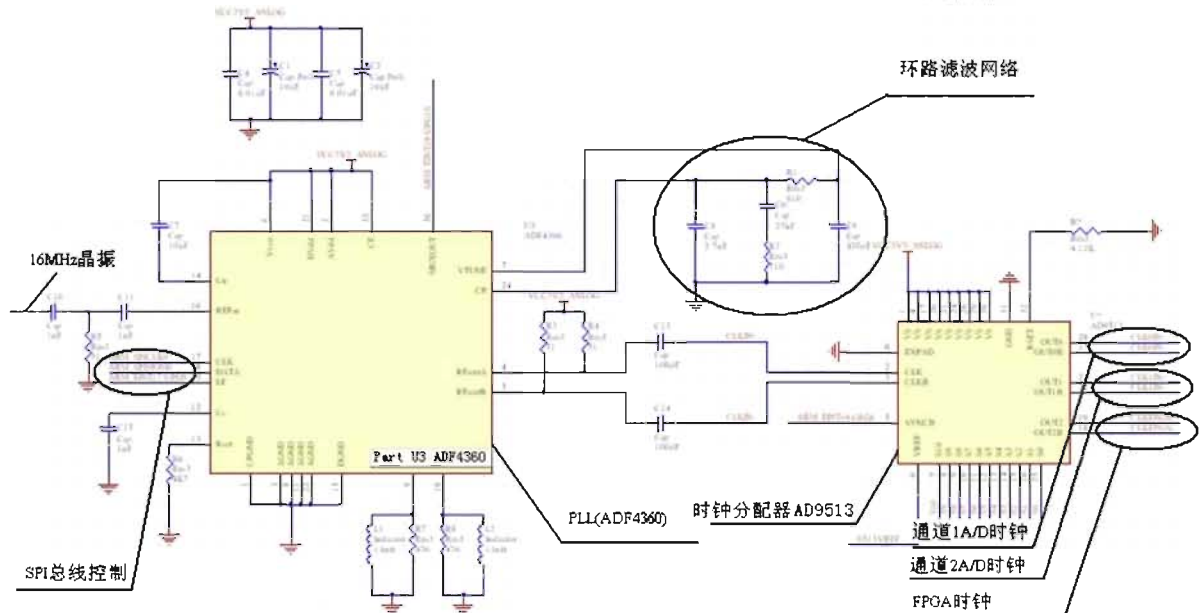


图 3.7 时钟发生电路原理图

本系统中时钟发生电路原理图如图 3.7 所示，输入 16MHz 的时钟，输出两路 500MHz 低抖动、低噪声的时钟信号。

3.1.4 高速采样电路差分输入电路设计

由于前端信号调理输出的是单端信号，故本系统采样高性能高速 320MHz 差分放大器 AD8138^[9]进行差分转换，由于本课题设计的示波器的最大输入信号频率是 200MHz，而 AD8138 具有良好的电器性能，-3dB 带宽时可达 320MHz，可调整共模输出电压，外部调整增益和低谐波失真，它的差分输出帮助平衡输入到差分 A/D 转换器，最大化 A/D 转换器的性能和不需要变压器，从而保留了低频和 DC 信息，因此很好的满足了本系统的要求，图 3.8 为单端信号转差分信号的电路原理。

AD8138 的 VO_{CM} 接 A/D 转换器输出的参考电平 VC_{MO}，工作电压为 3.3v,信号从 IN+ 端加入，IN- 端通过一个电阻 R₄ 接地，输出电压为 V₃-V₂，由图 3.8 可知：

$$\frac{V_1 - V_m}{R_1} = \frac{V_2 - V_1}{R_2} \quad (3-5)$$

$$\frac{V_1}{R_4} = \frac{V_3 - V_1}{R_3} \quad (3-6)$$

$$R_1 = R_4, \quad R_2 = R_3 \quad (3-7)$$

由式 (3-5)、(3-6)、(3-7) 可得： $V_3 - V_2 = R_2 V_m / R_1$ ，因此，在实际调试中，可以通过调整 R₂ 和 R₁ 的参数来使信号放大至适合 A/D 转换器采集的范围。在本系统中，由于前端信号的调理也可以调整信号输出的范围，因此在调试阶段，还是选用了芯片说明文档上给出的典型值，即 $R_2 = R_1 = 499 \Omega$ 。

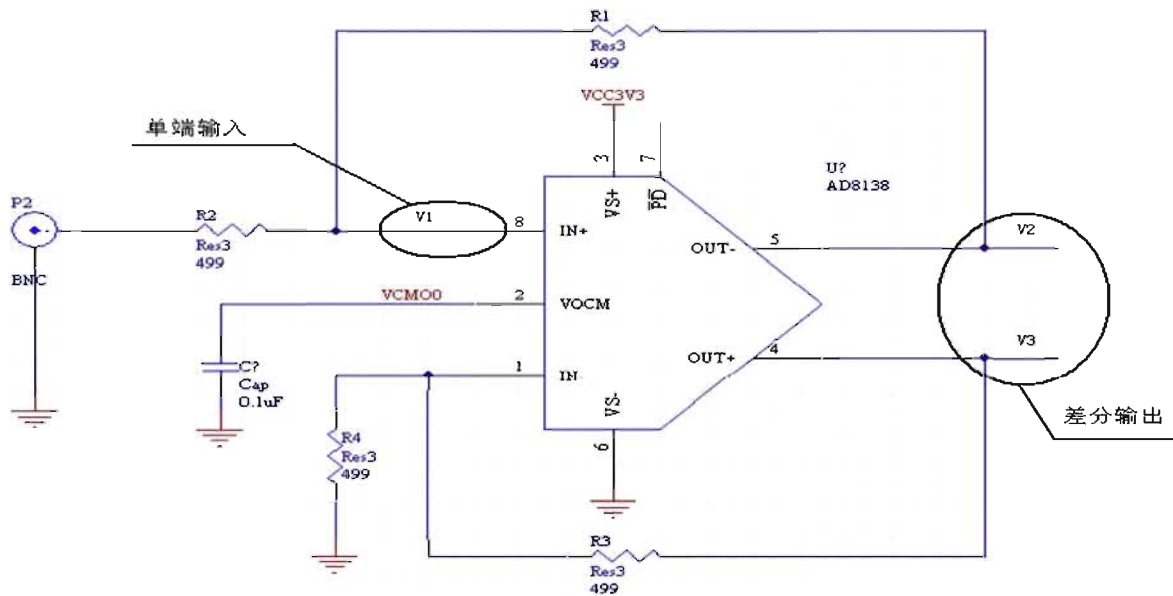


图 3.8 单端信号转差分信号的电路原理

3.2 存储模块设计

对于高速多通道采样存储的性能要求主要包括：一是高速性，现在高速数据采集中所用的 A/D 转换器已达到几十甚至几百 MSPS 的水平，这就要求采样数据存储器的速度也要与之匹配，也就是采用高速缓存；二是大容量，其原因是多通道高速数据采集会产生巨大的数据流。一个 4 通道 40MHz 采样率 16 位精度数据采集板并行采样 0.1s 将产生 32MB 的数据量，所以，通常需要海量缓存来存储采样数据。

分离的存储器包括 RAM、FIFO 等，由于使用分离的存储器不仅增加了电路的元件数量，增大了电路板的空间，增加了对其控制的总线，并且在布线高速时钟线的同时也增加了系统的不可靠性，因此使用内嵌的数据缓冲器是近年来使用比较流行的一种方法。随着 FPGA 系统门密度的增加，越来越多的硬件设计师使用晶片上的存储结构来替代分离的存储器。

本系统中，前端高速 A/D 转换器的输出信号通道较多，如果采样分离的存储器来搜集采集过来的数据，所用的存储器数量将达到 8 片，那么电路板上的数据线和地址线将大大增加，面积也相应增加了，并且要增加控制电路对存储器进行有次序的读取，不仅降低了整个系统的集成度而且增加了设计和控制的难度，所以对于本系统的存储器，最终选择了集成度高，控制灵活的 FPGA 芯片。

使用高速 FPGA 来接收前端高速 A/D 转换器采集的多通道数据，用作数据的缓冲和数字信号的预处理。由于 FPGA 的 IO 端口读写速度要求与 A/D 转换器输出的时钟相匹配，并且按照设计的要求，该 DSO 需要每个通道 4K 的存储容量，故对 FPGA 的存储空间也有一定的要求，在 FPGA 内需要作数字预处理，也需要高速的乘法器来帮助完成，综合成本考虑，最终选择了 Xilinx 公司的性价比较高的 Spartan-3E 系列的 FPGA 芯片 XC3S500E。

Spartan-3E 是 Xilinx 公司 2005 年推出的 FPGA 系列，其第四个采用先进的 90nm 制造工艺生产的系列产品。该系列的器件密度为 10 万门到 160 万门，其单位逻辑单元的成本是 FPGA 行业中最底的，并且优化了针对以逻辑为中心的设计，并且能够内嵌微型处理器，微型控制器和信号处理器，这些使 Spartan-3E 系列的芯片性价比大大提高，降低了器件的成本和总体系统的成本，以 Spartan-3E 系列芯片为中心的高速采集系统方案是较为理想的应用于 DSO 设计的一款 FPGA，XC3S500E 主要内部资源和性能特点为^[10]：

- 500K 个系统门；
- 10476 个逻辑单元 (LE)；
- 360KBits 的 RAM 存储块 (Block RAM)；
- 73KBits 可分配 RAM 单元 (Distributes RAM)；

- 4 个数字时钟管理单元 (DCM);
- 20 个 18×18 位的硬件乘法器 (Multipliers);
- 最大单端 I/O 数为 232 个;
- 最大差分 I/O 数为 92 个;
- 支持 SPI 接口或者字节宽并行接口 flash 对其配置;
- 简易实现 DDR 存储器接口;
- 支持增强行 DDR 接口;
- 支持 18 种通用 I/O 标准, 包括 LVCOMS, LVTTTL, HSTL 和 SSTL 单端信号标准, 以及 LVDS、RSDS、mini-LVDS 等差分信号标准;
- 最大 I/O 口数据传输率达 622MHz;
- ISE (集成软件环境) 工具提供对 Spartan-3E 系列芯片进行仿真调试下载。

从上述的技术指标中, RAM 存储块的大小和 I/O 口的读写速度都满足本系统设计的要求。由于 XC3S500E 支持 LVDS 的 I/O 输入, 故高速 A/D 转换器输入的 LVDS 信号直接输入其 I/O 即可, 无需再加转换。两片 A/D 转换器总共 8 通道 8 路 LVDS 信号输出, 总共需要 64 位差分输入, 此外, A/D 转换器还输出 OR (out of range) 信号来表示输出是否溢出, 一路差分时钟输入信号, 总共 68 路差分信号输入到 FPGA 内, 两路 A/D 转换器与高速 FPGA 的连接如图 3.9 所示。

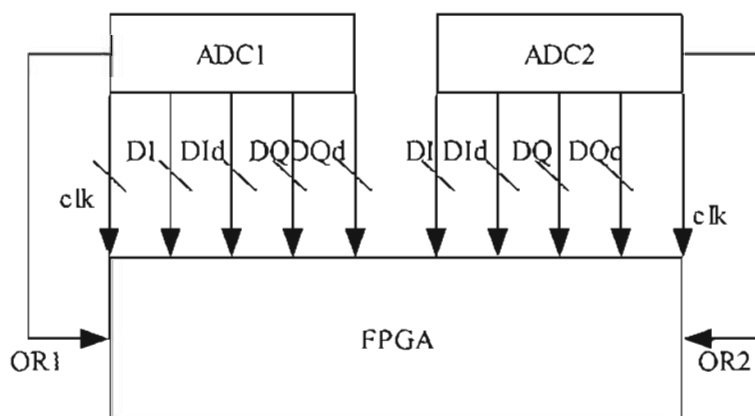


图 3.9 高速 A/D 转换器与 FPGA 连接示意图

本系统设计时基要求是水平扫描从 2.5ns 至 5s, 以 1—2—5 的形式步进, 在一个固定时间段内所需的采样点数有很大的不同, 因此不需要前端的高速 A/D 转换器一直以 1GSPS 的速率采样, 在时基较大时, 可以换成低速的时钟进行采集, 但低速采样会导致 A/D 转换器输出的有效位数发生变化, A/D 转换器输出的信噪比也会有不同, 这样会最终导致整个系统的指标不稳定, 因此, 在本系统中, 没有改变高速 A/D 转换器的采样速率, 而是通过在 FPGA 内进行一个抽取的过程, 将需要的数接收进 FPGA 内的存储器, 不需要的数据被过滤出, 这样也就相当于实现了 A/D 转换器采样速率的变化。

而当时基比较小的时候,例如 5ns 时,在 1GSPS 的采样速率下,屏幕所能显示的时间为 50ns,采样得到的点只有 50 个,是不能满足要求的,这就需要对所采的数据进行插值的处理,一般的方法有线性插值和正弦插值,他们之间的效果比较会在下一章内有所阐述,在本系统中选择了正弦插值的方法,插值率为 10:1,也即两两点之间插入 9 个值,这样计算得出的点数足以满足在最小时基 5ns 下整个屏幕的显示。

表 3.2 表示了时基,采样速率,插值率与信号频率之间的对应关系,它是在 FPGA

表 3.2 时基采样速率等对应关系表

序号	时基	采样速率 (Hz)	有效采样点	插值 率	抽点率	信号频 率 (Hz)	显示 周期 数
1	2.5ns	1G	25	10	1 抽 1	200M	5
2	5ns	1G	50	10	2 抽 1	100M	5
3	10ns	1G	100	10	4 抽 1	50M	5
4	25ns	1G	250	1	1 抽 1	20M	5
5	50ns	1G	500	1	2 抽 1	10M	5
6	0.1us	1G	1000	1	4 抽 1	5M	5
7	0.25us	1G	2500	1	10 抽 1	2M	5
8	0.5us	250M	1250	1	5 抽 1	1M	5
9	1us	250M	2500	1	10 抽 1	500K	5
10	2.5us	250M	6250	1	25 抽 1	200K	5
11	5us	250M	12500	1	50 抽 1	100K	5
12	10us	250M	25000	1	100 抽 1	50K	5
13	25us	250M	62500	1	250 抽 1	20K	5
14	50us	250M	125000	1	500 抽 1	10K	5
15	0.1ms	250M	250000	1	1000 抽 1	5K	5
16	0.25ms	250M	625000	1	2500 抽 1	2K	5
17	0.5ms	250M	1250000	1	5000 抽 1	1K	5
18	1ms	250M	2500000	1	10000 抽 1	500	5
19	2.5ms	250M	6250000	1	25000 抽 1	200	5
20	5ms	250M	12500000	1	50000 抽 1	100	5
21	10ms	250M	25000000	1	100000 抽 1	50	5
22	25ms	250M	62500000	1	250000 抽 1	20	5
23	50ms	250M	125000000	1	500000 抽 1	10	5
24	0.1s	250M	250000000	1	1000000 抽 1	5	5
25	0.25s	250M	625000000	1	2500000 抽 1	2	5
26	0.5s	250M	1250000000	1	5000000 抽 1	1	5
27	1s	250M	2500000000	1	10000000 抽 1	0.5	5
28	2.5s	250M	6250000000	1	25000000 抽 1	0.2	5
29	5s	250M	12500000000	1	50000000 抽 1	0.1	5

设计控制和处理模块的重要依据。

由于 A/D 转换器的采样输出分 4 路，每一路输出频率是 250MHz，因此当时基设置在 0.5 μ s-5s 范围内时，FPGA 可只接收某一路的信号，而将其余三路信号丢弃，这时 A/D 转换器的等效采样速率为 250MHz，而时基设置在 2.5ns-0.5 μ s 时，采样速率依然为 1G。当时基设置在 2.5ns、5ns 和 10ns 时，由于满屏采样点数 <250 ，因此需要对采样的数值预先进行插值运算，这里为了简化设计，统一采用的插值率为 10。插值过后对多余的点仍然需要再抽取；当时基设置在 25ns、50ns、0.1 μ s、0.25 μ s 时，在采样频率不变的前提下，满屏采样点数 ≥ 250 ，因此只需要对采样值抽取即可；当时基设置大于 0.25 μ s 时，在等效采样率是 250MH 时，满屏采样点数 >250 ，因此只需要对采样的数值进行抽取。

综上所述，FPGA 需完成对数据的抽取、缓存和插值运算，供后端 ARM 读取采样数据，图 3.10 给出了 FPGA 存储单元内部电路原理框图。图 3.10 中显示的是一个 A/D 转换器的接口电路，输出 4 路数据信号，FPGA 先判断时基是否小于 0.5 μ s，如果小于则将四路数据同步于 A/D 转换器的输出时钟，分别存入 4 个双口 RAM1，RAM2，RAM3，RAM4；然后根据时基是否小于 25ns 来判断是否需要进行插值运算，插值的结果存入双口 RAM5；当时基大于等于 0.5 μ s，只需对其中某一路信号进行抽取即可，抽取的结果存入双 RAM6。

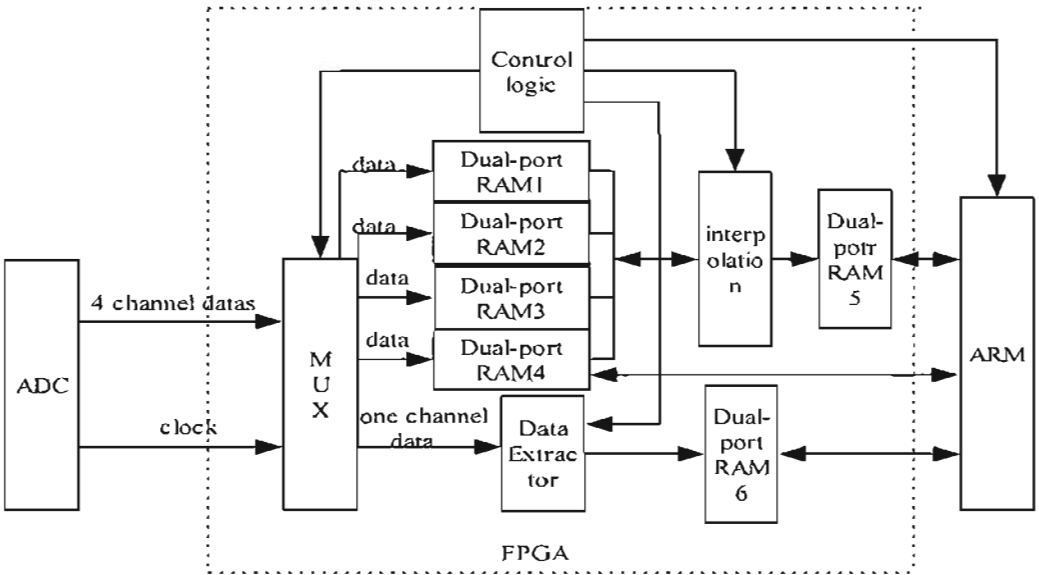


图 3.10 FPGA 存储单元内部电路结构

后端的 ARM9 根据时基的设置来判断从哪个存储器读出适合当前时基设置的数据，图 3.11 给出了相应的流程图。在存储单元内部，抽取器和插值器是关键的两个部分。抽取器的作用是根据时基的不同，按照相应的时间间隔来抽取采样值，图 3.12 是抽取器的电路图，前端 A/D 的输出时钟 clock 经过两路多个模 5 计数器、模 2 计数器和模 25 计数器的级联，产生了多个各种分频的时钟信号，经过数据选择器后，选择合适的时钟信号对 D 触发器进行触发。

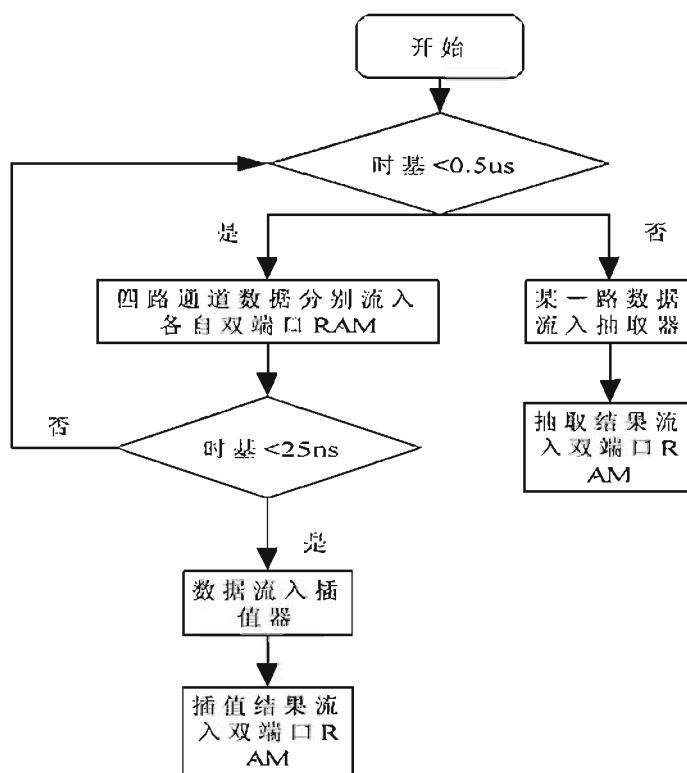


图 3.11 FPGA 内电路流程图

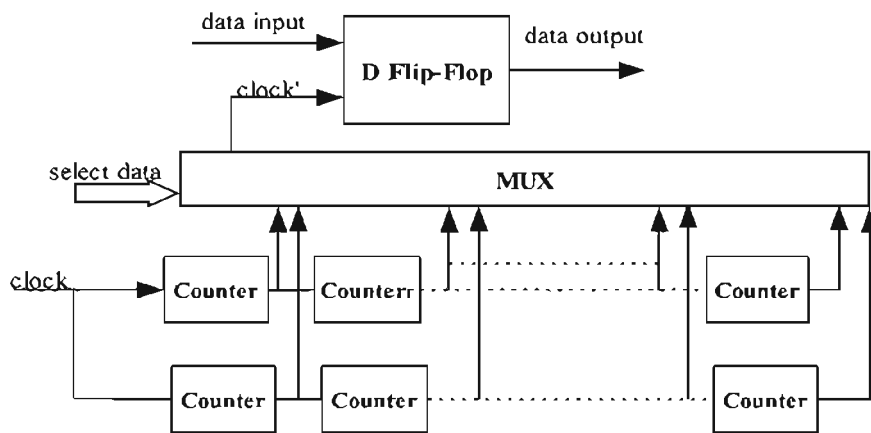


图 3.12 抽取器内部电路图

两路时钟分频信号的模 5 计数器、模 2 计数器和模 25 计数器的个数根据上述表格的抽取率来决定。图 3.13 表示了计数器的顺序、个数，以及输出的抽取频率。

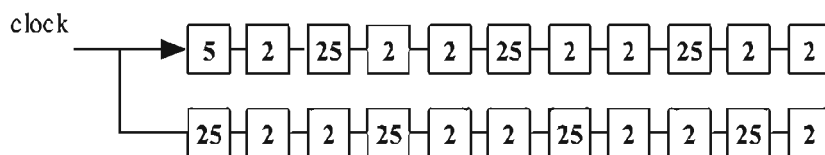


图 3.13 抽取器时钟分频率

由于表 3-2 已经给出了抽取率，而在高速的 FPGA 内做若干个高频计数器有可

3.4 电源模块设计

数据采集模块的电源主要分两部分，一部分提供给高速 A/D 转换器，另外一部分提供给 FPGA。本系统考虑到成本等因素，使用了比较常见的电源 EZ1117 可调电源给系统供电。A/D 转换器所需的额定供电电压是+1.9V,而单片 A/D 转换器在正常工作的情况下消耗的功率是 1.4W^[6],故消耗的电流在 700mA-800mA 之间，EZ1117 的供电电流恰好满足 800mA 的要求，故一个 A/D 转换器就需要一片 EZ1117 来供电。FPGA 供电分为内核供电，IO 端口供电，辅助模块供电。内核供电电压为 1.2V，由 EZ1117 供电；辅助模块包括 FPGA 内部的 DCMs，差分驱动，配置引脚及 JTAG 接口供电，供电电压是 2.5V，也由 EZ1117 提供；IO 端口可以进行包括 3.3V、3.0V、1.5V、1.8V、2.5V 等多种配置，由于输入的采样数据是 LVDS 信号，故输入 IO 端口的电平设置为 2.5V,而后端 ARM9 IO 端口电平为 3.3V,故 FPGA 的输出电平设置为 3.3V,这两个电源也同样由 EZ1117 来提供。图 3.15 为高速 A/D 的供电模块，图 3.16 为 FPGA 的供电模块。

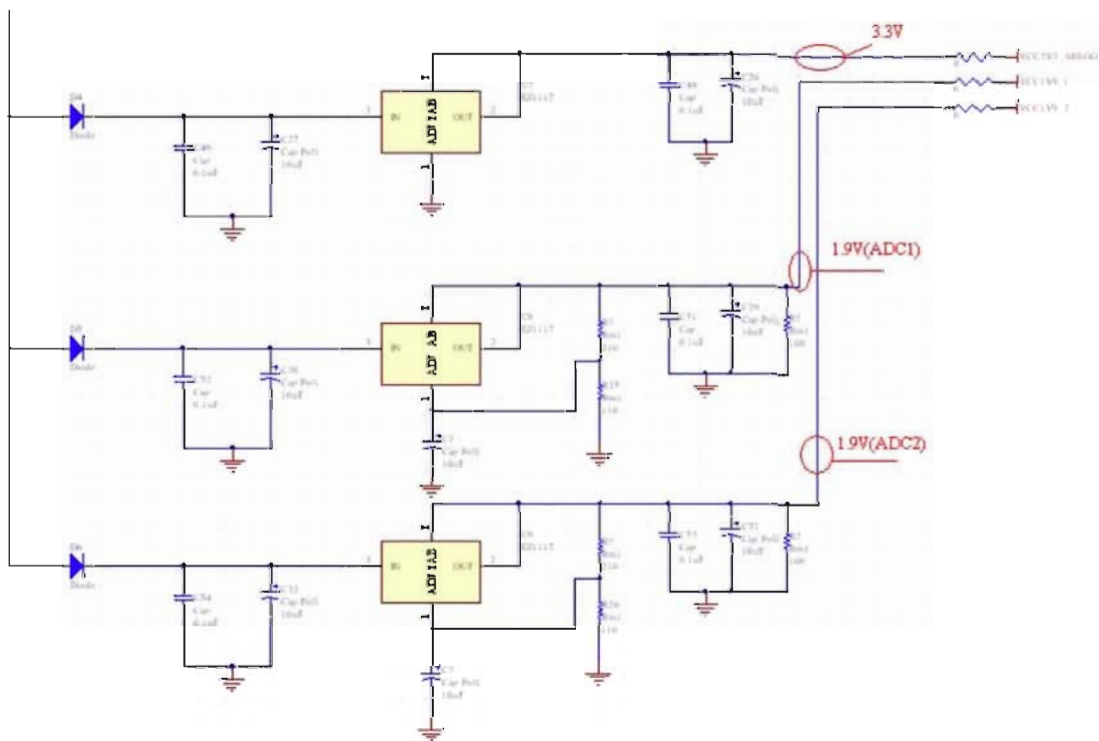


图 3.15 高速 A/D 的供电模块

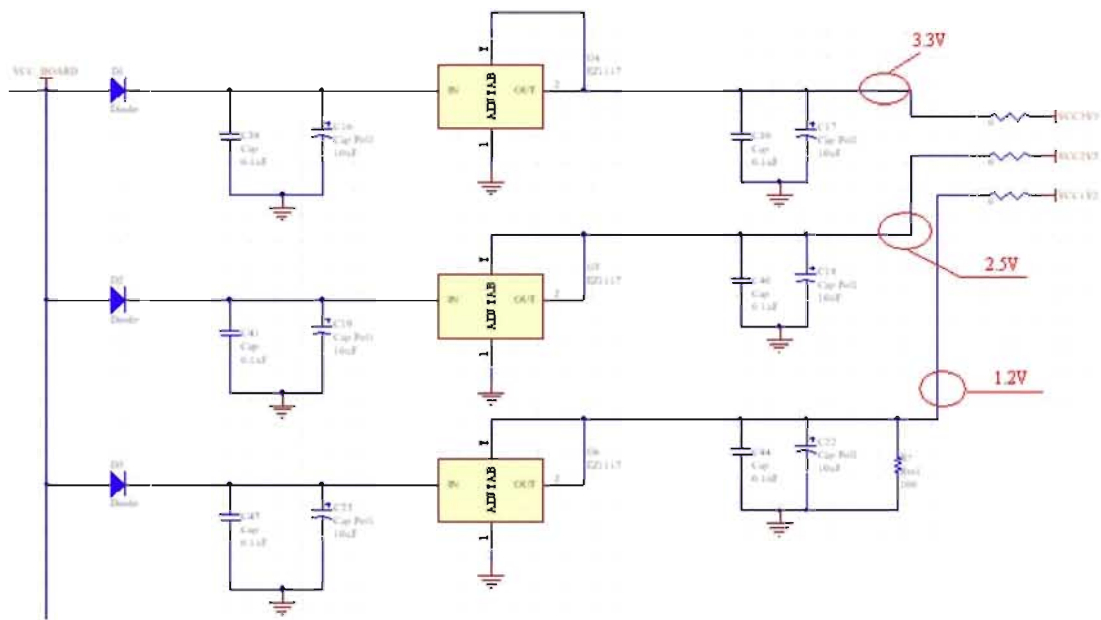


图 3.16 FPGA 的供电模块

第四章 数字信号处理模块

信号处理一般包括两种：一种是滤波，滤出信号中不需要的分量（包括各种干扰），提高信号的纯度和精度，例如在单边带通信系统中，应用滤波方法抑制带外的频率分量；另外一种分析或者变换，带信号进行各种方法的分析，得出信号中携带的各种参数，或者用变换的方法，对信号进行频谱的分析，从而确定信号中的有效信息，例如离散傅立叶变换。其中，数字信号内插及滤波器就属于数字信号处理的组成部分。

数字信号的内插计算的计算量比较大，计算所需的时间也最多，实时性要求也最高。Sparten-3E 系列的 FPGA 内有丰富的逻辑资源和 20 个硬件乘法器，为大规模的数字信号处理^[21,22]提供了很好的平台，因此，在本系统中的内插计算是放在 FPGA 内进行的。在 DSO 内的对数据处理的实时性要求不是很高，而 ARM9 提供了 32 位数据计算长度和 5 级整数流水线以及高达 203MHz 的机器周期^[19]，完成 DSO 内运算量并不大的数字信号处理是可行的，因此，本系统内 DSO 的一些数字信号处理工作，例如数字滤波器，FFT，以及对信号的数学运算等都可以放在 ARM9 内完成，经实际的调试，证实其完全可行。以下对各个数字信号处理部分进行分节讨论。

4.1 正弦信号内插滤波器原理

在数字存储示波器中，在显示波形时，当采样的数据点数不够多时，需要增加点数才能满足要求，其过程如图 4.1 所示。根据原采样间隔 T_1 得到数据点，按照一定的数学计算方法，插入所需要点数，计算出时间间隔为 T_2 点的数值。

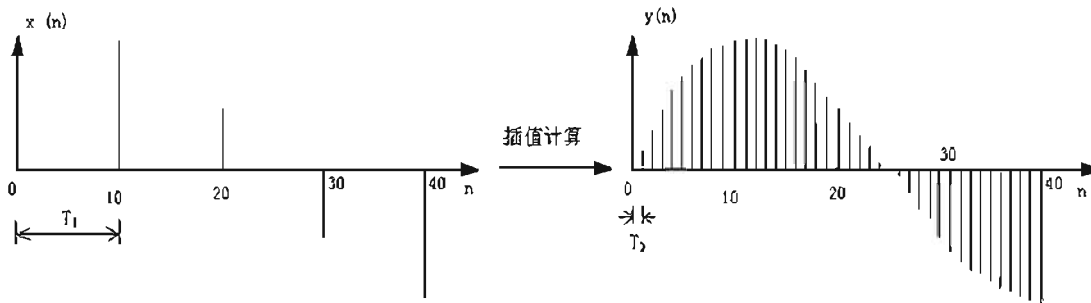


图 4.1 数字信号内插示意图

要恢复重建原始信号，对信号采样时必须遵守一个基本的原则，即采样定理，其内容是：对于最高频率为 f_m 的输入模拟信号，采样频率 f_s 至少应该是 f_m 的 2 倍才能恢复原信号。该定理由奈奎斯特于 1929 年提出，故采样定理又被称为奈奎斯特频率，因此，理论上只要用高于最高频率 2 倍的采样频率对输入信号采样，就能不失真的恢复原

始信号。然而，对于数字化示波器而言，波形的细节分析是非常重要的，根据经验，通常认为每个周期最少要 10 个采样点才能给出足够的信号细节^[32,34]，所以一般的数字存储示波器的带宽是不可能到达理论值的。尽管如此，如何利用数字信号处理技术来尽可能的使实际带宽接近理论值是设计数字存储示波器必须考虑的关键问题。

最简单的波形重建是采用线性插补滤波器，尽管这种方法可以改善示波器分辨率，精度和显示质量，但更精确的内插技术是利用抽样函数 $\text{Sin}(x)/x$ 这种对称的波形内插滤波器^[24,26]。

内插的方法，顾名思义就是在原有的采样点之间插入若干个点来重建原有波形，内插函数的作用就是计算出这些插入点的值，而计算的结果插入原有的采样值以后得到的一系列数据，也可以等效为对原有的输入模拟波形提高采样频率以后得到的采样数据，这样内插的效果就等同于提高了采样的频率。

对于不同的采样频率，通过傅立叶变换得到的幅度谱上的也是不同的。设 $X(t)$ 是输入模拟信号，最高频率为 f_c 采样周期分别为 T 和 T' ，得到的 N 个采样点分别为 $X(n)$ 、 $Y(n)$ ，这三个时域函数经过傅立叶变换后得到频率函数分别是 $X(\omega)$ ， $X(e^{j\omega T})$ ， $Y(e^{j\omega T'})$ ，则这三个函数的幅度谱 $|X(\omega)|$ ， $|X(e^{j\omega T})|$ ， $|Y(e^{j\omega T'})|$ 之间的关系如图 4.2，图 4.3，图 4.4 所示

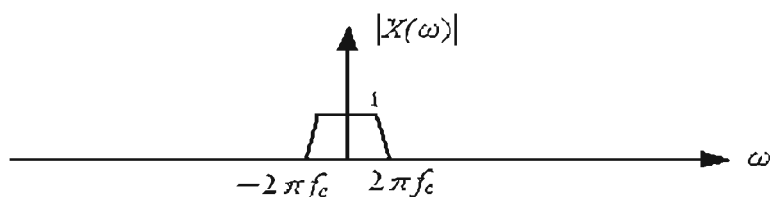


图 4.2 输入模拟信号 $X(t)$ 幅度谱

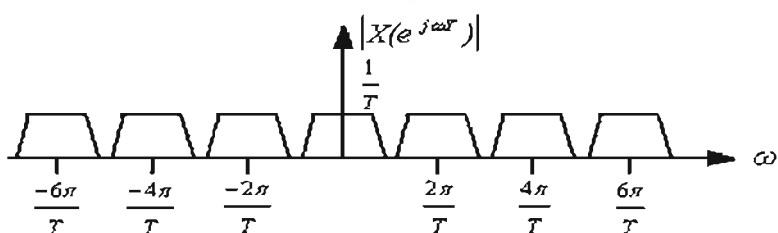


图 4.3 $X(n)$ 信号的幅度谱 (采样周期 T)

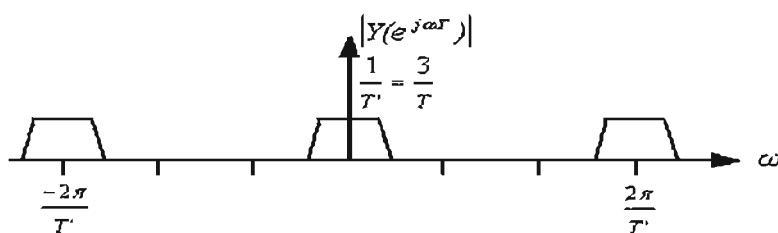


图 4.4 $Y(n)$ 信号的幅度谱 (采样周期 T')

显然，从上图可以看出， $X(n)$ 和 $Y(n)$ 的傅立叶变换 $X(e^{j\omega T})$ 和 $Y(e^{j\omega T'})$ 是输入模拟信号的

傅立叶变换 $X(\omega)$ 在频域上的以采样周期 T 和 T' 的延拓。通过比较图 4.3 和图 4.4 发现, 要从 $X(e^{j\omega T})$ 获得 $Y(e^{j\omega T})$, 只需采用一个滤波器 $H(e^{j\omega T})$ 滤出中心频率位于 $\pm 2\pi/T$, $\pm 4\pi/T$, $\pm 8\pi/T \dots$ 这些多余的频谱并调整 $|X(e^{j\omega T})|$ 的增益就可以了, $H(e^{j\omega T})$ 的幅度谱 $|H(e^{j\omega T})|$, 如图 4.5 所示。

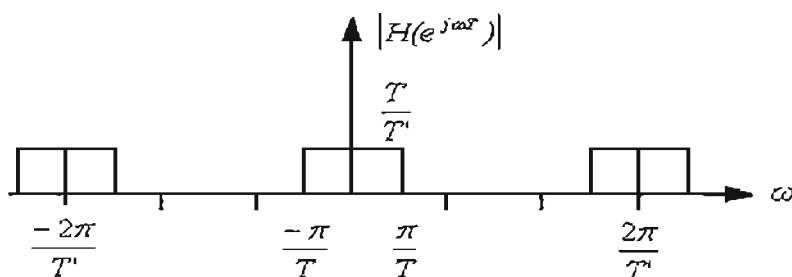


图 4.5 滤波器 $H(e^{j\omega T})$ 的幅度谱 ($T'=T/3$)

比较图 4.3 和图 4.4, 易知 $|Y(e^{j\omega T})| = |X(e^{j\omega T})| |H(e^{j\omega T})|$, 故 $\text{Sin}(x)/x$ 内插函数的关键就是求出对应 $H(e^{j\omega T})$ 的时域函数 $h(n)$ 的求解。

观察可知

$$|H(e^{j\omega})| = \begin{cases} T/T' \left(\frac{2\pi n}{T'} - \frac{\pi}{T} < \frac{2\pi n}{T'} - \frac{\pi}{T}, n \text{ 为整数} \right) \\ 0 \text{ (}\omega \text{ 为其它值)} \end{cases} \quad (4-1)$$

它是一个门函数以周期为 $2\pi/T'$ 的周期延拓, 根据采样定理, 只需先求出门函数的傅立叶反变换, 然后再对其进行以周期为 T' 的采样, 并对其增益适当调整就可以获得。定义插值因子为 $D=T/T'$ 。

1) 先计算门函数的傅立叶反变换:

假设 $H(\omega)$ 的频谱函数如图 4.6 所示, 则

$$h(t) = \frac{1}{2\pi} \int_{-\infty}^{+\infty} H(\omega) d\omega = \frac{1}{2\pi} \int_{-B}^B A e^{j\omega t} d\omega = \frac{AB}{\pi} \text{Sa}(Bt) \quad (4-2)$$

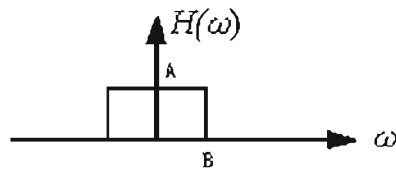


图 4.6 门函数频谱

式 4-2 中抽样函数 $\text{Sa}(x)=\text{Sin}(x)/x$, 对 $h(t)$ 以周期 T' 采样以后获得采样信号

$$h(n) = \frac{AB}{\pi} \text{Sa}(BnT') \quad (4-3)$$

其频谱函数如图 4.7 所示。

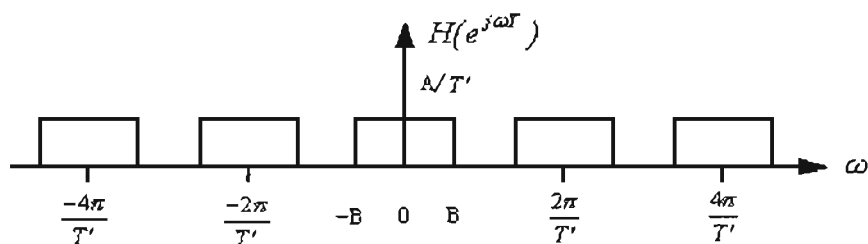


图 4.7 以周期 T 抽样后频谱拓展

2) 比较图 4.5 和图 4.7, 得到滤波器的表达式 $h(n)$ 。列出相应的方程式可得门函数的两个参数为 $A=10T'$, $B=\pi/DT'$, 由此可得:

$$h(n) = Sa(\pi n / D) \quad (4-4)$$

4.2 基于 FPGA 正弦内插滤波器的实现

该滤波器的脉冲响应是一个 $\text{Sin}(x)/x$ 抽样函数。由于抽样函数是一个无限长的非因果序列, 实际实现是不可能的, 因此, 在数字存储示波器中通常采用一个有限长的序列来替代该无限长序列来实现波形的内插。具体来讲就是采用有限长序列 $h_d(n)$ 来尽可能的逼近原无限长序列 $h(n)$, 可采用窗函数 $w(n)$ 来实现该转换, 即 $h_d(n) = h(n)w(n)$ 。而在实际的运算中有限长序列 $h_d(n)$ 选取的点数影响到最后计算出结果的精度。由于本系统中, 设计到的插值率是 10, 也就是在两两点之间插入 9 个点, 因此下面以两个点之间插入 9 个点为例子, 给出具体的算法和利用 FPGA 来实现的正弦内插滤波器结构。

虽然 $h_d(n)$ 选取的点数越长, 计算结果的精度就越高, 但是考虑到点数多会使硬件电路也相应倍增, 按照实际计算的结果后比较, 80 个点的误差率已经小于 1%, 因而选取了 80 个点作为有限产序列的长度能够满足对数据精度的要求。

根据上述的原理, 首先需要对 $x(n)$ 进行增采样, 也就是在输入的两两点之间插入 9 个零点, 完成后得到增采样序列 $x'(n)$, 然后再对 $x'(n)$ 采用低通滤波器 $h_d(n)$ 实现 $\text{Sin}(x)/x$ 内插, 即:

$$y(n) = x'(n) * h_d(n) = \sum_{k=-\infty}^{k=\infty} x'(k)h(n-k) = \sum_{k=-40}^{k=40} x'(k)h_d(n-k) \quad (4-5)$$

由于 $h_d(n)$ 取了 80 个有效点, 故每计算出一个 $y(n)$ 点需要进行 80 次的乘法和 80 次的加法, 然而在 $x(n)$ 中有 90% 的零点, 用作乘加运算实际上是没有意义的, 所以计算一个 $y(n)$ 点仅仅需要 8 次乘法和 8 次加法, 这样就能设计一种计算单元, 经过 8 次乘法和 8 次加法以后输出一个累加值, 这个值便是所需求的结果。

仔细观察发现, 影响卷积的结果的实际上是未增采样前的输入信号 $x(n)$ 的连续的 8 个点, 每次输入一个 $x(n)$, 经过插值计算, 输出的是 10 个 $y(n)$ 值, 而由于影响这 10 个

$y(n)$ 值的是之前输入的 8 个 $x(n)$ 点的值和 $h(n)$ 的参数，这里设计一组寄存器用来存储包括当前输入的最新 8 个 $x(n)$ 点的值，每次输入一个 $x(n)$ 以后就可以更新这组寄存器，然后与对应的 $h_d(n)$ 参数作 8 次乘法运算，并且把这 8 个结果累加输出一个的数据即为一个 $y(n)$ 点，依次计算出 10 个点的值，逐个的输出。而滤波器 $h_d(n)$ 的 80 个参数可以事先存储在一个容量为 80 字节的 ROM 单元内，用寻址的方法取数。由于增采样序列 $x'(n)$ 有 241 个点，故卷积运算以后共有 320 个点生成，其中前 40 个点与后 40 个点是无效的，只有中间的 250 个点才是需要的有效值。

由上分析可得，内插滤波器的输出为：

$$y_{j(n)} = \sum_{i=0}^7 reg[i] * h_j(i) \quad (4-6)$$

j 的取值范围是 0-9，依次输出 y_0, y_1, \dots, y_9 共 10 个经过插值后的数据。正弦内插的基本结构如图 4.8 所示。

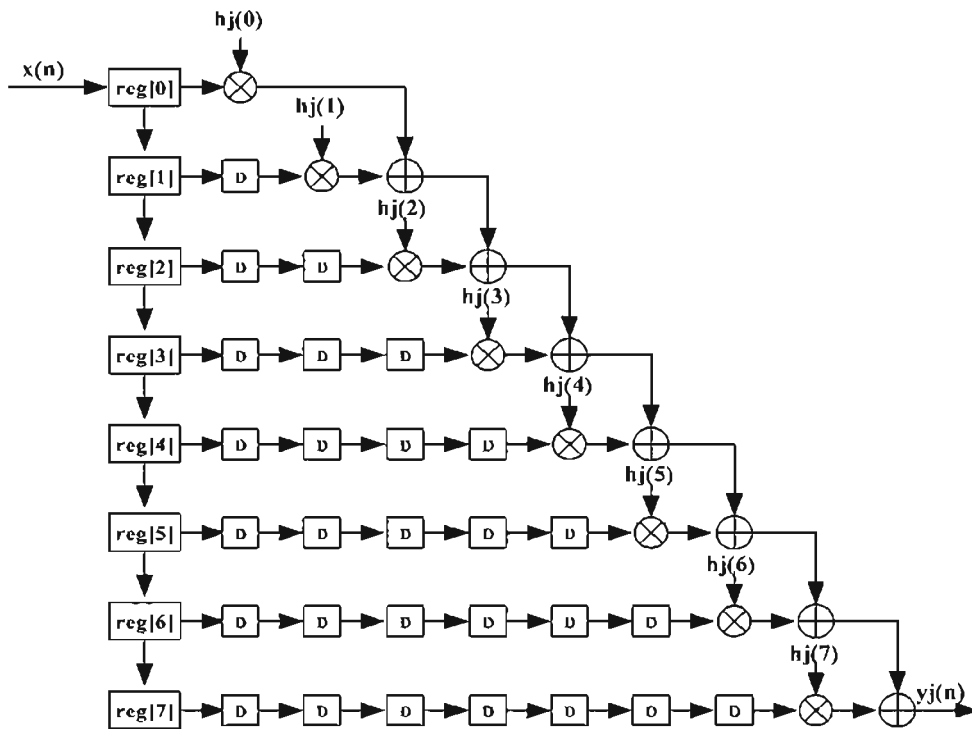


图 4.8 正弦内插滤波器的算法结构

每输入一个采样值 $x(n)$ ，经过 10 次乘加运算后得 $y_{j(n)}$ ， $reg[x]$ 表示寄存器单元，D 单元是时钟延迟单元，输入输出时钟周期比为 10: 1。

本系统中，前端 A/D 采样所得的数据也是一个 8 位有符号数据，因而数字存储滤波器的垂直分辨率是 8 位，而滤波器 $h_d(n)$ 的参数却是一个浮点数，所以为了便于在 FPGA 内计算，首先要将其转化成定点数，实际操作中也取 8 位有符号数据，继而才能和采样数据做卷积的运算，并且运算结果为 16 位有符号数。表 4.1 是正弦内插滤波器 $h_d(n)$ 的

系数表。

表 4.1 正弦内插滤波器系数

H _j (i)	i=0	i=1	i=2	i=3	i=4	i=5	i=6	i=7
j=0	0	0	0	0	128	0	0	0
j=1	253	4	249	14	126	245	6	252
j=2	250	9	243	30	120	236	11	249
j=3	247	12	237	47	110	231	14	246
j=4	245	15	232	65	97	228	16	245
j=5	244	16	229	81	81	229	16	244
i=6	245	16	228	97	65	232	15	245
j=7	246	14	231	110	47	237	12	247
j=8	249	11	236	120	30	243	9	250
j=9	252	6	245	126	14	249	4	253

软件设计的基本流程如图 4.9 所示，每输入一个采样值 x(n)，就能得到 10 个插值后得 y(n)，x(n)不断输入，y(n)就不断得输出，输入输出时钟周期比为 10: 1。

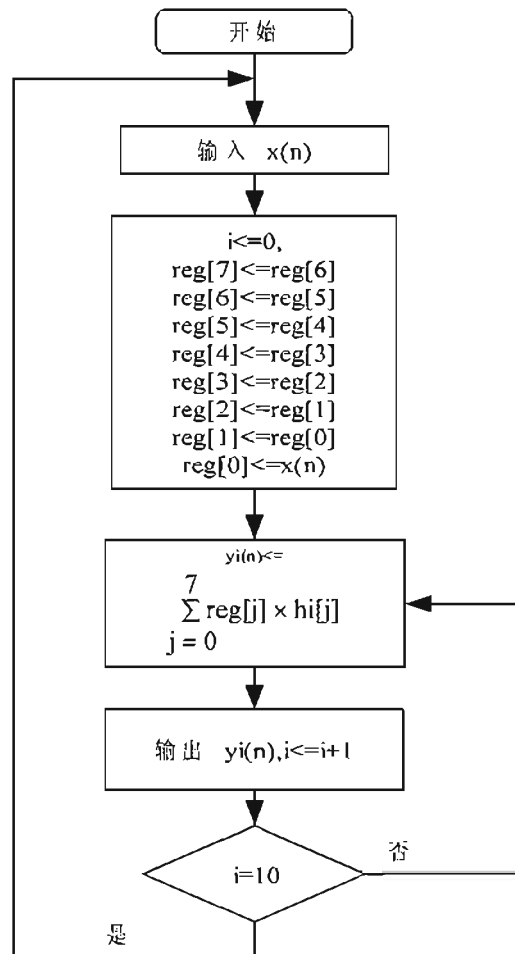


图 4.9 Sin(x)/x 插值计算基本流程图

根据以上所讨论的实现方法，在 FPGA 内设计的内插单元的硬件结构框如图 4.10 所示。本设计采用了 VHDL 语言描述各个模块的功能，由于本设计是一个通用性模块，对于编译器没有具体的要求，在本系统设计的前期，使用编译仿真软件 Quartus2 的环境下进行综合和仿真。

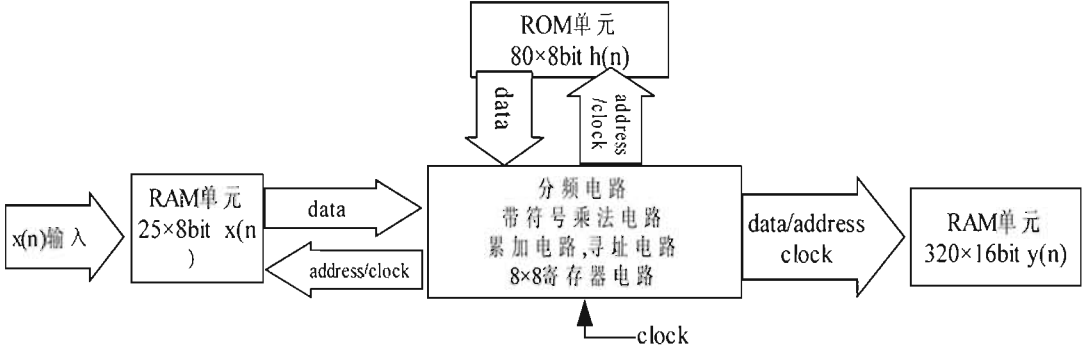


图 4.10 正弦内插滤波器硬件结构图

核心单元是一个卷积单元，其中包括分频电路，用来产生输入输出的时钟以及内部运算所需要的各个时钟，乘法以及累加电路是 8×8 Bits 带符号乘法，寻址电路又来读写 RAM 和 ROM 单元，内部寄存器单元用于存储输入的当前 8 个数据。

由于目前本系统中使用的 FPGA 有自己专用的硬件乘法器，并且乘法器的位数可以根据自己的需要配置，FPGA 内嵌乘法器的最大的优点在于单个时钟内完成一个多位乘法运算，运算速度大大提高并且不占用其他逻辑资源，FPGA 的这以特点非常适合本算法，因为 $\text{Sin}(x)/x$ 内插的实质就是乘加运算，除了乘加运算以外，寻址电路和寄存器电路占用的逻辑资源和存储资源非常有限，故该模块在任何一款带有乘法器的 FPGA 上都有很好的通用性。

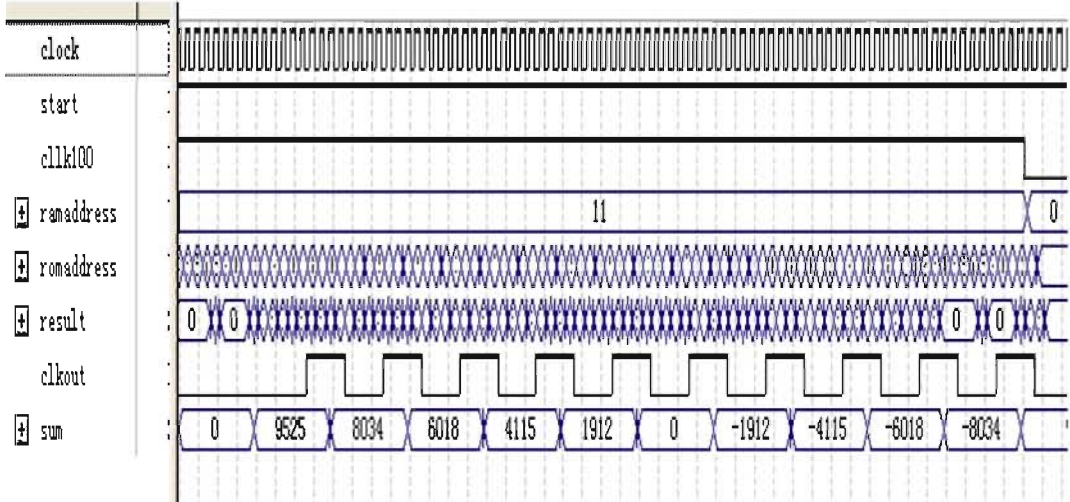


图 4.11 正弦内插算法仿真图

图 4.11 给出了输入信号为正弦波的一个正弦插值仿真波形图， $x(11)$ 表示输入的第 11 个数据，输入时钟设置为 100MHz，经过插值运算以后得到的 10 个输出结果为 sum 信号。从图中可以看出，输出 sum 信号中有信号正好过零点，并且在过零点时相邻 2 个点之间的差距较其他点大一些，可以分析出该函数在零点处的导数时最大的，这正好与正弦信号的特性相符合，从另一个侧面也说明了插值算法的有效性。

将所有输出序列按照时间顺序排列后发现其恰好为一正弦曲线。图 4.12 显示了没有插值的波形数据在 LCD 上的显示，图 4.13 显示了插值过后以矢量方式在 LCD 上的显示，从中可以发现，插值过后，波形变的平滑，也更加趋近于原输入的正弦波，很好的显示出了波形的细节。

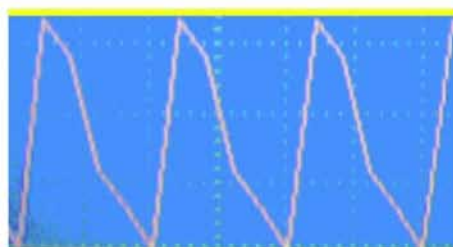


图 4.12 未插值的显示波形



图 4.13 正弦内插后的显示波

4.3 数字滤波器原理及设计

由于被测信号可能带有噪声，较低频率的可以直接通达输入通道进行波形采集，部分较高频率的噪声波被采集，产生“混叠频率”，因此，在数字存储示波器中，采用了数字滤波器进行了消弱或者滤除。与传统的模拟示波器相比，数字滤波器有着明显的优势。例如，模拟滤波器电路器件的公差很大，因此很难找到或不可能实现高阶滤波器。而在数字滤波器中，则很容易实现这些高阶滤波器。此外，模拟器件特性会随着时间或温度而变化，影响滤波器的响应特性，而数字滤波器就没有这样的问题。数字滤波器另外一个主要优势就是能够改变系数，重新编程。这大大简化了合适的滤波器的实现过程。

一般来说，数字滤波器可以分为两大类：FIR“有限冲激响应”和 IIR“无限冲激响

应”。FIR 滤波器在转函数中只有零点，没有极点，因此它一直处于稳定状态，不会振荡。所以，FIR 滤波器的冲激响应的长度有限。此外，可以使用准确的线性相位响应来指定 FIR 滤波器。IIR 滤波器在转函数中既有零点，又有极点，可能会不稳定。从理论上讲，其冲激响应会持续到无穷大，因此它采用反馈环路来实现。IIR 不能获得真正的线性相位。不过，它可以在感兴趣的区域内接近线性相位。表 4.2 将 FIR 和 IIR 滤波器作了一个比较，如下表所示，选择 FIR 滤波器才能满足系统要求。

表 4.2 FIR 滤波器和 IIR 滤波器的性能比较

FIR 滤波器	IIR 滤波器
有限长脉冲响应	无限长脉冲响应
无循环反馈	有循环反馈
常稳定	必须考虑稳定性
截止特性差，必须用高阶数	截止特性好
可以简单地获得直线相位特性	只能近似地获得直线相位特性
不必考虑量化误差地扩大	必须考虑量化误差地扩大

目前，FIR 的主要设计方法是建立在对理想滤波器频率特性作某种近似的基础上的，这些近似的方法有窗函数法、频率抽样法及最佳一致逼近法。其中窗函数法是一种基本设计方法，其设计方法较为成熟，有较多的窗函数可供选择，下面就简单介绍这样方法的基本思想。

低通数字滤波器在频域上的运算较为直观，如图 4.14 所示。

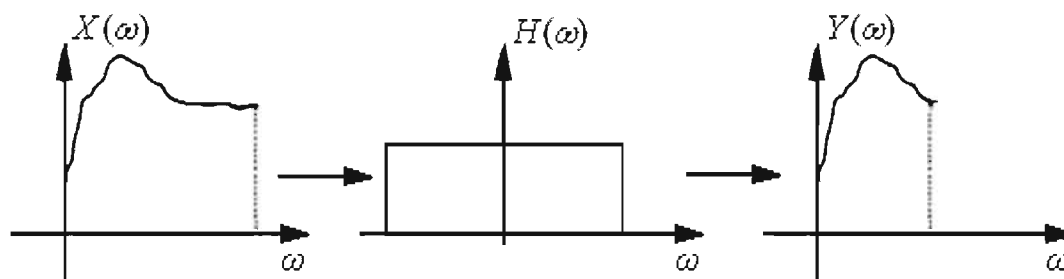


图 4.14 低通数字滤波器频域示意图

其中，输入信号为 $X(\omega)$ ，输出信号为 $Y(\omega)$ ，低通滤波器为 $H(\omega)$ ，它们之间的关系是：

$$Y(\omega) = H(\omega)X(\omega) \quad (4-7)$$

而窗函数是时域上设计的，数字滤波器在时域上的输入和输出信号的数学关系是卷积：

$$y(n) = h_d(n) * x(n) \quad (4-8)$$

其中 $h_d(n)$ 的表达式是由 $H(\omega)$ 进行傅立叶逆变换得到的：

$$h_d(n) = \frac{1}{2\pi} \int_{-\infty}^{\infty} H(\omega)e^{jn\omega} d\omega = \frac{1}{2\pi} \int_{-\omega_c}^{\omega_c} e^{jn\omega} d\omega = \frac{\omega_c}{\pi} \text{Sa}\left(\frac{\omega_c}{\pi} n\right) \quad (4-9)$$

因此在窗函数设计法中，由于该滤波器的时间响应函数 $h_d(n)$ 是无限长，不能用 FIR 滤波器实现，所以要截取 $h_d(n)$ 幅度较大的部分，舍弃 $h_d(n)$ 幅度较小部分来近似表示。截取的方法是选用某一种窗函数和 $h_d(n)$ 在时域上进行乘积，也即在频域上的卷积，比如加矩形窗实际上就是直接截取 $h_d(n)$ ，通过一定宽度的矩形窗口把“能看到”的序列截取出来，矩形窗的作用只是截取，没有修正原有的序列的作用，而加海明窗则不同，它将原有的序列作了一定的修正，目的是得到更好的频率响应曲线。由于加窗截短了时域上的 $h_d(n)$ 函数，会在频域看到滤波器偏离了理想的频率响应，图 4.15 表示了不同宽度对频响的影响，图 4.16 表示了不同窗函数对频响的影响。

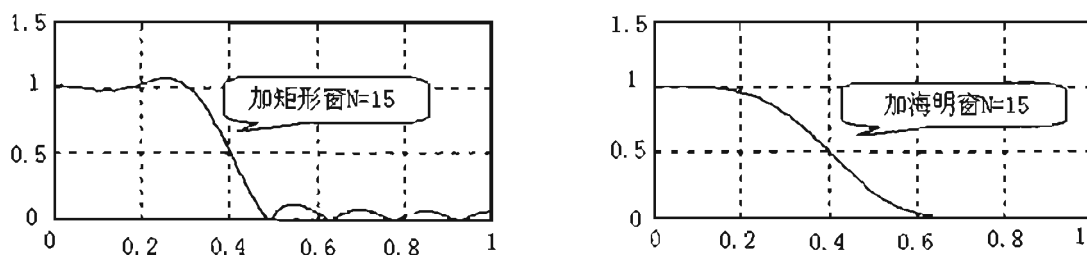


图 4.15 不同的宽度对频率响应的影响

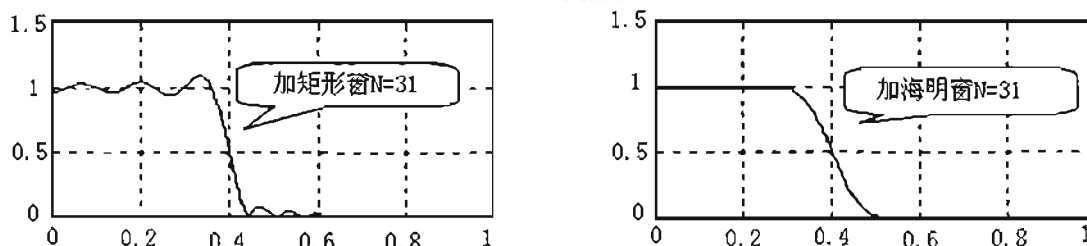


图 4.16 不同的窗函数对频率响应的影响

由图 4-11 可以看出，窗函数的形状和宽度对滤波器的性能影响十分关键。由此，可以得到基于窗函数的 FIR 滤波器的设计步骤：

- (1) 给定所要求的频率响应函数 $H_d(\omega)$
- (2) 对 $H_d(\omega)$ 进行傅立叶逆变换得到滤波器的 $h_d(n)$
- (3) 由过渡带和阻带的最小衰减要求，确定窗函数的形状和宽度 N
- (4) 加窗处理得到实际滤波器的时域响应
- (5) 检验滤波器性能

4.4 低通数字滤波器实现

在高速数字存储示波器中，设计了采样频率为 1GHz 的低通数字滤波器。当采样频率线性下降是，低通数字滤波器的截止频率也会随着线性下降。数字滤波器的这样自我调节特性也简化了示波器的设计。

信号 $X(n)$ 通过长为 N 的 FIR 低通数字滤波器 $h(n)$ 后的输出 $y(n)$ 表达式为：

$$y(n) = h(n) * x(n) = h(0)x(n) + h(1)x(n-1) + \dots + h(n-1)x(n-N+1) \quad (4-10)$$

为了保证滤波器通带内的输出信号形状保持不变,要求滤波器的频率响应在通带内的幅频特性接近 1,而相频特性具有线性频率相位,可以证明,当 FIR 数字滤波器的系统函数 $h(n)$ 满足下列条件,就能满足上述的条件,保持信号形状。

$$h(n) = h(N-1-n) \quad \text{偶对称, 或者 } h(n) = -h(N-1-n) \quad \text{奇对称}$$

根据本系统的要求,选用 31 阶海明窗的 FIR 滤波器,系统结构如图 4.17:

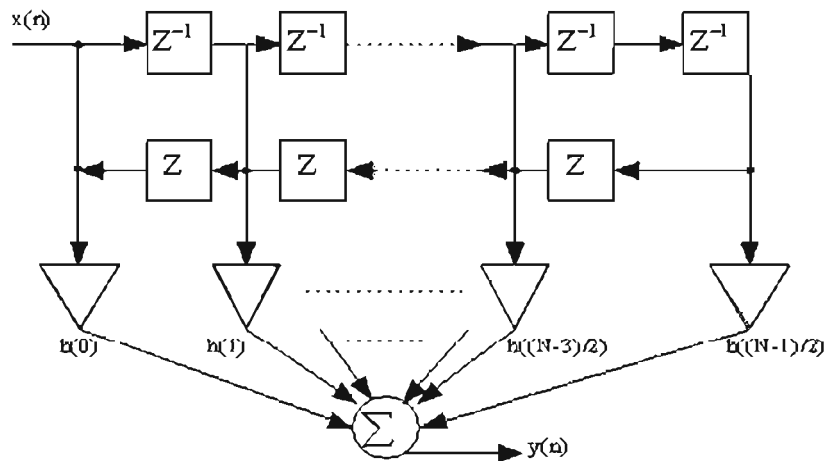


图 4.17 FIR 滤波器系统结构 (N=31)

利用 Matlab 可以计算出 31 阶海明 FIR 滤波器的时间响应系数,这里的采样频率都设置为 1GHz,截止频率分别是 250MHz, 100MHz, 如表 4.3,表 4.4 所示。

表 4.3 截止频率 250MHz 时, $h(n)$ 系数表 (N=31)

-0.0017	0.0000	0.0029	0.0000	-0.0067	0.0000
0.0141	0.0000	-0.0268	0.0000	0.0491	0.0000
-0.0969	0.0000	0.3156	0.5008	0.3156	0.0000
-0.0969	0.0000	-0.0491	0.0000	-0.0268	0.0000
0.0141	0.0000	-0.0067	0.0000	0.0029	0.0000
-0.0017					

表 4.4 截止频率 100MHz 时, $h(n)$ 系数表 (N=31)

0.0000	0.0012	0.0028	0.0042	0.0039	0.0000
-0.0083	-0.0186	-0.0254	-0.0212	0.0000	0.0396
0.0919	0.1451	0.1849	0.1997	0.1849	0.1451
0.0919	0.0396	0.0000	-0.0212	-0.0254	-0.0186
-0.0083	0.0000	0.0039	0.0042	0.0028	0.0012
0.0000					

在本系统中,由于对 FIR 的运算速度的要求并不是很高,因而设置在后端的 ARM9 内进行,而 ARM9 中高达 203MHz 的时钟也使得计算一个满屏幕的时间在几十到几百

us 量级，对于刷新频率 30Hz 左右的显示屏来说完全是足够的，而且 ARM 内 32 位的计算精度也使得这些浮点运算可以很方便的转化乘定点运算，这又加快了运算的速度。图 4.18，图 4.19 是截止频率为 250MHz 的滤波器的幅频响应和相频响应，图 4.20，图 4.21 是截止频率为 100MHz 的滤波器的幅频响应和相频响应。

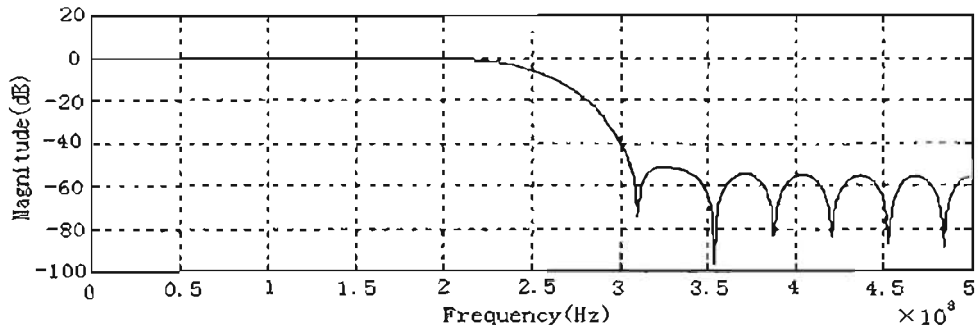


图 4.18 采样频率 1GHz，截止频率 250MHz 幅频响应

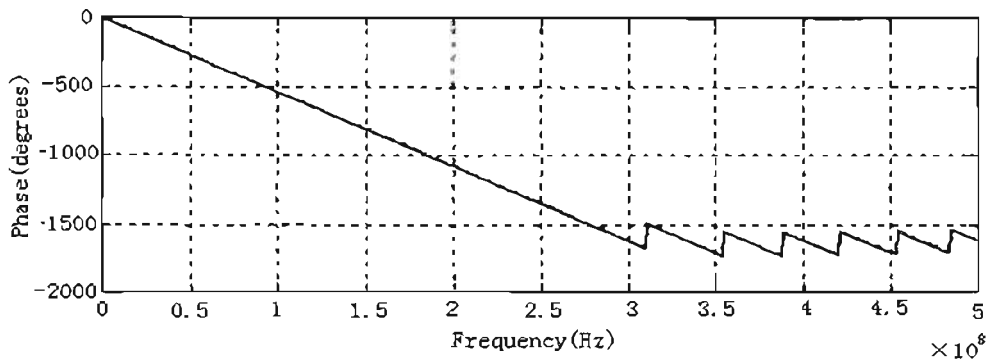


图 4.19 采样频率 1GHz，截止频率 250MHz 相频响应

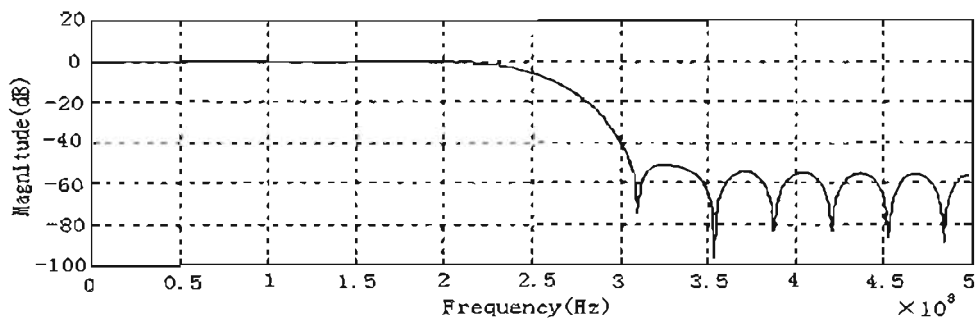


图 4.20 采样频率 1GHz，截止频率 250MHz 幅频响应

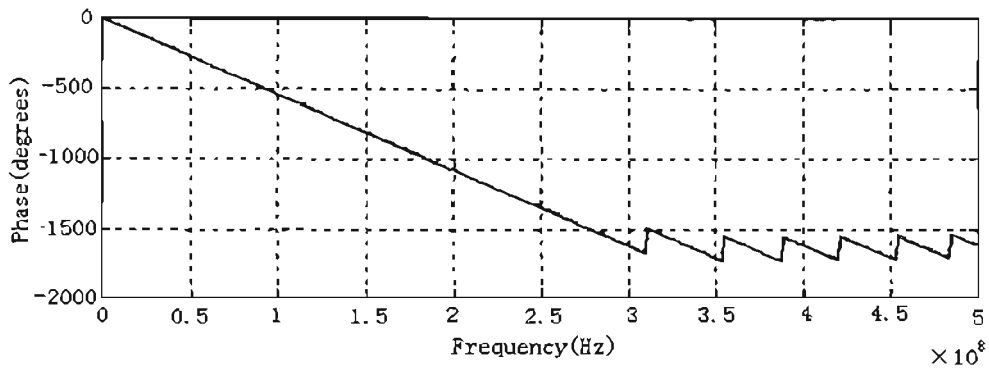


图 4.21 采样频率 1GHz, 截止频率 250MHz 相频响应

再采用频率为 40MHz, 幅度为 4 的正弦波, 叠加幅度为 0.2 白噪声作为原始信号, 分别通过截止频率是 250MHz 和 100MHz 的数字滤波器, 效果如图 4.22, 图 4.23, 图 4.24 所示。

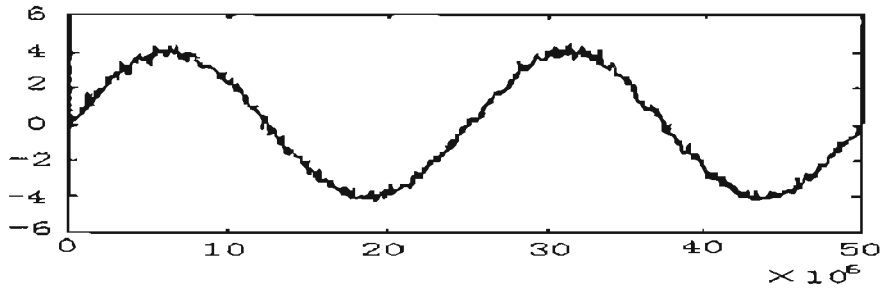


图 4.22 原始输入信号

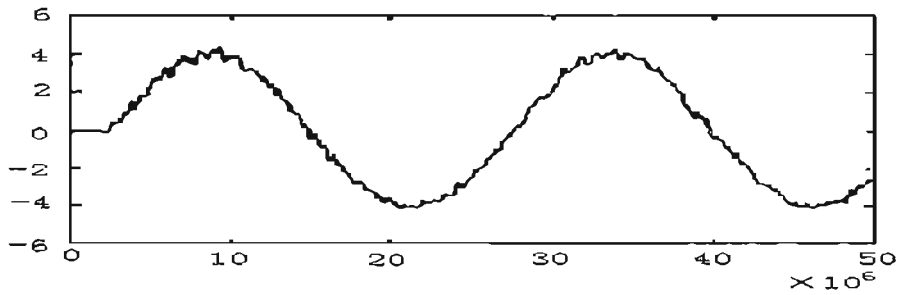


图 4.23 截止频率 250MHz 效果图

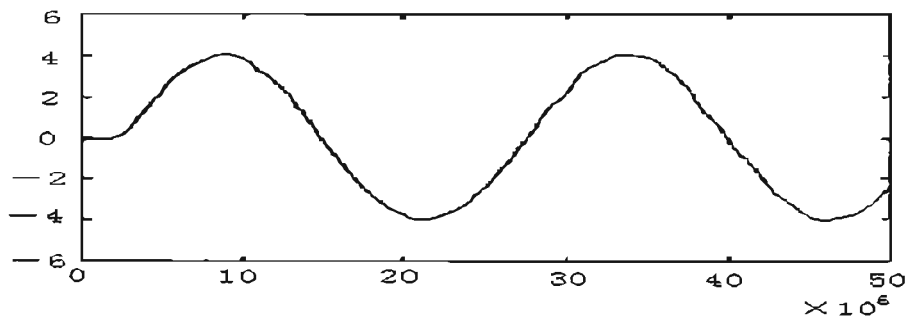


图 4.24 截止频率 100MHz 效果图

4.5 FFT 基本原理及实现

为了让数字存储示波器在分析测试电路时更加快捷方便, 不仅能在时域上要求重现波形, 而且要求在频域上准确测量输入信号的频谱, 显示频域谱线, 实现快速的谐波分析和其他频域的测量, 因此这就需要数字存储示波器具有快速傅立叶变化 (FFT) 的分析功能。

FFT 算法是快速计算 DFT 的一种算法。对于一个长度为 N 点的有限长序列, DFT 的定义为:

$$X(k) = \sum_{n=0}^{N-1} x(n)W_N^{nk} = \sum_{n=0}^{N-1} x(n)\left(\cos \frac{2\pi}{N}nk - j \sin \frac{2\pi}{N}nk\right) \quad (0 \leq k \leq N-1) \quad (4-11)$$

通常, 所遇到的序列都是实序列, 因此

$$X(k) = \sum_{n=0}^{N-1} x(n) \cos \frac{2\pi}{N}nk - j \sum_{n=0}^{N-1} x(n) \sin \frac{2\pi}{N}nk = U(k) - jV(k) \quad (0 \leq k \leq N-1) \quad (4-12)$$

$$\text{式中, } U(k) = \sum_{n=0}^{N-1} x(n) \cos \frac{2\pi}{N}nk \quad (0 \leq k \leq N-1) \quad (4-13)$$

$$V(k) = \sum_{n=0}^{N-1} x(n) \sin \frac{2\pi}{N}nk \quad (0 \leq k \leq N-1) \quad (4-14)$$

这时, $X(k)$ 的模数和幅角分别为:

$$A(k) = |X(k)| = \sqrt{U^2(k) + V^2(k)} \quad (0 \leq k \leq N-1) \quad (4-15)$$

$$\beta(k) = \text{Arg}[X(k)] = \begin{cases} -\arctan \frac{V(k)}{U(k)} & (U(k) \geq 0) \\ \pi - \arctan \frac{V(k)}{U(k)} & (U(k) < 0) \end{cases} \quad (0 \leq k \leq N-1) \quad (4-16)$$

由式 4.6 可证明, 不考虑正弦和余弦的计算以及最后计算模数的计算量, 则直接计算 N 点 DFT 所需要的复数乘法 M_c 和复数加法次数 A_c 分别是:

$$M_c = N^2 \quad (4-17)$$

$$A_c = N(N-1) \approx N^2 \quad (4-18)$$

当 $x(n)$ 是实序列, 而仅仅 W_N^{nk} 是复数, 因此上述复数乘法实际上是实数和复数的乘法。这样的一次复数乘法相当与两次实数的乘法。因此, 所需要的实数乘法次数为:

$$M_r = 2N^2 \quad (4-19)$$

由于一次复数加法相当与两次实数相加，因此所需要的实数加法次数为

$$A_r = 2N(N-1) \approx 2N^2 \quad (4-20)$$

可以证明，当 $x(n)$ 是复数序列的时候，所需要的乘法和加法次数更多，由此可见，无论是复数次数还是实数运算次数都表明，直接计算 DFT 的运算量和 N^2 成正比，当 N 较大的情况下(如 $N=1024$)运算量将非常大，运算时间也变的很长。

利用序列的周期性特性可以大大降低运算量，这就是快速傅立叶变换 (FFT)。根据蝶式运算定理，设 $X(k) = DFT[x(n)]$, $0 \leq n, k \leq N-1$, N 为偶数, $x_0(i) = x(2i)$, $x_1(i) = x(2i+1)$, $0 \leq i \leq N/2-1$, 若 $X_0(k) = DFT[x_0(i)]$, $X_1(k) = DFT[x_1(i)]$, $0 \leq k \leq N/2-1$, 则:

$$\begin{cases} X(k) = X_0(k) + X_1(k)W_N^k \\ X(k + \frac{N}{2}) = X_0(k) - X_1(k)W_N^k \end{cases} \quad (0 \leq k \leq \frac{N}{2}-1) \quad (4-21)$$

基 2 时分 FFT 就是利用这个周期性，将 N 点 $x(n)$ 分解成奇数序列和偶数序列，然后分别变换成两个 $N/2$ 点的 DFT。同理可以对 $x(n)$ 进行继续分解，一次类推经过 $M-1$ 次分解，最后将 N 点 DFT 分解成 $N/2$ 个 2 点的 DFT。图 4.17 给出了基 2 时分 FFT 算法的程序框图。

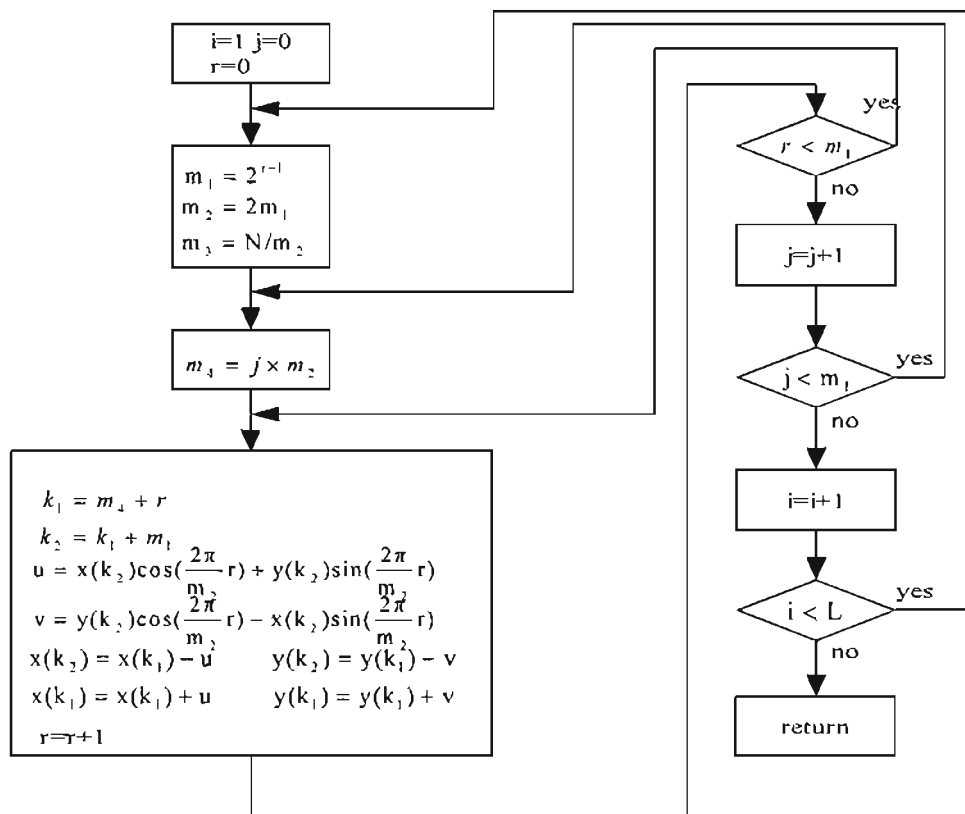


图 4.26 基 2 时分 FFT 程序框图

这里还要注意的一个问题是，虽然输入序列 $x(n)$ 都是按照自然顺序排列的，但是，如果应用基 2 时分 FFT 算法作 DFT 计算，则必须将 $x(n)$ 一次作偶奇分解，并不断的重新排列，因此，在作 FFT 运算之前，必须先对 $x(n)$ 进行一次排列，称之为逆序排列。在逆序排列的过程也是有规律可寻的，一些基本的方法运算量大运算速度也慢，这里使用了一种推移法，这种方法是由 n 的逆序数 $p(n)$ 计算出 $n+1$ 的逆序数 $p(n+1)$ ，然后以此类推，得到逆序的排列。大大提高了运算的速率。

和前面的数字滤波器相同，本系统中，FFT 的运算也是在后端的 ARM9 中进行的，当输入的序列数 N 比较大时，FFT 的运算量相应也增加，运算的时间也相应增多，FFT 的运算时间有可能大于后端显示屏的刷新时间，造成不能实时显示频谱线，因此，如何在 ARM 内提高 FFT 的运算速度是本设计中最关键的部分。

这里用了两种方法提高了 FFT 的运算速度：

(1) 由于在 FFT 计算中，余弦或正弦函数值的计算需要大量的运算时间，可是，经过研究发现，在运算过程中，只出现了有限个重复的余弦或正弦计算，因此在程序运行之前，可以将这些余弦和正弦的函数值预先计算出来，创建一个查找表，在遇到相应的函数时，直接调用查找表函数即可。

(2) 此外，由于 FFT 的运算是浮点运算，ARM 处理器本身不支持浮点运算，所有的浮点运算都是在一个特殊的浮点模拟器中进行的，而且速度很慢，经常需要进行数千个时钟才能完成浮点函数的计算，因此，使用定点格式来代替浮点格式是一个很好的解决方法，在具体的处理时，先将二进制的小数向左移动若干位，计算出结果以后再讲结果向右移动相同的位数即可。

此外，在程序编写的过程中，使用了原位运算，任一蝶式运算的输入数据和输出数据都存放在存储器中相同的位置，即从某两个地址取数据作蝶式运算，则运算结果仍然存放在这两个地址（实数地址+复数地址），显然，原位运算节省了 ARM 的存储单元。

利用上述方法，大大提高了 FFT 的运算速的，本系统中，当 ARM9 的主频时钟在 96MHz 时，计算一次 1024 点 FFT 的时间从原先的 200ms 提高到 16ms，大大提高了计算的速的，同时也小于后端显示屏的刷新频率 30ms，满足了系统性能的要求。

图 4.27 是正弦波时域信号及经过 1024 点 FFT 变换后的频谱，从图中可以看出，频谱是几乎一条直线，符合理论计算的结果。

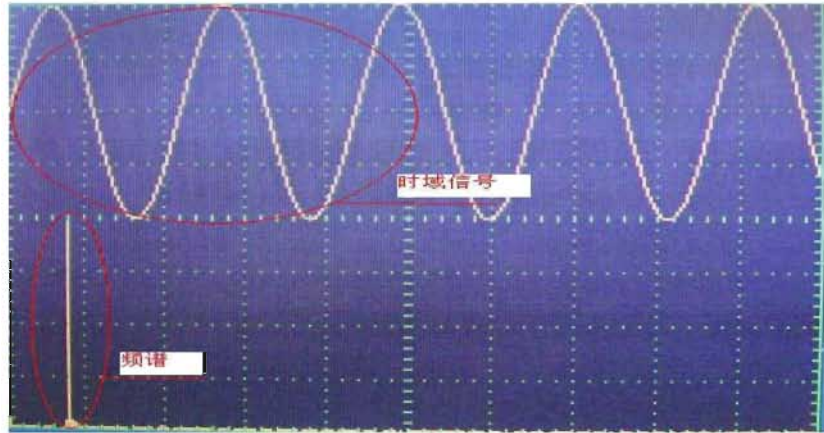


图 4.27 正弦波信号及经过 1024 点 FFT 变换后的频谱

值得注意的是，频谱除了在中心频率点上的一条直线外，在其两旁也有一些幅度很小的边频，这是因为 1024 点没有满足正弦信号周期整数倍的要求，再作 FFT 变换时，造成了中心频率能量的泄漏，要去除这些边频信号，可以在采样得到的 1024 点上加上某些窗函数，使得 1024 点的采样信号满足整周期的特性。

第五章 GPIB 接口逻辑功能模块

5.1 GPIB 总线结构

现代仪器设备种类繁多，功能各异、独立性强，一个系统经常需要多台不同类型的仪器一起协同工作，通过网络连接起来组成一个由计算机控制的智能系统，而一般的并行、串行通讯接口难于满足要求，当前国际通行的智能仪器接口标准大多采用 GPIB 接口^[15,38]。

数字存储示波器具有 GPIB 接口，不仅可以使示波器工作在本地状态，还能使之工作在远地状态，使计算机等的控者来完成对它的远程测量操控。GPIB 最重要的特点就是一个接口可连接 15 个或者更多的设备和它们进行通讯。讲 GPIB 接口和一般接口系统的结构进行对比，一般接口系统是一点对一点传送，而 GPIB 接口则是一点对 N 点传送。

GPIB 是一种数字化的 24 脚并行总线，它包括 8 条数据线，5 条控制线 (ATN, EOI, IFC, REN, SRQ)，3 条握手线 (DAV, NRFD, NDAC) 和 8 条地址线。GPIB 使用并行 8 位并列，字节串行，异步通讯方式^[30,31]。也就是说，所有字节都是通过总线顺序传送，传送的速度由最慢部分决定。由于 GPIB 的数据单位是 8 位 (一个字节)，数据一般以 ASCII 码字符串方式传送。GPIB 有一个控者来控制总线。在总线上传送仪器命令和数据，控者寻址一个讲者，一个或者多个听者。数据串在总线上从讲者向听者传送。

GPIB 接口的 16 根信号线分成三组，如图 5.1 所示，各有不同的功能：

1、数据母线

八位数据 IO 线上传递两种不同的信息，命令模式和数据模式。数据模式包括传递数据字节，状态字节，程控命令等。命令模式传送以控制接口功能的专用母线命令，讲地址，听地址，副地址等。

2、数据字节传输控制母线

为保证准确无误地在数据母线上传输数据，发送数据的源方必须在接收数据的受方已经准备好接收数据的情况下才能将数据放置于数据母线并宣布数据有效，而受方只有获知数据有效时才能接收数据。数据一经接收完毕，就应立即告知源方，数据已经接收完。源方得知受方已收到数据后就撤消源数据。为此，设置了三条专线，由源功能和受功能分别控制，以管理数据的传输。设置源功能、受功能和三条专线来管理数据传输的方法就是三线挂钩技术。这三条线是：

1)数据有效线，即 DAV 线。这条线由发送数据的源方的源功能控制使用，当 DAV 线处于低电平时，表示数据母线(DIO)上载有的数据有效，受方可以接收。当 DAV 线处

于高电平时，表示数据母线上没有数据，或者即使有数据，也无效，受方不应接收。

2)未准备好接收数据线，即 NRFD 线。这条线由接收数据装置中的受功能使用，表示受方接收数据的准备情况。当 NRFD 线处于低电位时，表示所有受方中至少有一个受方未准备好接收数据，通知源方暂不能发数据，并令数据无效。当 NRFD 线处于高电位时，表示所有受方均已准备好接收数据，通知源方可以发数据有效。

3)数据未接收线，即 NDAC 线。这条线由接收数据的装置中的受功能使用，表示系统中的各受方接收数据的情况。当 NDAC 线处于低电位时，表示各受方中至少有一个尚未接收完数据；当 NDAC 处于高电位时，表示各受方均已接收完数据。

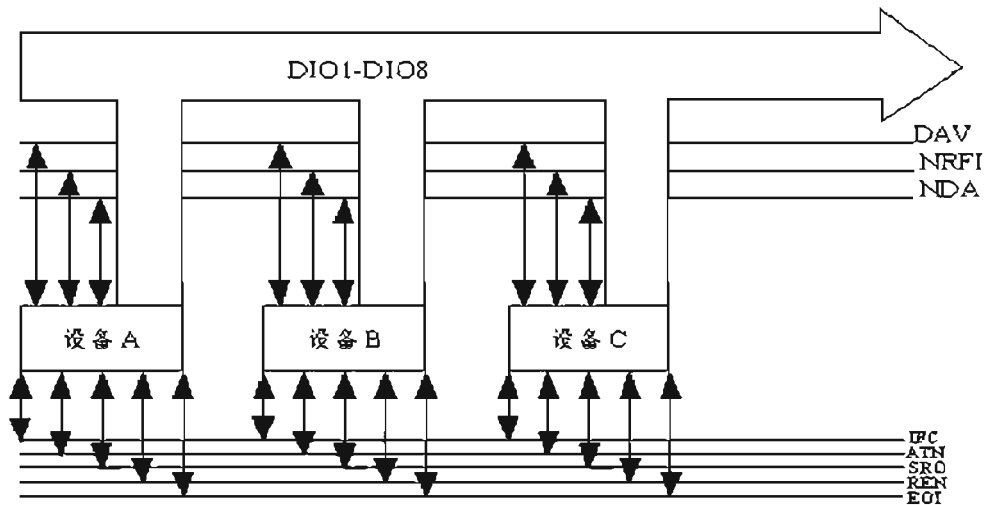


图 5.1 GPIB 母线名称及其连接框图

3、通用接口管理母线

1)注意线，即ATN线。这条线主要由控者控制使用，用于发送ATN消息。接于接口系统的各台装置根据ATN线的电位高低即可判断数据母线上的消息的类型。当ATN=1时，表示在DIO线上所载的消息是控者发布的远地接口消息，其他所有设备都不能向总线上发送消息。当ATN=0时，表示DIO线上载有的是装置消息，这些消息由作为讲者的装置通过其讲功能和源功能发送。

2)接口清除线，即IFC线。该线由控者使用，用以发送IFC消息，使各装置中的有关接口功能置于已知的初始状态。当IFC=1时，表示控者发送IFC消息为真，各装置的有关接口功能回到初始状态。当IFC=0时，表示控者发IFC消息为假，各装置的接口功能不受其影响。

3)远控使能线，即REN线。一台程控装置可以接入系统工作，也可以不接入系统而单独使用。当装置被当作一台普通仪器单独使用时，其REN线浮于一个高电位。当装置进入测试系统时，REN线由控者控制。当REN=1时，控者只要给某台仪器发送讲地址，该装置将进入远控状态。整个系统正常运行过程中REN线要一直保持为低电位。

4)服务请求线,即SRQ线。这条线为设有服务请求功能的那些装置所共同使用。当SRQ=1时,表明系统中至少有一台装置请求服务,请求控者查询处理。当SRQ=0时,表明系统中各个装置工作正常。

5)结束或识别线,即EOI线该线有两种用途:由讲者使用,当讲者发送装置消息完毕后,发END消息(EOI=1),通知控者数据已经传输结束。由于此时发送的为装置消息,所以ATN=0。由控者使用,当控者进行并行点名时,先发各种为并行点名的准备消息,然后发IDY=1消息(即ATN=1,EOI=1),发起并行点名。

5.2 GPIB 通用芯片的结构

GPIB通用接口芯片是自动测试系统中的核心芯片,目前国外有TI、NI、NEC等三家公司生产基于IEEE-488协议的GPIB芯片,国内还没有生产此类芯片的厂家。由于芯片生产的垄断性,使得GPIB接口芯片的价格居高不下,而在数字存储示波器中,并不是所有GPIB接口功能都需要使用,而只需使用其中有限几种功能,因此,因此没有必要使用功能完整的专用芯片。由于FPGA在本系统中仍然有多余的I/O引脚,因此考虑使用FPGA实现协议完成专用芯片的部分功能^[16]。

图5.2是某款GPIB接口芯片的内部功能块图,芯片内部结构由存储单元、状态机、数据通道等组成。在GPIB控制芯片中,若干读写寄存器组成存储单元,状态机由10个接口功能的子状态机构成,数据通道分为和微处理器通信的数据总线以及和程控仪器通信的数据母线。

该芯片由寄存器地址译码模块,寄存器读写模块,多线消息译码模块,辅助命令译码模块以及逻辑功能控制模块,中断状态寄存器等组成。

芯片内部体系结构有13个寄存器,其中7个为可写寄存器,6个可读寄存器。微处理器提供正确的寄存器地址,连同WE#和DBIN一起便可访问控制芯片的某一寄存器。寄存器地址译码采用3条寄存器选择线,并配合DBIN以及WE#确定相应寄存器地址。

芯片与微处理器通信是依靠8位双向数据总线,由于寄存器地址译码模块选中相应的寄存器单元,因而寄存器读写模块设计主要考虑如何实现数据的双向通信,即如何把CPU内容通过数据总线写入到相应寄存器单元,或者是把数据从相应单元读入到CPU中。多线消息是互相独立的编码但又公用一组信号线。在母线上,每一时刻只能传送一条多线消息(一个消息BYTE),多线接口消息在多线消息译码单元内进行译码。消息译码单元仅在命令工作方式(ATN=真)期间起作用,因为只有在ATN=真时,数据母线上才有多线接口消息。这样的接口消息可以是地址、通令、专令或副令之一。在数据工作方式(ATN=假)中,数据线上携带器件消息,这时消息译码单元不起作用。此外多线消息译码模块还结合了地址比较器,以获得MLA,MTA,OTA等消息。

辅助命令译码模块是把辅助命令寄存器的低5位译码输出,起到控制片内若干附加的能力,并提供一种手段把某些本地消息输入到接口功能中去。此模块设计方法基本上和多线消息译码相同,但值得注意的是该辅助命令译码模块的输出值一些为电平方式,另一些则为脉冲方式。

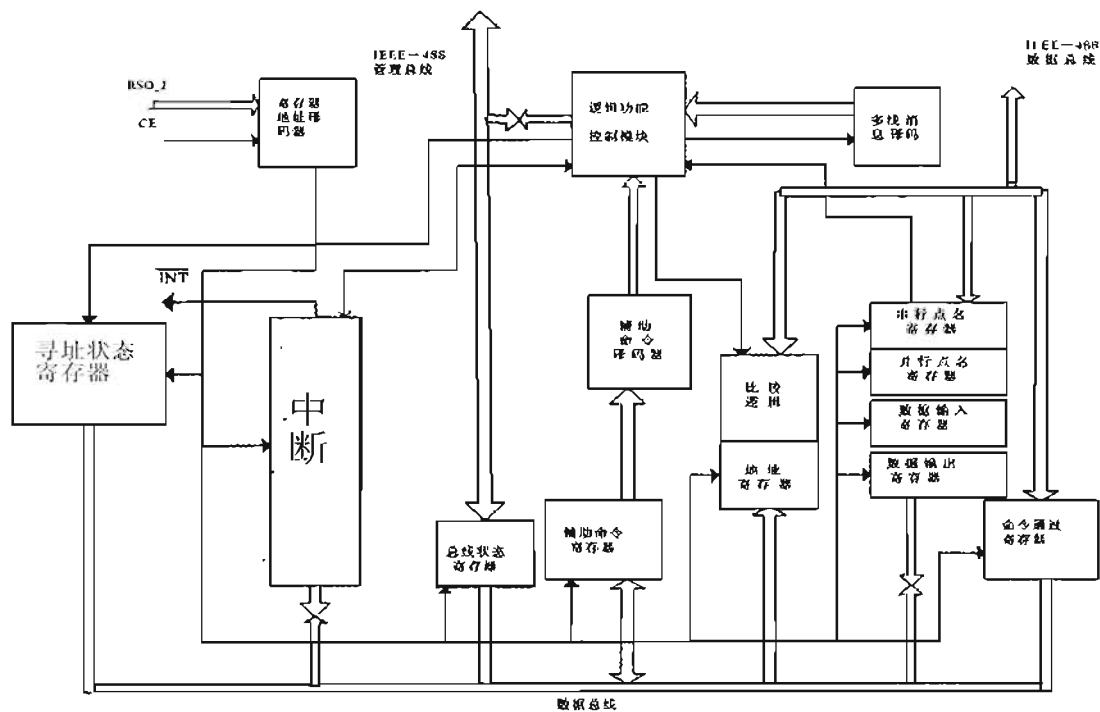


图 5.2 GPIB 接口内部框图

5.3 GPIB 控制器中若干接口功能模块设计

接口功能的设计是逻辑功能模块设计的核心。按照 IEEE488.1 协议与实际设计的要求,设计选取了八种接口功能:源方挂钩、受方挂钩、讲者、听者、服务请求、远控/本控、器件清除和器件触发。其中源方挂钩接口功能保证多项消息的正确传输;受方挂钩接口功能保证正确地接受远地消息;讲者接口功能让器件在接口上把数据发送到其他一些器件去;听者接口功能让器件在接口上接受来自于其他器件的数据;本控就是本地控制(面板或后背板)。这里除去了控者(c)功能,因为在数字存储示波器在自动测量系统中总是作为一个受控者的身份存在,由其他控者来施行远程的控制。

8 个接口功能划分为若干相关状态,这样在用 VHDL 实现这些相互作用影响的状态跃迁的时候就可以引入状态机设计。为了保持状态机之间相互的状态挂钩的协调一致性,设计采用同步状态机,在时钟信号的触发下,完成各个状态之间的转移。在对各个

接口功能设计时,主要是分析出相应的接口功能的状态图,以及各状态之间转换的状态表语,利用 VHDL 完成对状态机的描述, 并进行编译和功能仿真,生成便于互连的各个接口功能逻辑单元模块, 然后将各个模块连接起来组成系统的接口主状态机模块。其中状态机子集模块所需的信号一些来自状态交连, 另外一些则来自其他模块所产生的信号。

由于每种接口功能的设计和实现方法都类似, 因此这里只给出了 L 功能, T 功能, AH 功能和 SH 功能, 其他接口功能同理可得。

(1) L功能

听功能 (L) 赋予装置的能力是从接口母线上接收来自其他装置的装置消息, 所以凡是需要接收装置消息的装置都应设置为听功能。对于听功能规定了三种处理消息的能力, 或者说三种工作模式。一种是只听模式, 当听功能处于只听模式时, 可以接于自动测试系统工作, 也可以作为普通仪器来使用。另一种是基本听模式。这种工作模式由控者发听地址的方法来设置。在系统中工作的装置都能够接收控者的控制, 控者可以根据需要令其为听者, 但其听功能必须具有随时接受听寻址的能力。另外, 一台装置内可以设置为听功能和讲功能, 但这两种功能不能同时起作用, 不能既讲数据, 又听数据。所以若装置原来为听者, 接收到讲寻址后, 将自动解除其听功能。

听功能设置三个状态:听者空闲状态 LIDS、听者寻址状态 LADS 和听者作用状态 LACS。图 5.3 为其功能状态图, 其中 \vee 表示逻辑“或”, \wedge 表示逻辑“与”, 这里不设计控者的状态变迁, 因此从 LIDS 变迁到 LADS 的条件有两项:

1) lon

本地只听 lon,由面板上的只听开关产生。lon=1, L 功能便从 LIDS 变迁到 LADS, 准备接收装置消息。

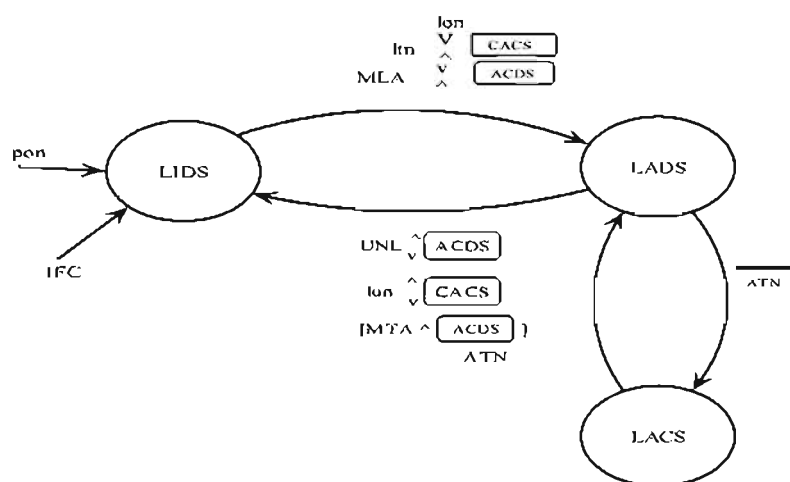


图 5.3 L 功能状态图

2) MLA \wedge $\overline{\text{ACDS}}$

MLA由控者发出。接收到MLA消息，就是控者对该装置进行听寻址，使其成为听者。因MLA为多线消息，故该装置内的AH功能必须处于ACDS。

对L功能VHDL程序编译仿真，图5.4为L功能仿真图。

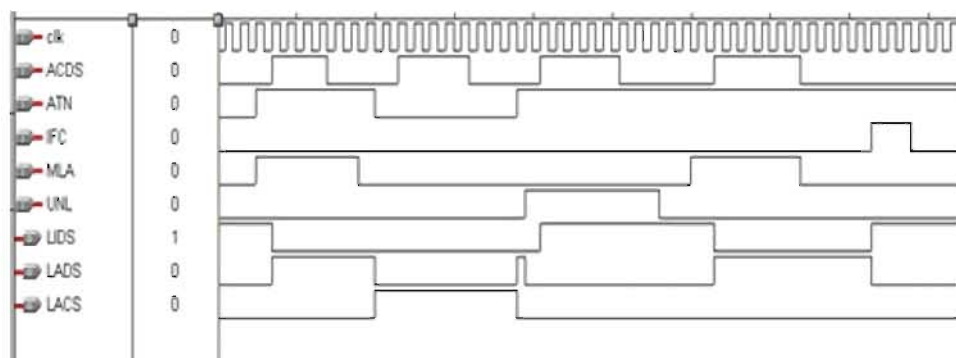


图 5.4 L 功能仿真图

(2) T功能

讲功能(T)赋予装置的能力是，将其装置消息通过接口发送给系统中其他的装置。装置消息应该包括测试数据、程控命令DAB或字行结束EOS、混合状态字节STB和RQS，以及标志DAB结束的单线消息END。T功能有四种能力，或四种工作模式：基本讲、只讲、若MLA则不被寻址、串行点名能力。T功能状态如图5.5。

首先分析TIDS、TADS、TACS三个状态。这三个状态的作用是向母线系统发送多线消息DAB、EOS或单线消息END。

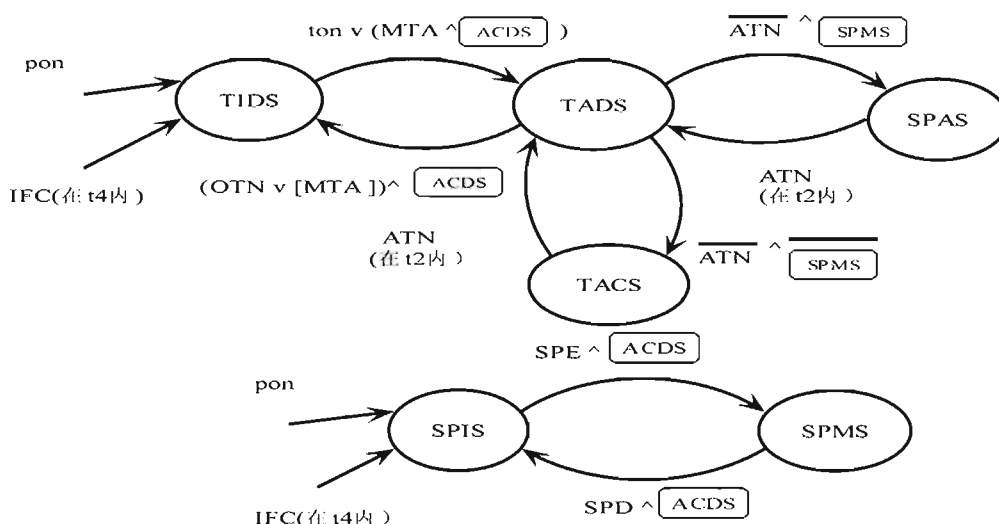


图 5.5 T 功能状态图

接通电源(pon消息)，或在IFC状态下，T功能处于空闲状态TIDS；当接通只讲开关(ton=1)，或收到自己的讲地址MTA，则由TIDS变迁到TADS；当控者令ATN=0时(暂不考虑SPMS)，表示控者开始让讲者和听者开始对话，所以T功能立即从TADS变迁到TACS。

在进入TACS状态后，T功能开始发送装置消息，发送完后发END消息；控者接收到END消息后，令ATN=1, T功能开始停止发送，返回到TADS状态；在TADS状态下，若控者发送了该装置的听地址，将自动解除该装置的T功能，并回到初始状态TIDS；或者控者发送了其他装置的讲地址，本装置的T功能也将自动解除。

SPIS ,SPMS ,SPAS 这三个状态为串行点名而设置。其中 SPIS,SPMS 用于接受控者发起的串行点名，SPAS 用于向控者发送混合状态字节。

电源接通(pon)后，或在 IFC 作用下，处于 SPIS；当控者发出 SPE 通令后，SPIS 将变迁到 SPMS。由于 SPMS 交连于第一组状态图，所以当讲功能处于 TADS 之后且 ATN=0，将从 TADS 进入 SPAS，而不进入 TACS；在 SPAS 状态，T 功能发出 STB 和 RQS。

对 T 功能 VHDL 程序编译仿真：设备传递数据时，T 功能仿真图如图 5.6。

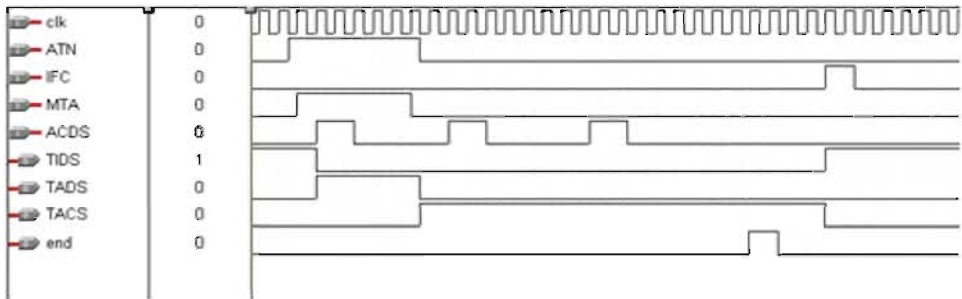


图 5.6 设备传递数据的 T 功能仿真图

串行点名时，T 功能仿真图如图 5.7。

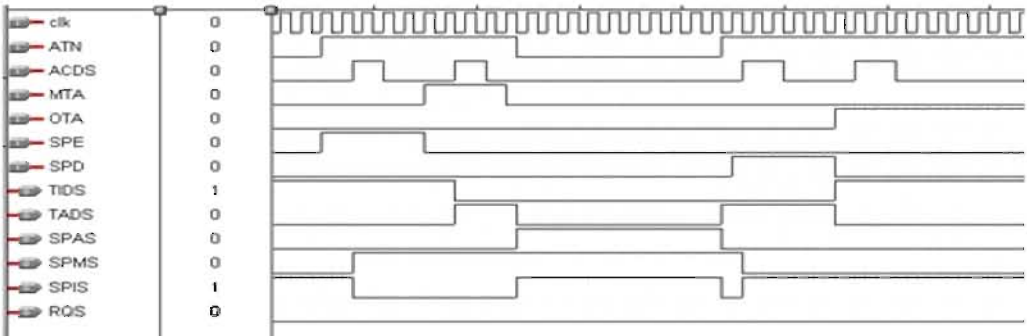


图 5.7 串行点名的 T 功能仿真图

(3) SH 功能

在发送多线消息的装置中必须设置源(SH)功能，以配合讲功能发送各种装置消息。源功能有 6 个状态，它只控制着 DAV 线。如图 5.8。

1)电源接通(pon)后，SH 功能处于空闲状态 SIDS，此时 SH 功能不参与挂钩本装置不应控制 DAV 线，即发送 DAV=0 消息。

2)在发生下列情况之一时，SH 功能将脱离 SIDS 而进入 SGNS 状态:

- ①装置的讲功能处于 TACS 状态，此时，装置要向总线发送装置消息。
- ②装置的讲功能处于 SPAS 状态，此时，装置要向总线发送工作状态字。
- ③该装置的控功能处于 CACS 状态，控者要向各个装置发送各种多线消息。在 SGNS 状态下，只是准备发送，但还没有将数据放到 DIO 线上，所以此时发送 DAV=0 消息。

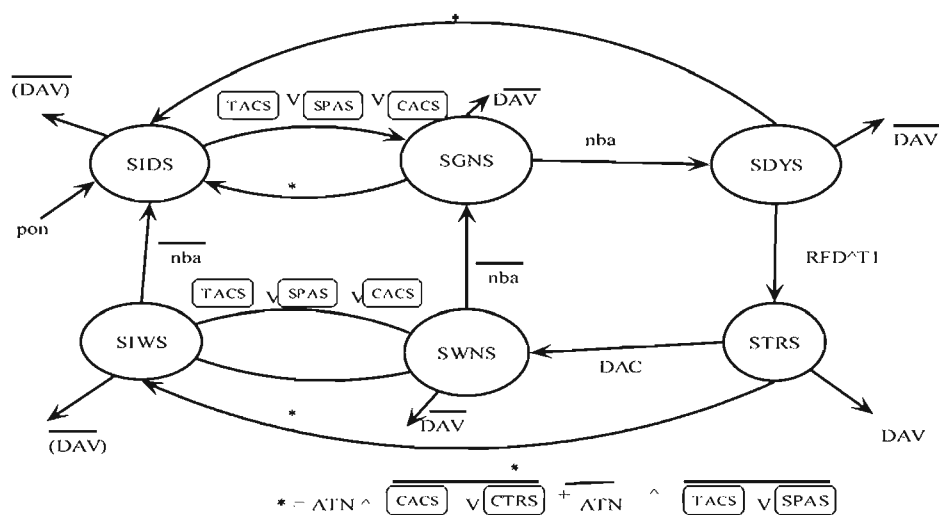


图 5.8 SH 功能状态图

3)一旦将数据置于 DIO 线上，将产生一个本地消息 nba，SH 功能从 SGNS 变迁到 SDYS 状态。在此状态下，首先让数据在 DIO 线上建立稳定，SH 功能检测受方是否准备就绪。

4)当数据在 DIO 线上建立稳定后，并且所有的设备都已经准备接受数据后(接收到 RFD 消息)，SH 从 SDYS 状态进入到 STRS 状态。在此状态下，SH 功能发送 DAV=1 消息，通知受者 DIO 线上的数据有效，各接收装置开始接收数据。

5)当所有装置接收完数据以后，SH 功能就收到 DAC 消息，于是从 STRS 变迁到 SWNS。在此状态下，SH 功能令 DAV=0，撤消 DIO 线上的数据。

6)当数据 DIO 线上撤消后，产生本地消息 nba, SH 功能将变迁到 SGNS。对 SH 功能 VHDL 程序编译仿真，仿真图如图 5.9。

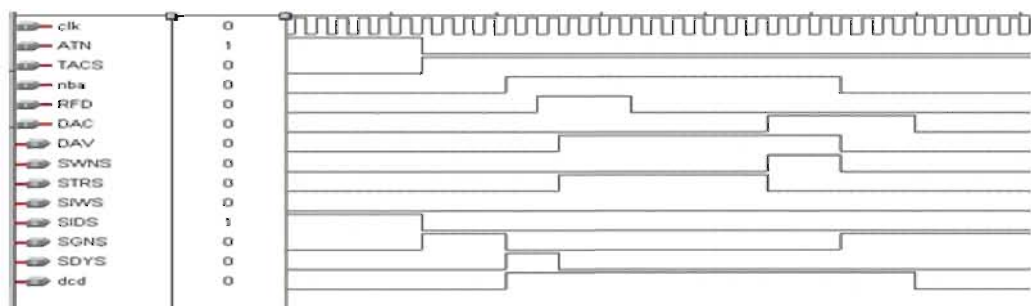


图 5.9 SH 功能仿真图

(4)AH 功能

受功能（AH）是在系统内工作的所有装置都必须具有的最基本的接口功能，它的能力是利用 NRFD 和 NDAC 线与讲者的 SH 功能进行挂钩，保证正确地接收装置消息，或与控者的 SH 功能进行挂钩，保证准确无误地接收接口消息。AH 功能主要由 5 个状态组成，如图 5.10。

1)在电源接通($pon=1$)，或者是控者没有在 CACS 状态，并且 L 功能即不处于 \overline{LACS} ，也不处 \overline{LADS} ，在上述任何一种情况下,AH 功能都将进入到受者空闲状态 AIDS。在此状态下，装置不能接收远地消息，所以发 $RFD=1, DAC=1$ 。

2)当控者进入到活动状态 CACS，发 $ATN=1$ 消息，或者装置的 L 功能处于 \overline{LACS} 或 \overline{LADS} ，表明装置要接收多线接口消息或者装置消息，所以 AH 将变迁到受者未准备好状态 ANRS。在此状态下，作为受方，装置功能仍然处于准备过程，则发 $RFD=0, DAC=0$ 。

3)在 ANRS 状态下，若 $ATN=1$ ，将直接进入受到受者已准备好状态 ACRS，表明准备接收接口消息:若 $ATN=0$ ，则当该装置准备好接收数据后，将产生一个本地消息 rdy，使 AH 从 ANRS 变迁到 ACRS，准备接收装置消息。此时 AH 功能发 $RFD=1$ 消息，通知源方准备接收数据。并检测 DIO 线上的数据是否有效，即是否有 $DAV=1$ 消息到达。

4)若接收到 $DAV=1$ 消息，AH 将从 ANRS 变迁到 ACDS 状态。此时装置开始通过其 AH 功能接收数据。

5)接收完数据后，AH 将变迁到 AWNS 状态，在此状态下，由于已经接收完数据，AH 功能发 $DAC=1$ 消息，同时发 $RFD=0$ 消息，向源方表明数据接收完毕。

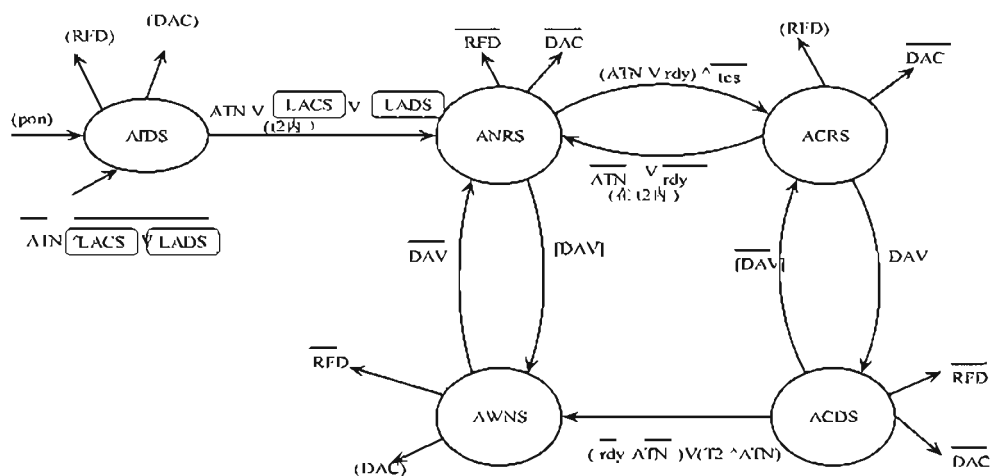


图 5.10 AH 功能状态图

6)在源方发现 $DAC=1$ 消息后，表明所有受者接收数据完毕，将撤消总线上的数据，令 $DAV=0$ 。受者接收到 $DAV=0$ 消息后，将变迁到 ANRS 状态，准备接收下一个字节。

对 AH 功能 VHDL 程序编译仿真，AH 功能仿真图如图 5.11。

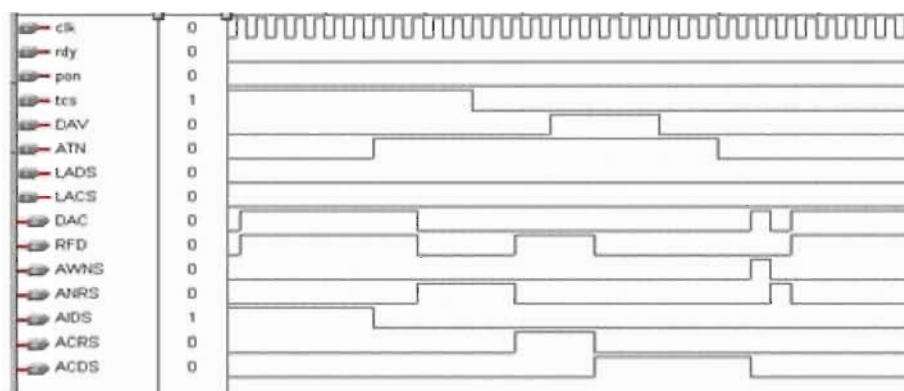


图 5.11 AH 功能仿真图

5.4 GPIB 控制器中逻辑功能模块设计

通过对各个接口功能的状态图进行分析,并根据各状态之间转换的状态表语,完成对各功能的描述,并进行编译和功能仿真,生成了各个接口功能的逻辑单元模块,将各个模块输入输出对应连接后,生成 GPIB 的接口功能状态机模块,如图 5.12。

现就设备被寻址为讲者时,通过整个模块系统向总线发送数据为例,来说明功能模块如何实现其功能:

当系统接通只讲开关($ton=1$),或收到自己的讲地址 MTA, T 功能由 TIDS 变迁到 TADS,设备被寻址为讲者。此时信号 1 ($\overline{TADS \vee TACS \vee SPAS} = 0$) 为真,(向设备输出信息)并将信号送入设备。

当设备发出本地消息 $nba=1$ (有新字节可资利用),其互锁联络操作即可开始。于是,当所有听者均已做好接收数据准备时,就有 NRFD (R) (数据未准备好) = 0 输入系统。一段时间延迟后系统将发信号 2 ($(SDYS \vee STRS) \wedge (TACS \vee SPAS) = 1$) (设备互锁联络) 于设备,以通知当前三线互锁联络操作正在进行,此信号同时经门 1 将发送器开启,设备发出数据。

信号 2 每经一个时间延迟,就会产生一个负脉冲 RG-CLK 作为选通信号,此脉冲通过门 2 把设备输出数据打入寄存器,并直接经发送器送到 IEC 母线。只有在上诉操作完成之后,系统才能发 $DAV=1$ (数据有效),因为系统必须保证数据于母线上稳定之后才能宣布数据有效。至于 $HS-ENB^*$ 恢复到 1 电平的时间,只要在信号 1 或信号 2 等于 0 的任何时刻都可以。

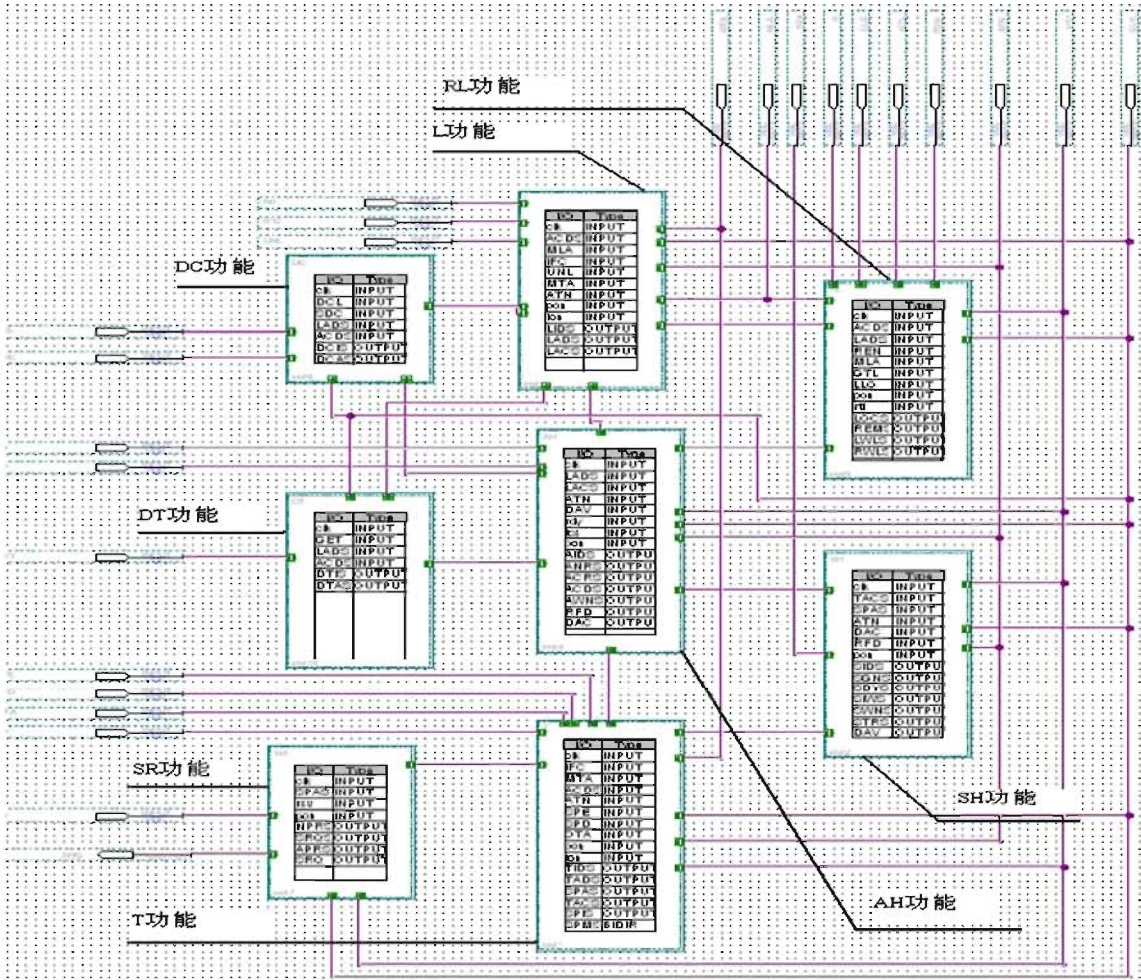


图 5.12 GPIB 接口功能模块框图

只要 DAV=1, NRFD(R)即可恢复为 1。而当所有听者均已收到数据即有 NDAC(R) (数据未收到)=0 时,可在一段延迟后撤掉“数据有效”,即令 DAV=0。再经过一段延迟后,一次互锁联络循环就此结束。以后周而复始直到完成最后一个字节的输出。

上述即为功能模块在设备寻址为讲者一次数据发送过程的实现,图 5.13 为发送数据仿真图。同理,GPIB 逻辑功能模块也能实现其他接口功能下数据的传送或接收。这样,由逻辑功能模块,结合存储单元、状态机、数据通道等,便组成了 GPIB 控制芯片。

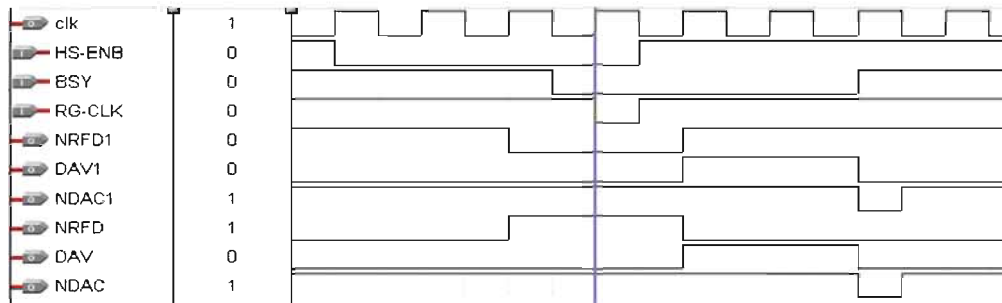


图 5.13 发送数据仿真

第六章 系统调试及结果

6.1 高速采样系统实现及其调试环境

高速 A/D 采样系统的硬件 PCB 板如图 6.1, 其中左边一块嵌入式小电路板是 ARM9 芯片 S3C2410 及其外围的扩展电路板, 右边即为 xilinx 公司 Spartan-3E 系列的 XC3S500E, 以及高速 A/D 转换器 ADC08D500, 由于在调试阶段, 故焊接了一块 A/D 转换器。

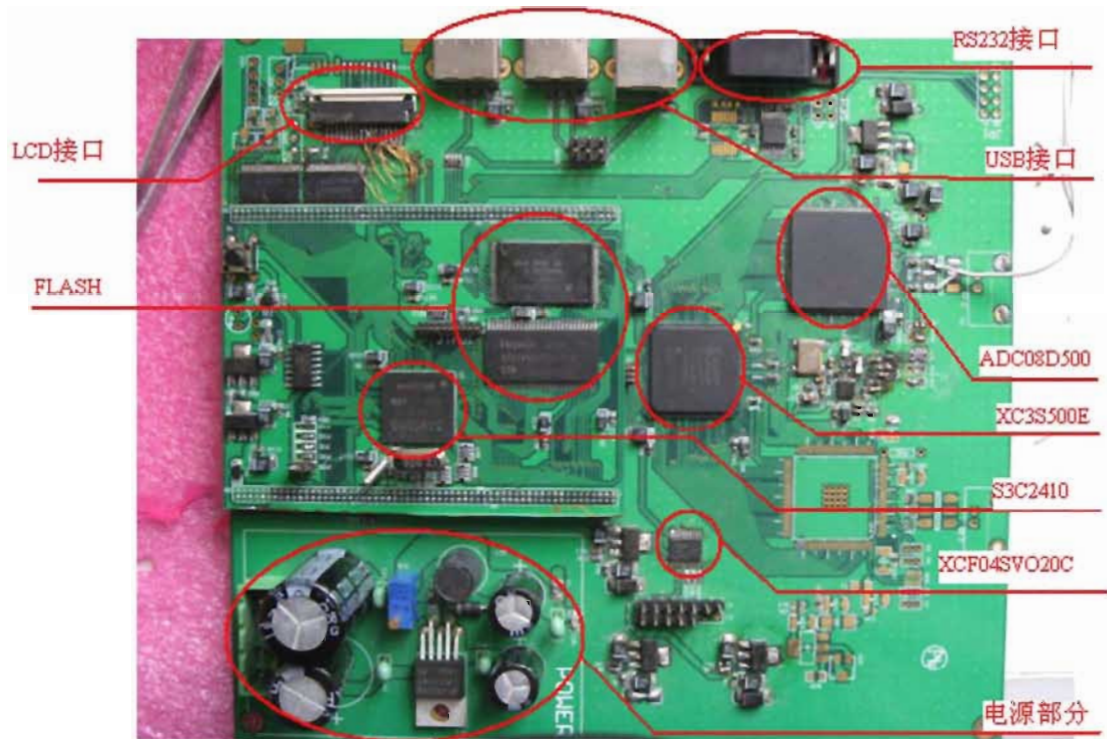


图 6.1 高速采样硬件 PCB 板

利用 Xilinx 公司提供的 Chipscope Pro 可以将逻辑分析仪、总线分析器以及有效的 I/O 小外型软件核等直接插入设计中, 查看任何内部信号和节点, 信号线从编程接口引出接入 PC, 为设计解放了更多的引脚。采集到的信号可以通过逻辑分析仪进行分析。本系统的调试环境为 Xilinx 公司提供的 Chipscope Pro, 基于该平台, 可以很快读出从 A/D 转换器中输入 FPGA 内的数据, 而无需使用逻辑分析仪等昂贵的仪器。

6.2 高速采样系统调试

在 A/D 转换器输出数据的速率达到 250MHz，调试的过程中出现了若干问题。系统从输入端接入标准的正弦波，在 FPGA 内读取的数据并非平滑的正弦波，而有毛刺产生。用 Chipscope Pro 进行分析，是由于各条数据线不能对齐，因而产生了无效数据，影响了数据正常采集。

在正常情况下，A/D 转换器输出数据线上的数据应该同时发生变化，并且在采样时钟的上升或下降沿被 FPGA 读取，如图 6.2 所示，采样时钟的上升沿在数据有效时间的中间是最恰当也是最安全的，采集数据的有效宽度 d 最大，能够最大限度满足 FPGA 的 IO 端口的建立保持时间，然而，实际的调试中，发现每个数据线往往不能同时变化，数据总线上各条线的翻转时刻不同步，即到达 FPGA 的数据并没有对齐，如图 6.3 所示，这样采集的有效宽度减小，出现错误的可能性大大增加。

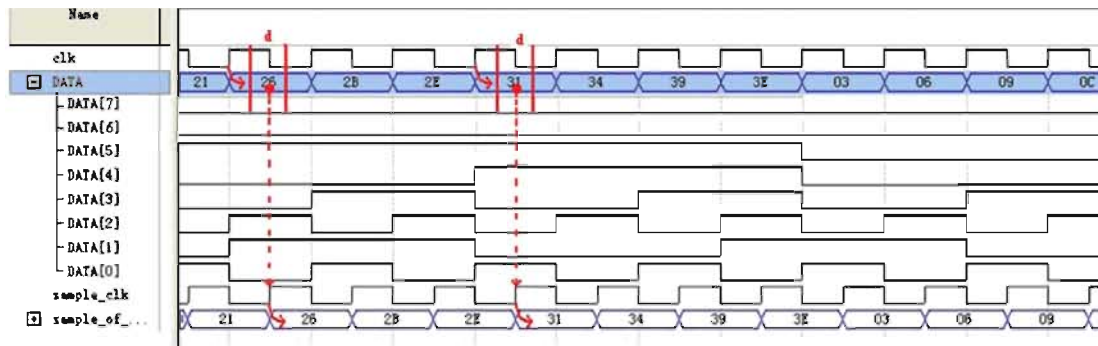


图 6.2 理想情况下数据接收状态

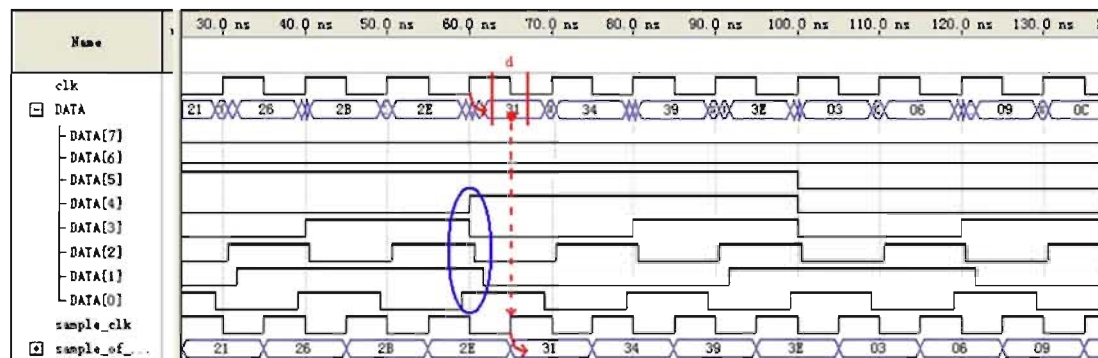


图 6.3 非理想情况下数据接收状态

通过分析，在高速采样系统中产生无效数据有下面几个原因：

(1) 第一个数据有效和最后一个数据有效之间的偏移。

由于 A/D 转换器数据输出的并行 8 位数据不可能完全同时发生翻转，必然有一个先后次序，如图 6.3 蓝色圆圈所示，由于每位数据有效之间的偏移，使得并行数据同时有效的时间变短，在采样速率不高的情况下，由于这种偏移的时间很短，是可以忽略的。而

在高速的采样系统中，由于采样时间也变的很短，偏移的产生也造成了有效时间的缩短，这种偏移相对采样有效时间变的不可忽略。图 6.4 中红色表示了采样的有效时间，假设毛刺时间相同的情况，低速采样下，数据 3F 的有效区域与偏移距离很远，几乎不受影响，而高速采样下，偏移和数据 0A 有效区域几乎相邻，对正确采样影响很小。因此采样率越高，产生错误的可能性越大。

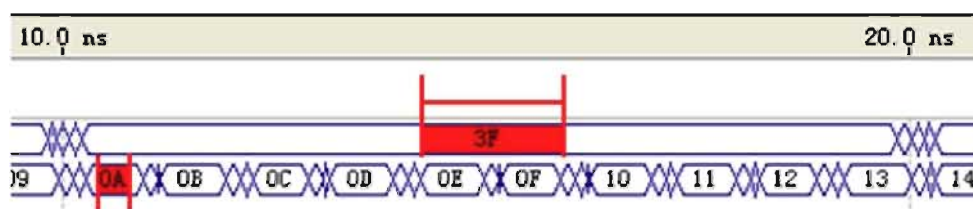


图 6.4 低速采样和高速采样数据有效区比较

(2) 电路板走线延迟

本系统采样的是 FR4 板，走线延迟约为 160ps/英寸，对于 250MHz 的高速系统，这种延迟是不能忽略的。在设计电路板走线的过程中，由于各信号之间的延迟时间不同，因此很难在第一次做板就做到信号和时钟的完全匹配，它们之间的误差就能造成无效数据的产生。

(3) 采样时钟的抖动

由于数据是在采样时钟的边沿被触发采样的，因而最佳的采样时刻是在有效数据区域的中间时刻，然而由于采样时钟的相位偏移，会造成采样时刻的偏移，使得有效数据区域也发生了偏移，使得数据区域不能满足 IO 端口的建立保持时间，从而导致读取数据的错误。

其他还有例如阻抗匹配，信号完整性问题，都可能造成采样得到坏数据。

解决信号之间有延迟的方法有很多，比较常用的是：

(1) 走蛇行线

为了保证所有信号都能在同一时间点变化，可以通过延长其走线来实现。具体来说，就是在每条信号线上设置测试点，通过高速的逻辑分析仪测量每条信号线偏移的时间，计算出需要画蛇行线的距离，添加蛇行线即可。该方法的缺点是需要事先测量偏移时间，需要重新做板来实现。

(2) 利用 FPGA 内部的 IO 端口的延迟功能

Sparten-3E 系列的 FPGA 在 IO 端口提供了输入的延迟功能，通过它可以调整输入信号的延迟时间，调整范围可以达 0-5.8ns，步进为 500ps，这样就能灵活的调整各条信号线，使它们保持对齐一致，也省去了重画蛇行线的麻烦。

在实际测试过程中，由于蛇行线的方法需要多次做 PCB 板实现，成本较高，因此使用 FPGA 内 IO 端口的延迟功能进行调试，通过对每路信号的调试，最终从前端高速

A/D 接收到了正确的数据。

6.3 系统调试结果

输入信号源是 HP 公司生产的 8165A 任意波形发生器，A/D 的输出值范围是 0-255，其中 128 表示零电平。图 6.5 是输入端接地时，DQd 端接收到的数据，从图中可以看出 DQd 端的输入确为一系列 128，接收数据正确。

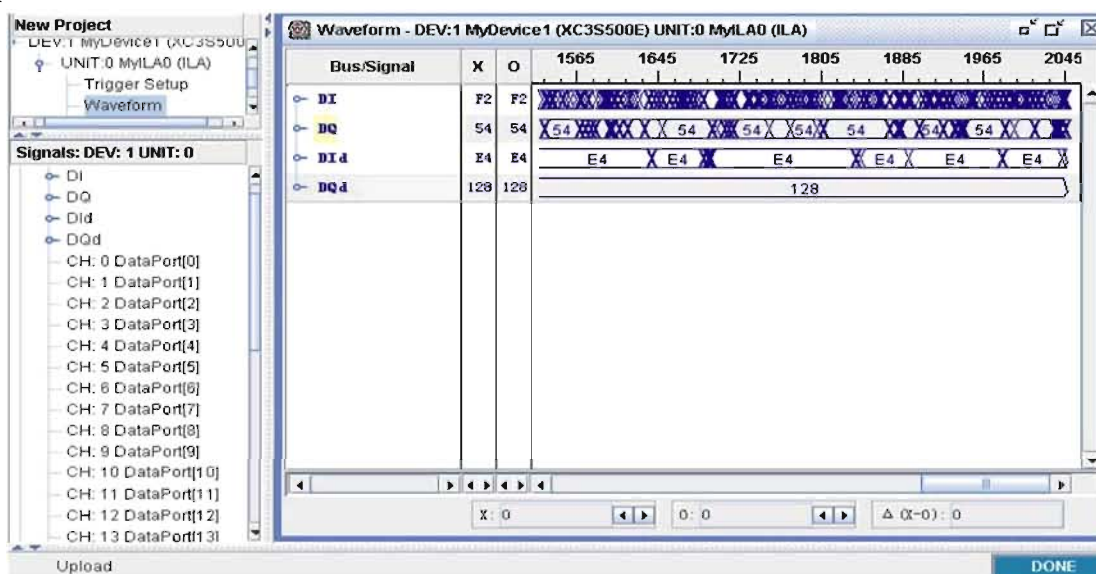


图 6.5 输入端接地时 FPGA 接收的数据

图 6.6 是信号源产生 20MHz 正弦波时，DQd 端接收到的数据，显示的是其中一段正弦波的采样数据，数据的递增和下降趋势基本符合正弦波的波形特点。

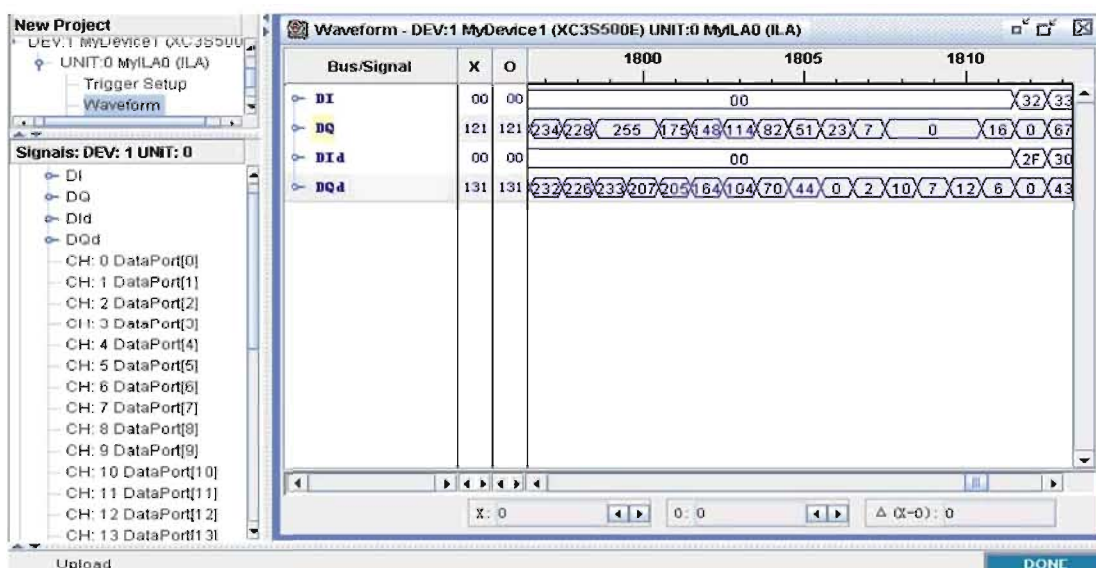


图 6.6 输入端接正弦波时 FPGA 接收的数据

图 6.7 是信号源产生方波时，DQd 端接收到的数据，图中可以看到低电平采样值为 0，而从低电平突变到高电平的间隔非常短，中间仅仅只有一个数据 11，马上就过渡到在高电平，在高电平处采样得到的值都在 230 上下浮动，基本符合方波的特性。

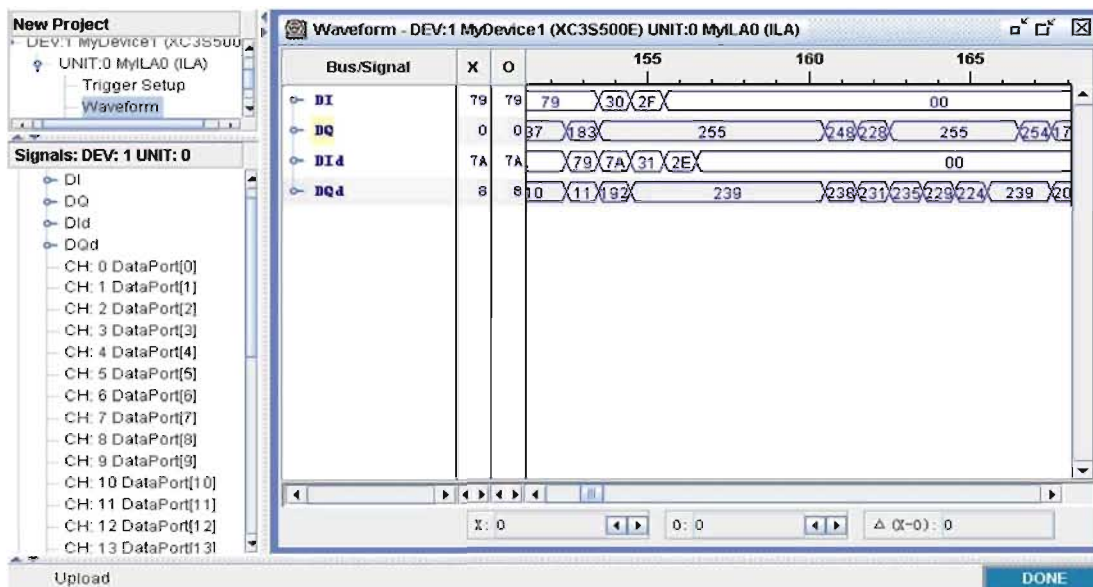


图 6.7 输入端接方波时 FPGA 接收的数据

从这三个波形看出，DQd 端接收数据基本正确，实现了高速 A/D 系统的采样。

经过多次高速采样系统板的调试和和后端 ARM9 联调，在所论证选用的以 ADC08D500、Sparten-3E 系列的 XC3S500E、S3C2410 等核心器件上实现了高速采样存储，正弦内插计算、GPIB 控制器等硬件技术是可行的。

结束语

在过去一年多的时间里，本人参与了某型双通道 200MHz 带宽的实时采样数字存储示波器的研发工作。该型数字存储示波器的最高采样速率为 1GHz，最高输入信号频率 200MHz，存储深度为 2500 个点。全中文菜单，界面友好，操作方便，有自动设置、光标测量、波形存储、数学运算、触发控制等功能。

本人在该型数字存储示波器的研发过程中完成了以下工作：

(1) 整体系统方案设计

高速实时数字存储示波器系统的研制，必须从具体的性能指标出发，自顶而下划分各个子模块的功能，并对各个模块进行软硬件的设计验证。本系统中，由于采样速率较高，要求分离器件在电路中尽量少用，因此用 FPGA+ARM 的结构来替代传统的 FIFO+MCU+LCD 控制器的结构，这种结构不仅提高了系统的集成性，可靠性和稳定性，并且减少了电路板的尺寸和功耗。最终调试的结果也证明了该方案的可行性。

(2) 采样系统原理图设计

根据各个芯片说明的规定，画出系统中涉及芯片的外围电路的设计，包括时钟模块中 PLL 芯片 ADF4361_7 和时钟分配器 AD9513，A/D 转换器 ADC08D500，Sparten-3E 系列的 XC3S500E 及其配置 Flash 芯片 XCF04SVO20C 等。此外，原理图中还包括了 LCD 显示接口，USB 接口，串口等外接接口的设计。

(3) 焊接和硬件电路调试

由设计原理图画出了 4 层 PCB 板，完成所有焊接工作，进行电路调试。调试过程包括对 FPGA 的配置，ARM 对时钟模块的配置，ARM 对 A/D 转换器的配置，电源部分稳定性调试等。

(4) 数据处理模块设计

系统中设计到了一些数字信号处理的算法，包括正弦内插，数字滤波器，频谱变换等，在本系统中，由于正弦内插的实时性要求比较高，因此将该部分运算放在 FPGA 内完成，其余运算都在后端 ARM 模块中完成。

(5) GPIB 模块设计

由于 DSO 仅仅只用了 GPIB 总线功能中的听、讲、寻址、清除等功能，并没有控者的功能，因此没有必要使用专用的 GPIB 芯片。本系统中利用 FPGA 丰富的片内资源，实现了 GPIB 接口的几个简单功能。

(6) 调试结果分析

深入分析每次调试得出的结果，再根据高速采样系统的特点，分析出数据产生毛刺

的原因，并在 FPGA 内部利用 I/O 端口延迟功能进行的调整，最终得到了正确的采样数据。

本方案中，数字存储示波器还需做如下的一些改进：

(1) 系统还存在一定的干扰，偶尔会造成波形不稳定。可以考虑对电路板的布局上作出某些改动或更换某些元器件。

(2) 由于本系统中数据处理工作除去正弦插值以外的，其它数据处理例如 FFT，数字滤波等功能都是在后端 ARM 来承担的，而 ARM 处理器一般不具有硬件乘法器，这就大大降低了系统处理数据能力。如能将所有数据处理的工作都放入 FPGA 内完成，则可以加快整机处理数据的能力，也为开发更高采样速率的 DSO 奠定了基础。

(3) 在本系统中，使用到了包括 FPGA、ARM、单片机等芯片，这造成了软件程序量很大，而且各个芯片的软硬件接口也是一个很重要的的问题，须花很多时间去设计和维护。而近年来基于 FPGA 平台的 SOPC 技术有了很大的发展，利用 FPGA 内嵌高性能处理器的方法可以将原来 ARM 中的工作完全放入 FPGA 内完成，从而由一块 FPGA 芯片完成整个系统，这不仅节约了成本，大大提高了系统的集成度，而且也加快了系统开发软硬件的时间。

参考文献

- [1] Hwee Tou Ng, Huey Ting Ang, Wee Meng Soon. DSO at TREC-8: a hybrid algorithm for the routing task[J].Information Technology: Eighth Text REtrieval Conference (TREC-8) (NIST SP 500-246), 2000
- [2] Anon. DPO meets increased bandwidth demands. Electronic Product Design[J], v 22, n 7, July, 2001
- [3] Allan, Roger. DPOs Employ Intuitive Learning To Raise Productivity Bar[J] . Electronic Design, v 52, n 6, Mar 15, 2004
- [4] Perrin ,Calibration. software package for digital storage oscilloscopes (DSO) [J], National Conference of Standards Laboratories. 1989 Workshop and Symposium. Technical Presentations. Global Metrology - A Challenge for the 90's, 1989
- [5] Yoshida ,3-in-1 oscilloscope combines DMM/DSO functions[J], T. Source JEE (Journal of Electronic Engineering), v 28, 1995
- [6]National Semiconductor, Inc. ADC08D500 Data Sheet. 2005
- [7]Analog Devices,Inc. ADF4360 Data Sheet.2003
- [8]Analog Devices,Inc. AD9513 Data Sheet.2005
- [9]Analog Devices,Inc. AD8138 Data Sheet.2006
- [10]Xilinx,Inc. Spatan-3E FPGA Family:Complete Data Sheet.2005
- [11]Semtech,Inc. EZ1117/EZ1117A Data Sheet.April,1998
- [12] J. Marín-Roig, V. Torres, M. J. Canet. DIGIMOD: A Tool to Implement FPGA-Based Digital IF and Baseband Modems. Lecture Notes in Computer Science .Volume 2778,2003
- [13] Wayne Luk, Peter Y.K. Cheung, Manfred Glesner Fast parallel implementation of DFT using configurable devices,Lecture Notes in Computer Science .Volume 1304,1997
- [14]S.Brown,Z.Vranesic,Fundamentals of Digital Logic with VHDL Design,Prentice Hall,Englewood Cliffs,New Jersey,1999
- [15]U.Meyer-Base,The Use of Complex Algorithm in the Realization of Universal Sampling Receiver Using FPGAs.VDI/Springer.Dusseldorf.1995
- [16]Wu Zutang,Ren Guodong,Wang Qunshu and Jiang Zhangde. GPIB Based Measurement System for Explosion and Shock Test. ISIST'2002
- [17] Pan Guangbin. Research on the Optimizing Design of FPGA. ISTM'2003
- [18] Ben Cohen. VHDL coding styles and methodologies[M].Kluwer Academic Publishers, 1999
- [19] Samsung Electronics Co.Ltd, S3C2410 32-Bit Risc Microprocessor User's Manual 1.2, 2003

- [20] Wang Mi, Ma Yixin, Williams R A, et al. A high-performance EIT system, IEEE Sensors Journal, 2005
- [21] Chen Xiaomin, Shi Wenjun, Sheng Wen, Application of multithreading in virtual digital storage oscilloscope development, Control, Automation, Robotics and Vision Conference, IEEE Sensors Journal, 2004
- [22] Brad Brannon. Aperture Uncertainty and ADC System Performance. Analog Device, Inc, 2004
- [23] Brad Brannon. Sampled Systems and Effects of Clock Phase Noise and Jitter. Analog Device, Inc, 2004
- [24] Kim Goldblatt. The 3.3V Configuration of Spartan-3 FPGAs. Xilinx, Inc. 2005
- [25] Stephanie Tapp. Configuration Quick Start Guidelines. Xilinx, Inc. 2003
- [26] Mark Ng, Mike Peattie. Using a Microprocessor to Configure Xilinx FPGAs via Slave or SelectMAP Mode. Xilinx, Inc. 2002
- [27] Xilinx, Inc. ChipScope Pro Serial I/O Toolkit User Guide, 2006
- [28] John F. Wakerly 著, 林生, 金京林, 葛红, 王腾译, 数字设计原理与实践 (原书第3版), 机械工业出版社, 2003
- [29] Uwe Meyer-Baese 著, 刘凌, 胡永生译, 数字信号处理的 FPGA 实现, 清华大学出版社, 2003
- [30] James H. McClellan, Ronald W. Schafer, Mark A. Yoder 著, 数字信号处理引论, 科学出版社, 2003
- [31] 谭磊, 张朝阳, 陈文正, 高速定点快速傅立叶变换处理器的设计与实现[J], 浙江大学学报(工学版), 2005
- [32] 韦宏, 基于 $\text{Sin}(x)/x$ 内插改善数字存储示波器的带宽性能, 上海计量测试, Vol.30, No.3, 2003
- [33] Johnnie Hancock, 在示波器上使用 DSP 滤波技术的优点和缺点, 电子质量, Vol.7, 2004
- [34] 林茂六, 尹宝智, 刘治宇, 高速采样信号数字内插理论与正弦内插算法研究, 电子学报 No.12, 2000
- [35] 邓颖, 陈光禹, 高速数字存储示波器的数字滤波器设计与实现, 仪表技术, No.6, 2004
- [36] 夏永君, 基于 DSP 的便携式数字测试设备设计[C], 南京航空航天大学硕士学位论文, 2004
- [37] 朱耀东, 经亚枝, 基于 FPGA 的 LCD&VGA 控制器设计, 电子技术应用, No.12, 2002
- [38] 陈长龄, 田书林. 自动测试及接口技术[M]. 北京:机械工业出版社, 2005
- [39] 杨安禄, 陈长龄, 电子仪器接口技术, 第一版[M], 成都:电子科技大学出版社, 1994
- [40] 张礼勇, 程玉润, IEC625 通用接口及其应用, 计量出版社, 1985
- [41] 王术群, 师奕兵, 田书林, GPIB 接口的 FPGA 实现, 电子设计应用, 2004
- [42] 阎丽, 侯榆青, GPIB 系统中数存示波器程控及数据传输的实现, 西北大学学报(自然科学版), Vol.30, No.3, 2002
- [43] 余强, 顾亚平, 陈光禹, GPIB 控制器之 CPLD 实现, 测控技术, Vol.23, No.9, 2004
- [44] 袁继敏, 60MHz 数字存储示波器性能样机的研究与试制, 电子科技大学硕士学位论文, 2002

- [45] 王勇 , 施文康, 基于 Internet 的数字示波器 e-Calibration 技术研究, 计算机测量与控制, No.3,2004
- [46] 贾春霞 , 张洪艳, 数字存储示波器现状初探,仪器仪表用户, No.1,2005
- [47] 王成 , 吕校春, 高性能数字存储示波器, 现代科技译丛,No.5, 2004
- [48] JIN Lin , Ji Ling, 数字化仪的最新进展, 国外电子测量技术,No.3,2005
- [49] 谢从珍, 王建国, 黄玲. 数字存储示波器噪声特性的分析[J]. 高电压技术 , No.6,2004
- [50] 吕向阳. 嵌入式数字存储示波器[J]仪表技术 , No.1,2005

致谢

经过了两年多的研究生学习生活，在论文工作即将完成之际，我由衷的感谢那些曾经给予我指导和帮助的老师 and 同学。

首先，我要感谢我的导师王教授。能够师从王老师是我的幸运，他为人正直，治学严谨，学识渊博，令人敬佩不已。同时，王老师和蔼可亲，平易近人，不但关注我的学业，也关心我的生活。在王老师的指导下，我不仅积累了大量的专业知识，锻炼和提高了科研能力，而且明确了自己对未来发展 and 人生价值的认识。王老师的教导使我终身受益。在以后的工作学习中，我将遵从王老师的教导，努力走好每一步，做好每一份工作。在此我由衷的不是深深的谢意。

与此同时，我也要感谢我所在实验室的仇杰、周晋、邱航等同学，在课题进行过程中，他们给了我很多的支持和 help。

另外，我要谢谢我的父母，感谢他们对我多年的培养和教育，感谢他们的关怀和支持，我永生不忘。在我即将走出校门的时候，我要衷心的感谢他们。

谨借此机会向所有给予我关心、支持和帮助的人士表示感谢！

攻读硕士学位期间发表的学术论文

1. 第一作者，“基于FPGA的正弦插值滤波器的实现”，南京航空航天大学第八届学术会议，2006。