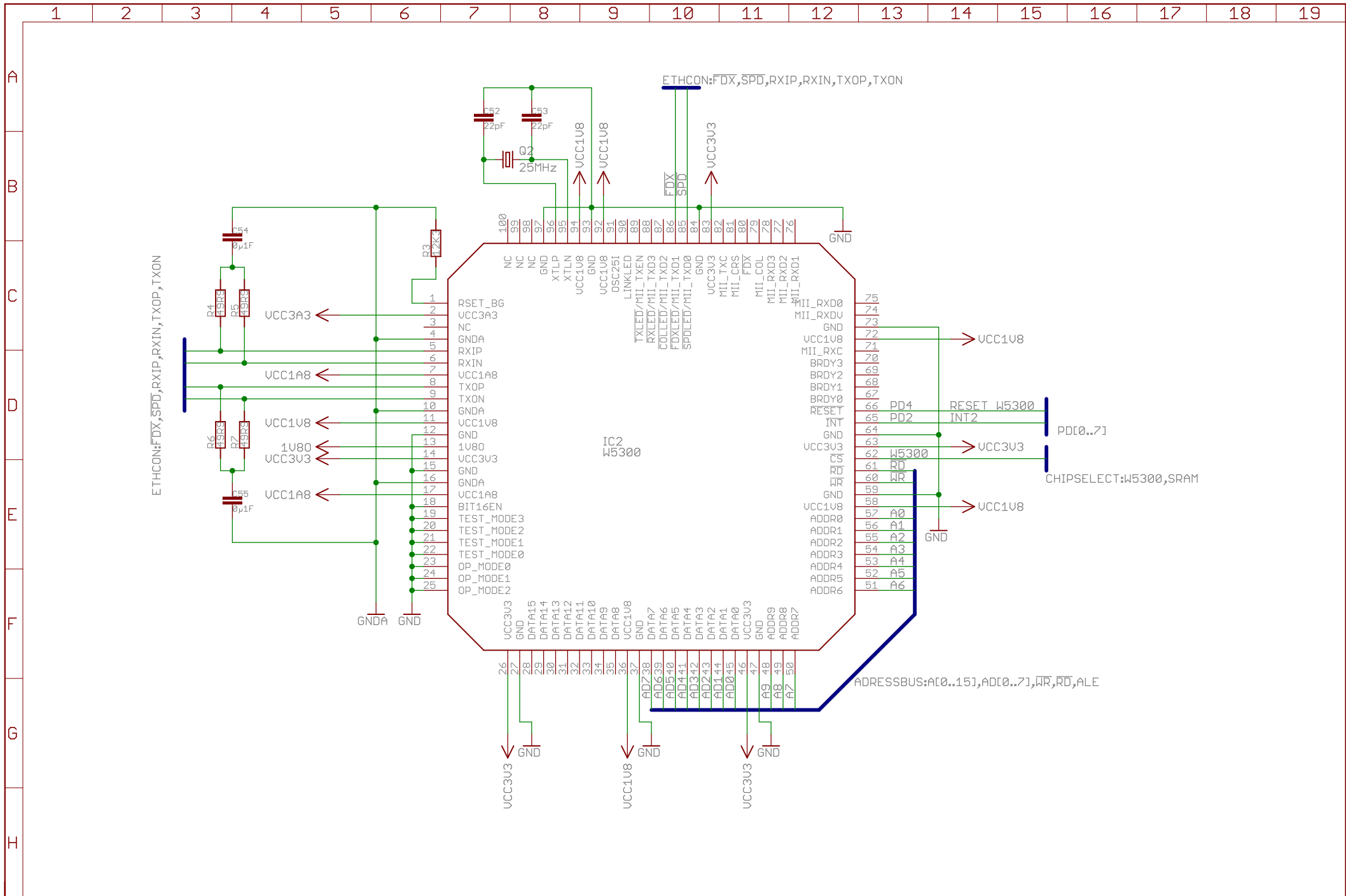
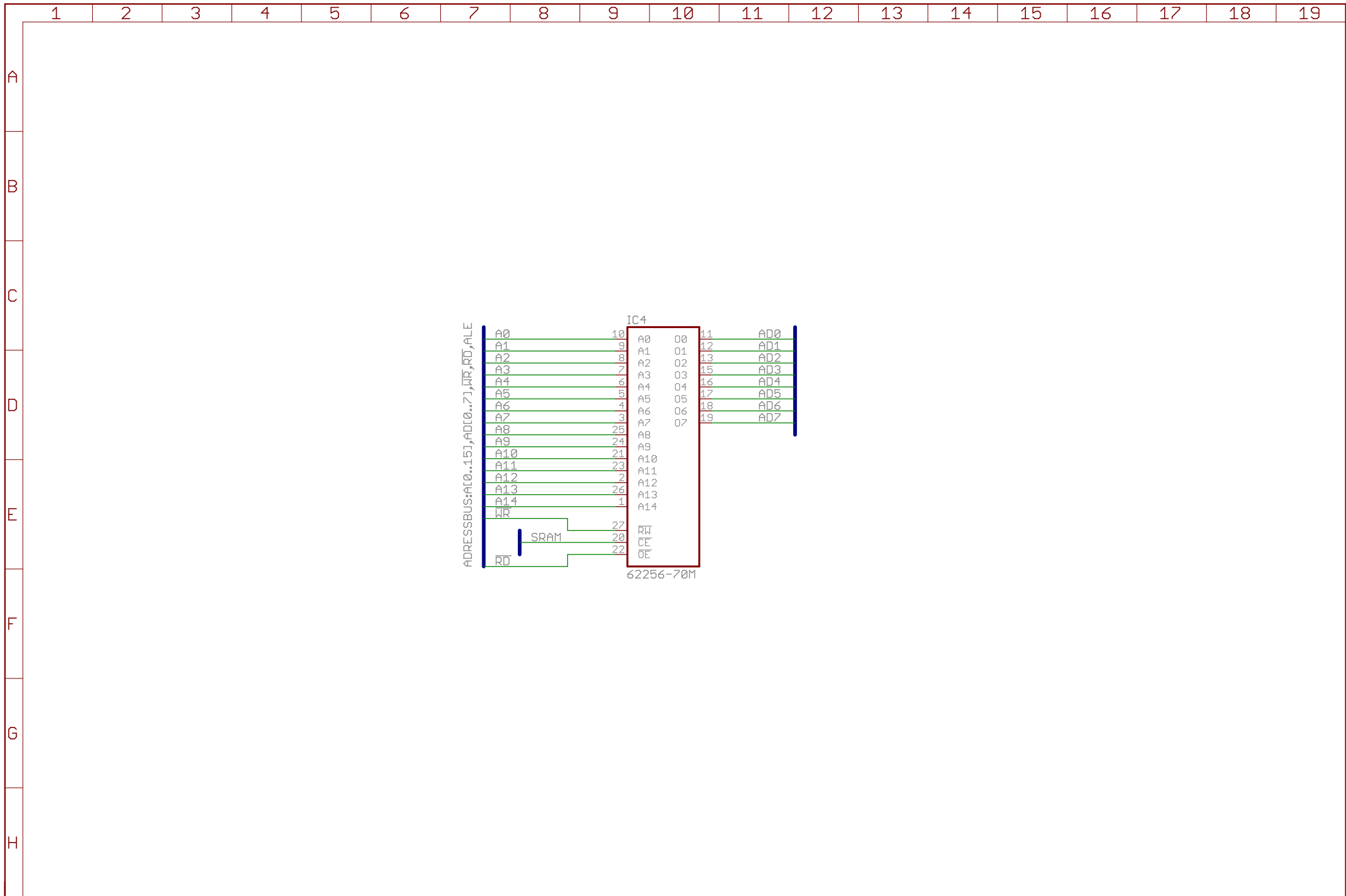


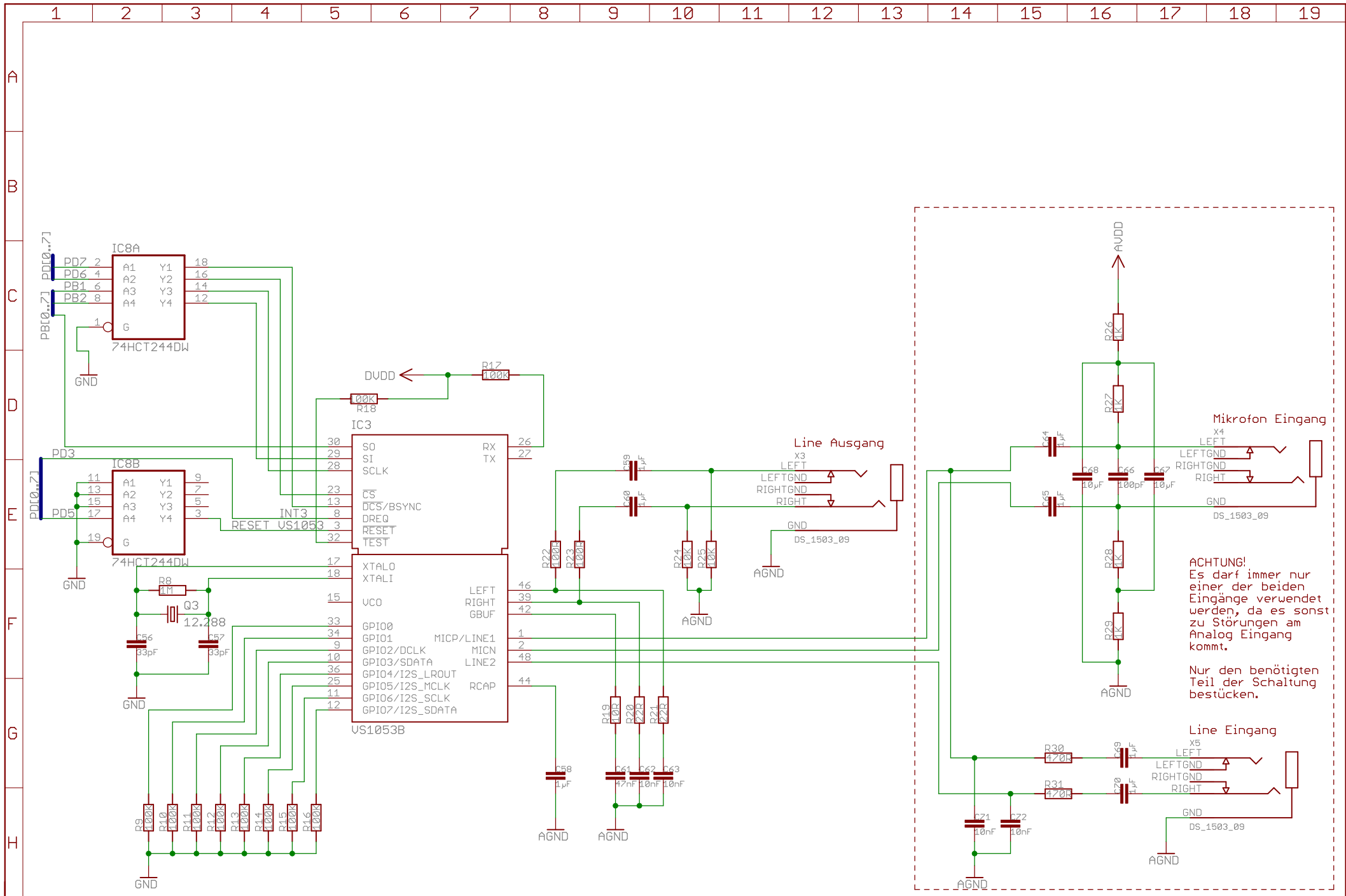
Änderungen	Datum	Name	Erstelldatum	Adressbus von CPU sowie Latching und Chipselects	Ersteller	Dateiname: CPU
			11.06.2012		Viktor Bronder	
Beschreibung				Zeichnungs-Nr.	Blatt 4/11	



Änderungen	Datum	Name	Erstelldatum 11.06.2012	Ethernet Kommunikations Baustein Wiznet W5300	Ersteller Viktor Bröder	Dateiname: CPU
				Beschreibung	Zeichnungs-Nr.	Blatt 5/11



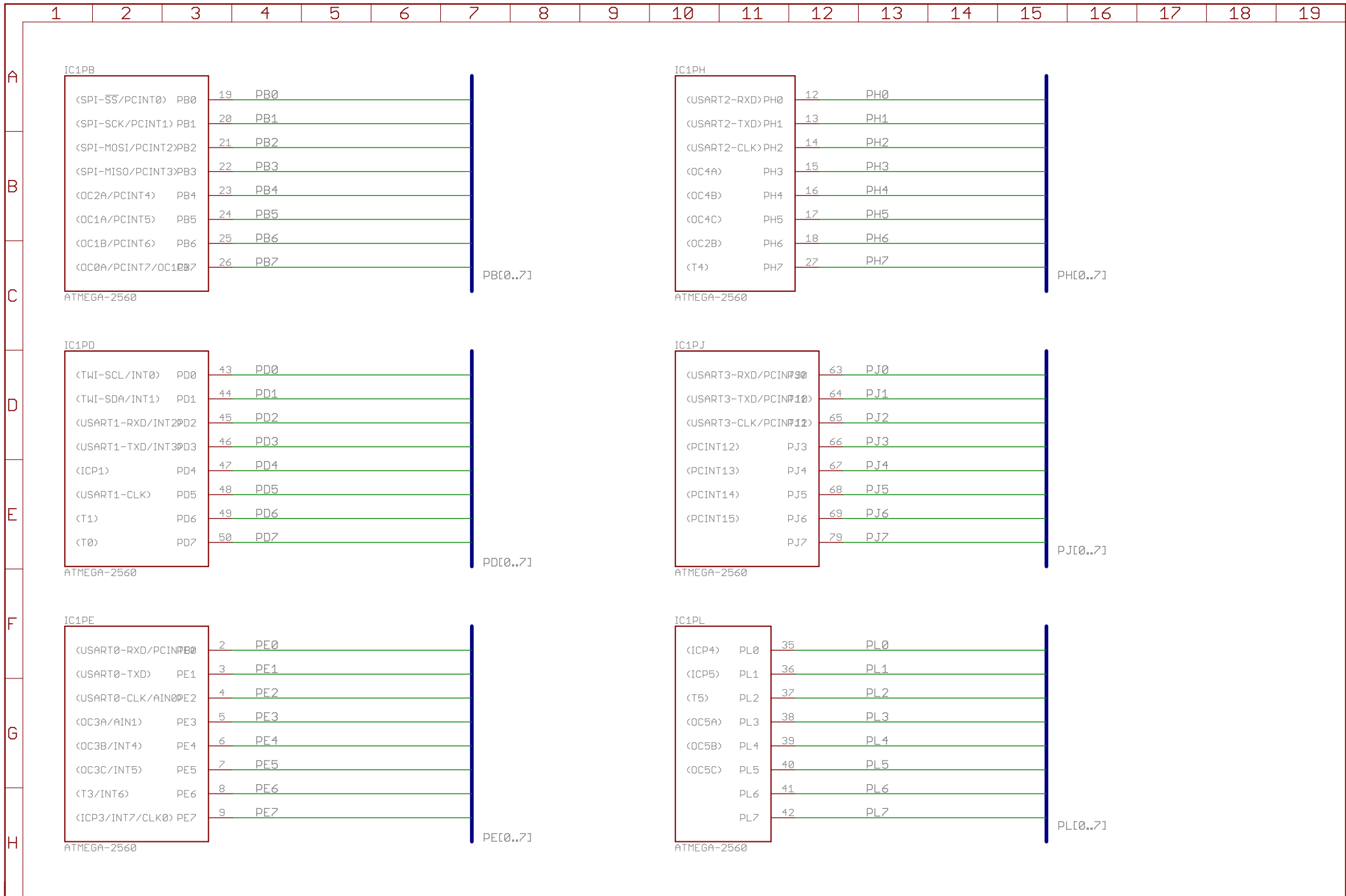
Änderungen	Datum	Name	Erstelldatum	Speichererweiterung	Ersteller	Dateiname:
			11.06.2012	32KB SRAM	Viktor Bröder	CPU
Beschreibung				Zeichnungs-Nr.		Blatt
						6/11



ACHTUNG!
 Es darf immer nur einer der beiden Eingänge verwendet werden, da es sonst zu Störungen am Analog Eingang kommt.

Nur den benötigten Teil der Schaltung bestücken.

Änderungen	Datum	Name	Erstelldatum 11.06.2012	Audio Eingang / Ausgang ULSI-US1053	Ersteller Viktor Bröder	Dateiname: CPU
				Beschreibung	Zeichnungs-Nr.	Blatt 7/11



Änderungen	Datum	Name	Erstelldatum	CPU Ports	Ersteller	Dateiname:
			11.06.2012	Digital I/Os		
Beschreibung				Zeichnungs-Nr.		Blatt
						8/11



Änderungen	Datum	Name	Erstelldatum	CPU Ports	Ersteller	Dateiname:
			11.06.2012	Analoge Inputs/ Digital I/Os JTAG	Viktor Brönder	CPU
			Beschreibung	Zeichnungs-Nr.		Blatt
						9/11

