

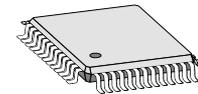
### EIGENSCHAFTEN

- 16 bidirektionale Ein-/Ausgangsstufen an 24 V
- Ein-/Ausgangsfunktion programmierbar für jeweils 4 Kanäle
- Kurzschlussfeste High-Side-Treiber mit Diagnosefähigkeit
- 500 mA Impuls- und 150 mA Dauerlast-Treiberfähigkeit
- Aktive Freilaufschtaltung
- Lastdiagnose für Treiberstrom, Ausgangsspannung und Impedanz (Drahtbruch, Widerstand, Kurzschluss)
- 10-Bit-A/D-Wandler zur Ausgabe von Diagnose-Messwerten
- Sicherheitsfunktionen: Spannungsüberwachung, Temperatursensor mit Warnung und Abschaltung, Power-Output-Enable-Pin
- Einstellbare Interrupt-Erzeugung mit Ereignisspeicher
- Variable Digitalfilter zur I/O-Signal-Entstörung
- Busfähig durch schnelle 8 Bit parallele oder serielle SPI™-kompatible  $\mu$ C-Schnittstelle
- SPI-Betrieb mit beliebig vielen iC-JX möglich
- Logikversorgung ab 3 V

### ANWENDUNGEN

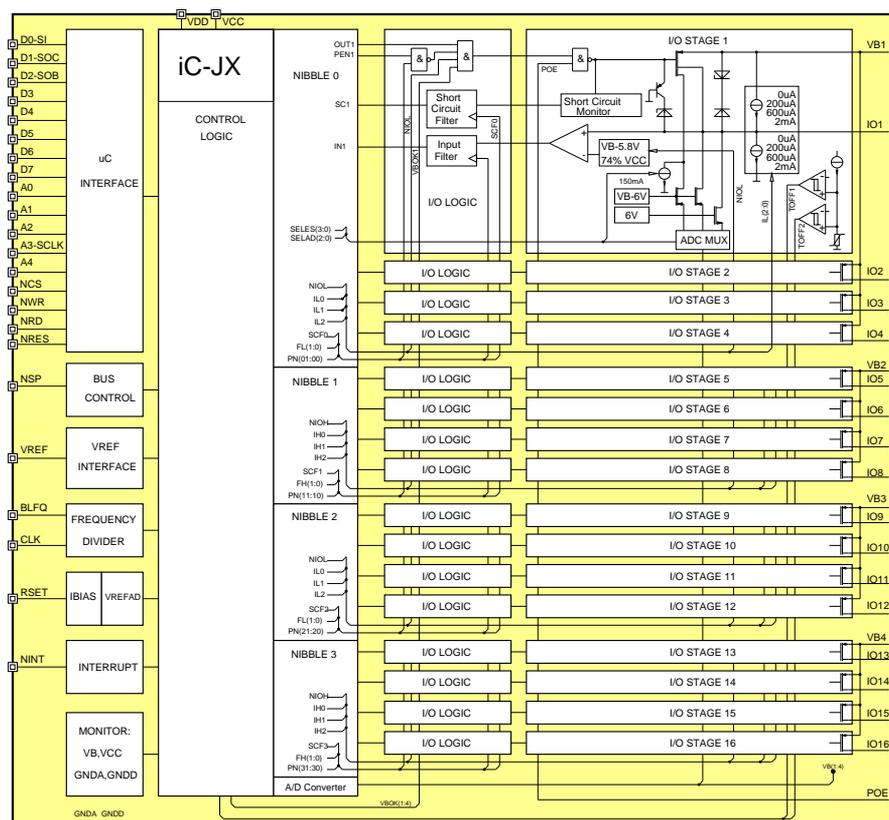
- 24-V-Industrieapplikationen
- Lampenschalter mit Diagnose
- Ansteuerung induktiver Lasten, z. B. Relais, Ventile

### GEHÄUSE



MQFP52

### BLOCKSCHALTBILD



**KURZBESCHREIBUNG**

Der Baustein iC-JX ist ein bidirektionaler I/O-Baustein mit vier Gruppen (Nibble) von je vier High-Side-Treiberstufen. Für jeweils vier I/O-Stufen (per Block bzw. per Nibble) ist die Eingangs- oder Ausgangsfunktion separat wählbar.

Ebenfalls per Block einstellbar sind Filteroptionen zur Entprellung der I/O-Pinsignale oder von Überstrom-Meldungen, Stromquellen zur Pegeldefinition an den Eingängen (Low-Side-Quellen) oder zur Lastdiagnose an den Ausgängen (High-Side-Quellen) sowie eine Blink-Funktion.

Zur Controller-Kommunikation steht eine parallele Schnittstelle (acht Daten-, fünf Adress- und drei Steuerpins) sowie eine SPI-kompatible serielle Schnittstelle zur Verfügung (je ein Pin für Takt, Chip-Select, Dateneingang, Datenausgang). Die Auswahl der Schnittstelle erfolgt über den Pin NSP.

I/O-Stufen mit Eingangsfunktion können Logikpegel an 24 V erfassen, wobei eine einstellbare Pull-Down-Stromquelle (bis 2 mA) für offene Eingänge den Pegel definiert oder den Vorstrom für externe Schalterkontakte liefert. Beim Anschluss von Sicherheitsschaltern mit integrierten Serien-/Parallel-Widerständen besteht die Möglichkeit, Leckströme oder Kurzschlüsse festzustellen. Der Kontaktzustand ist über die  $\mu$ C-Schnittstelle abfragbar.

I/O-Stufen mit Ausgangsfunktion treiben beliebige Lasten gegen gemeinsame Masse mit 150 mA Dauerstrom oder 500 mA im Pulsbetrieb, zum Beispiel Lampen, Kabel oder Relais. Schaltspitzen und Freilaufströme werden über die integrierten Freilaufschaltungen abgeleitet.

Für eine synchrone Blinkanzeige, zum Beispiel für Signallampen in Anzeigetafeln, ist für jeden Ausgang separat eine Blinkpuls-Freigabe wählbar, wodurch der Controller entlastet wird. Ein gemeinsamer Sperreingang (POE) erlaubt die globale Ausgangsabschaltung und kann von einer prozessorunabhängigen Watchdog-Schaltung bedient werden.

Die Endstufen sind kurzschlussfest und gegen eine thermische Zerstörung bei zu hoher Verlustleistung geschützt. Jede Stufe verfügt über einen eigenen Temperatursensor, der zweistufig ausgewertet wird und Interrupt-Meldungen für den Controller erzeugt.

Dieser wird gewarnt, bevor es zu einer selektiven Zwangsabschaltung kommt. Auch ein Kurzschluss erzeugt Interrupt-Meldungen, der aktuelle Status ist für den Controller abfragbar.

Zur Lastdiagnose kann über einstellbare Pull-Up-Stromquellen (0,2 bis 2 mA) zunächst eine Lastunterbrechung („open loop“ z. B. durch Kabelbruch) festgestellt werden, bevor ein Ausgang eingeschaltet wird. Der I/O-Pin-Status ist stets über Komparatoren zurücklesbar. Nachfolgend erlaubt eine Laststrom-Messschaltung die Beurteilung der Last; ausgefallene Ventile und defekte oder falsch ersetzte Anzeigelampen sind verifizierbar. Eine analoge Spannungsmessung an den I/O-Pins ermöglicht zudem bei Verzicht auf die Treiberfunktion die Auswertung von Sicherheitsschaltern mit Masse-Bezug.

Alle Analogmessungen für Laststrom (je Stufe), für die I/O-Pin-Spannung (je Stufe, Masse- oder VB-bezogen), die Treiberversorgung (alle VB-Pins), die interne Spannungsreferenz (VBG) sowie die Chip-Temperatur sind über einen integrierten A/D-Wandler mit 10 Bit Auflösung als digitaler Messwert für den Mikrocontroller verfügbar.

Zur sicheren Verarbeitung von Interrupts durch den Mikrocontroller ist eine Interrupt-Pipeline vorhanden, die einen Verlust von Interrupts weitestgehend ausschließt. Register informieren über aktuelle Ereignisse, die Freigabe zur Meldung ist für alle vorhandenen Interrupt-Quellen gezielt einstellbar.

Der iC-JX überwacht alle Versorgungsspannungen sowie die GNDD-GNDA-Masseverbindung.

Eine Unterspannung von weniger als 2.5V an der Analogversorgung VCC oder auch nur kurze Einbrüche an der Digitalversorgung VDD führen zum Zurücksetzen aller Register und zur Abschaltung der Ausgangsstufen.

Eine Unterspannung an der 24-V-Treiberversorgung VB führt zur Abschaltung der Ausgangsstufen, ohne Registerinhalte zu löschen.

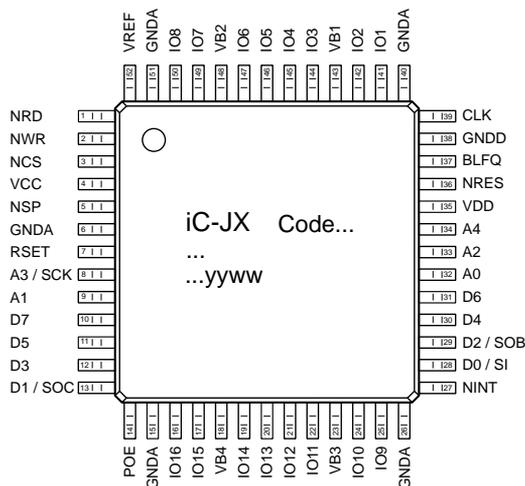
Alle Ein- und Ausgänge sind mit Dioden gegen Zerstörung durch ESD geschützt. Der Baustein iC-JX ist gegen Burst-Transienten bis 4 kV nach IEC 1000-4-4 (früher IEC 801-4) immun.

### GEHÄUSE MQFP52 nach JEDEC-Standard

#### PIN-BELEGUNG

##### MQFP52, Raster 0.65 mm

Die Orientierung der Gehäusebeschriftung  
( JX code...) ist freibleibend.



#### PIN-FUNKTIONEN

##### Nr. Name Funktion

1	NRD	E Not Read Enable
2	NWR	E Not Write Enable
3	NCS	E Not Chip Select
4	VCC	+3 ... 5.5 V Versorgung Analogteil
5	NSP	E Bus-Auswahl (high: parallel, low: seriell)
6	GNDA	Masseanschluss Analogteil
7	RSET	E RSET Anschluss (10 k $\Omega$ )
8	A3	E Adressbus Bit 3
9	A1	E Adressbus Bit 1
10	D7	B Datenbus Bit 7
11	D5	B Datenbus Bit 5
12	D3	B Datenbus Bit 3
13	D1	B Datenbus Bit 1
14	POE	E Treiberfreigabe, high-aktiv
15	GNDA	Masseanschluss Analogteil
16	IO16	B I/O-Stufe 16
17	IO15	B I/O-Stufe 15
18	VB4	Treiberversorgung Stufe 13...16
19	IO14	B I/O-Stufe 14
20	IO13	B I/O-Stufe 13
21	IO12	B I/O-Stufe 12

#### PIN-FUNKTIONEN

##### Nr. Name Funktion

22	IO11	B I/O-Stufe 11
23	VB3	Treiberversorgung Stufe 9...12
24	IO10	B I/O-Stufe 10
25	IO9	B I/O-Stufe 9
26	GNDA	Masseanschluss Analogteil
27	NINT	A Interrupt-Anzeige, low-aktiv
28	D0	B Datenbus Bit 0
29	D2	B Datenbus Bit 2
30	D4	B Datenbus Bit 4
31	D6	B Datenbus Bit 6
32	A0	E Adressbus Bit 0
33	A2	E Adressbus Bit 2
34	A4	E Adressbus Bit 4
35	VDD	+3 ... 5.5 V Versorgung Digitalteil
36	NRES	E Reset, low-aktiv
37	BLFQ	E Takt für die Blinkfunktion
38	GNDD	Masseanschluss Digitalteil
39	CLK	E Takt für die Filterfunktion
40	GNDA	Masseanschluss Analogteil
41	IO1	B I/O-Stufe 1
42	IO2	B I/O-Stufe 2
43	VB1	Treiberversorgung Stufe 1...4
44	IO3	B I/O-Stufe 3
45	IO4	B I/O-Stufe 4
46	IO5	B I/O-Stufe 5
47	IO6	B I/O-Stufe 6
48	VB2	Treiberversorgung Stufe 5...8
49	IO7	B I/O-Stufe 7
50	IO8	B I/O-Stufe 8
51	GNDA	Masseanschluss Analogteil
52	VREF	B Referenzspannung (optional)

*Serieller SPI-Modus (NSP= 0)*

3	NCS	E Not Chip Select
8	SCK	E Takteingang
9	A1	E Baustein-ID
13	SOC	A Serieller Datenausg. (Chain Mode)
28	SI	E Serieller Dateneingang
29	SOB	A Serieller Datenausgang (Bus Mode)
32	A0	E Baustein-ID
33	A2	E Betriebsart Chain/Bus
34	A4	E Enable Interrupt Report SOC/SOB

Funktion: E = Eingang, A = Ausgang, B = Bidirektional. Separate Versorgungsspannungen an VB1...4 sind möglich. Ein externer Anschluss aller GNDA-Pins ist erforderlich. Eine externe Verbindungen von GNDA mit GNDD ist erforderlich, wenn nur eine Spannungsversorgung zur Verfügung steht. Die gemeinsame oder separate Versorgung von VCC und VDD ist möglich.

### GRENZWERTE

Bei Einhaltung der nachfolgenden Grenzwerte tritt keine Zerstörung des Bauteils auf, die Funktion ist aber nicht garantiert.

Grenzwerte sind keine Betriebsbedingungen.

Integrierte Schaltkreise mit Systemschnittstellen, z. B. mit über Leitungen zugänglichen Pins (I/O-Pins, Leitungstreiber) sind prinzipiell gefährdet durch eingekoppelte Störungen, welche die Funktion oder Lebensdauer beeinträchtigen können. Die Robustheit der Komponenten ist im Rahmen der Systementwicklung vom Anwender bzgl. der anzuwendenden Normen nachzuweisen und gegebenenfalls mit Schutzbeschaltungen sicher zu stellen. Vom Hersteller angegebene Schutzbeschaltungen sind unverbindliche Empfehlungen, die im jeweiligen System bzgl. der Störumgebung zu verifizieren sind.

(Legende: x = 1..16, y = 1..4)

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Min. / Max.		Einh.
				Min.	Max.	
G001	VCC, VDD	Versorgungsspannung VCC, VDD		-0.3	6	V
G002	VBy	Versorgungsspannung VB1...4		-0.3	40	V
G003	V(IOx)	Spannung an IO1...16	IOx = aus; siehe auch Hinweis <sup>1</sup>	-10	40	V
G004	Idc(IOx)	Strom in IO1...16	siehe Bild 1	-500	150	mA
G005	Ipk(IOx)	Pulsstrom in IO1...16	IOx = hi (Pin als Ausgang programmiert und aktiv high), $\tau = 2 \text{ ms}$ , $T \leq 2 \text{ s}$ ; siehe Bild 2	-1.0		A
G006	I <sub>max</sub> ()	Strom in VCC, VDD		-100	100	mA
G007	I <sub>max</sub> (VBy)	Strom in VB1...4		-8	8	A
G008	I <sub>c</sub> ()	Schutzdiodenstrom in NCS, NWR, NRD, A0...4, D0...7, NRES, CLK, BLFQ, POE, NSP, RSET, VREF	D0...7 mit Eingangsfunktion	-20	20	mA
G009	I()	Strom in D0...7, NINT	D0...7 mit Ausgangsfunktion	-25	25	mA
G010	I <sub>lu</sub> ()	Pulsstrom in NCS, NWR, NRD, A0...4, D0...7, NRES, CLK, BLFQ, NINT, NSP, POE, IO1...16, RSET, VREF (Latch-Up-Festigkeit)	Pulsdauer < 10 $\mu$ s, alle Ein-/Ausgänge offen	-100	100	mA
G011	V <sub>d</sub> ()	Zulässige ESD-Prüfspannung an allen Pins	HBM 100 pF entladen über 1.5 k $\Omega$		2	kV
G012	V <sub>b</sub> ()	Zulässige Burst-Transienten an IO1...16	nach IEC 1000-4-4		4	kV
G013	T <sub>j</sub>	Chiptemperatur		-40	150	°C
G014	T <sub>s</sub>	Lagertemperatur		-40	150	°C

<sup>1)</sup> Kann bei nicht versorgtem Baustein das Anlegen einer Signalspannung an den Pins IO1..IO16 nicht ausgeschlossen werden, so sind zum Schutz gegen Rückspeisung des Bausteins an den betroffenen IO-Pins entsprechende Dioden oder ausreichend begrenzende Widerstände in Serie zu schalten.

### THERMISCHE DATEN

Betriebsbedingungen: VCC = VDD = 3 ... 5.5 V, VBy = 12 ... 36 V, GNDA = GNDD = 0 V, alle Eingänge beschaltet (hi bzw. lo)

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Min. / Typ / Max.			Einh.
				Min.	Typ	Max.	
T01	T <sub>a</sub>	Zulässiger Umgebungstemperaturbereich	Erweiterter Temperaturbereich auf Anfrage	-40		85	°C
T02	R <sub>thja</sub>	Thermischer Widerstand Chip/Umgebung	SMD-Montage, ohne besondere Kühlflächen		55		K/W

### KENNDATEN

Betriebsbedingungen: VCC = VDD = 3 ... 5.5 V, VBy = 12 ... 36 V, GNDA = GNDD = 0 V, RSET = 10 k $\Omega$   $\pm$ 1%; alle Eingänge beschaltet (hi bzw. lo), Tj = -40 ... 125 °C wenn nicht anders angegeben. Funktionsfähigkeit und Parameter ausserhalb der Betriebsbedingungen (z.B hinsichtlich voneinander unabhängiger Versorgungsspannungen) sind durch FMEA-Analyse der betreffenden Applikation zu verifizieren.

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Min.	Typ	Max.	Einh.
<b>Allgemeines</b>							
001	VCC	Zulässige Versorgungsspannung VCC		3		5.5	V
002	I(VCC)	Versorgungsstrom in VCC			10	20	mA
003	I(VCC)	Versorgungsstrom in VCC	VBy ohne Versorgung			30	mA
004	VDD	Zulässige Versorgungsspannung VDD		3		5.5	V
005	I(VDD)	Versorgungsstrom in VDD (statisch)	alle Logikeingänge lo = 0 V oder hi = VDD		3	6	mA
006	I(VDD)	Versorgungsstrom in VDD (dynamisch)	kontinuierlicher Lesezyklus alle 200ns, Datentwort '00' und 'FF' wird abwechselnd gelesen, CL(D0...7) = 200 pF			30	mA
007	I(VDD)	Versorgungsstrom in VDD	alle Logikeingänge auf 0.8V		3		mA
008	I(VDD)	Versorgungsstrom in VDD	alle Logikeingänge auf 2.0V		5		mA
009	VBy	Zul. Versorgungsspannung VB1...4 (Funktionsbereich)		12		36	V
010	I(VBy)	Versorgungsstrom in VB1...4	POE = hi, IOx = hi, unbelastet		7	20	mA
011	I(VBy)	Versorgungsstrom in VB1...4	IOx = aus		5	10	mA
012	Vc(lo)	ESD Klemmspannung lo an VCC, VDD, VB1...4	I() = -10 mA	-1.4		-0.3	V
013	Vc(hi)	ESD Klemmspannung hi an VCC, VDD	I() = 10 mA	6			V
014	Vc(hi)	ESD Klemmspannung hi an VB1...4	I() = 10 mA	30		55	V
015	Vc(lo)	ESD Klemmspannung lo an IO1...16	I() = 10 mA, IOx = aus	-25		-19	V
016	Vc(lo)	ESD Klemmspannung hi an IO1...16	I() = 10 mA	30		55	V
017	Vc(hi)	ESD Klemmspannung hi an NCS, NWR, NRD, AO...4, NRES, CLK, BLFQ, D0...7, NINT, POE, NSP, RSET, VREF	Vc(hi) = V() - VDD, D0...7 mit Eingangsfunktion, I() = 10 mA	0.4		1.5	V
018	Vc(lo)	ESD Klemmspannung lo an NCS, NWR, NRD, AO...4, NRES, CLK, BLFQ, D0...7, NINT, POE, NSP, RSET, VREF	D0...7 mit Eingangsfunktion, I() = -10 mA	-1.5		-0.4	V
019	I(Io)	Reststrom an I/O Pins (x=1..16) außerhalb Betriebsbedingungen bzgl. VDD, VCC, VB	VCC = 0 V und VDD = 0 V, VBy = 2..30 V	-0.2			mA
<b>Ein-/Ausgangsstufen: High-Side Treiber IO1...16</b>							
101	Vs(hi)	Sättigungsspannung hi	Vs(hi) = VBy - V(IOx), I(IOx) = -15 mA; siehe Bild 1			0.2	V
102	Vs(hi)	Sättigungsspannung hi	Vs(hi) = VBy - V(IOx), I(IOx) = -150 mA; siehe Bild 1			0.6	V
103	Vs(hi)	Sättigungsspannung hi bei Pulsast	Vs(hi) = VBy - V(IOx), I(IOx) = -500 mA, $\tau$ = 2 ms, T $\leq$ 2 s; siehe Bild 2			2	V
104	Isc(hi)	Überstrombegrenzung	V(IOx) = 0 .. VBy - 3 V	-1.6		-0.51	A
105	It(scs)	Stromschwelle für Überstrom-Meldung		-1.2		-0.51	A
106	Vc(lo)	Klemmspannung lo, mit aktivem Freilauf	I(IOx) = -150 mA	-18		-12	V
107	SR(hi)	Slew Rate hi	CL = 0 ... 100 pF, I(IOx) = -150mA	5		17	V/ $\mu$ s
108	SR(lo)	Slew Rate lo	CL = 0 ... 100 pF, I(IOx) = -150mA	5		17	V/ $\mu$ s
109	tplh()	Verzögerungszeit bis IOx: lo $\rightarrow$ hi	V(IOx) > V0(IOx) + 1 V			6	$\mu$ s

### KENNDATEN

Betriebsbedingungen: VCC = VDD = 3 ... 5.5 V, VBy = 12 ... 36 V, GNDA = GNDD = 0 V, RSET = 10 k $\Omega$   $\pm$ 1%; alle Eingänge beschaltet (hi bzw. lo), Tj = -40 ... 125 °C wenn nicht anders angegeben. Funktionsfähigkeit und Parameter ausserhalb der Betriebsbedingungen (z.B hinsichtlich voneinander unabhängiger Versorgungsspannungen) sind durch FMEA-Analyse der betreffenden Applikation zu verifizieren.

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Min. Typ Max.			Einh.
110	tph()	Verzögerungszeit bis IOx = gesperrt	V(IOx) < 80 % (VBy - Vs(IOx)hi)			6	$\mu$ s
<b>Ein-/Ausgangsstufen: Stromquellen an IO1...16</b>							
201	l <sub>pd</sub> ()	Pull-Down-Stromquelle (200 $\mu$ A)	V(IOx) = 3 V .. VBy;	160	200	240	$\mu$ A
202	l <sub>pd</sub> ()	Pull-Down-Stromquelle (600 $\mu$ A)	V(IOx) = 3 V .. VBy;	510	600	690	$\mu$ A
203	l <sub>pd</sub> ()	Pull-Down-Stromquelle (2 mA)	V(IOx) = 3 V .. VBy;	1.6	2	2.4	mA
204	l <sub>pu</sub> ()	Pull-Up-Stromquelle (200 $\mu$ A)	IOx = aus, V(IOx) = 0 V .. VBy - 3 V	150	200	250	$\mu$ A
205	l <sub>pu</sub> ()	Pull-Up-Stromquelle (600 $\mu$ A)	IOx = aus, V(IOx) = 0 V .. VBy - 3 V	510	600	690	$\mu$ A
206	l <sub>pu</sub> ()	Pull-Up-Stromquelle (2 mA)	IOx = aus, V(IOx) = 0 V .. VBy - 3 V	1.6	2	2.4	mA
207	tp() <sub>lon</sub>	Verzögerungszeit bis Pull-Down- bzw. Pull-Up-Stromquellen aktiv	I(IOx) > 90 % l <sub>pd</sub> (IOx) bzw. I(IOx) > 90 % l <sub>pu</sub> (IOx)			5	$\mu$ s
208	tp() <sub>loff</sub>	Verzögerungszeit bis Pull-Down- bzw. Pull-Up-Stromquellen inaktiv	I(IOx) < 10 % l <sub>pd</sub> (IOx) bzw. I(IOx) < 10 % l <sub>pu</sub> (IOx)			5	$\mu$ s
209	l <sub>fu</sub> ()	Funktionsstrom	IOx mit Eingangsfunktion oder Ausgangsfunktion mit IOx = aus; VBy = 30V IL2 = IH2 = IL1 = IH1 = IL0 = IH0 = 0, V(IOx) = 0V .. VBy	-50		70	$\mu$ A
210	l <sub>rb</sub> ()	Verpolstrom	Logik wie Kenn-Nr. 209; V(IOx) = -10 V .. 0 V, VBy = 30 V	-1.5			mA
211	l <sub>rb</sub> ()	Verpolstrom	Logik wie Kenn-Nr. 209, nur Eingangsfunktion; V(IOx) = VBy ... VBy + 0.3 V			250	$\mu$ A
212	l <sub>rb</sub> ()	Verpolstrom	Logik wie Kenn-Nr. 209, nur Eingangsfunktion; V(IOx) = VBy + 0.3V ... VBy + 2V			1	mA
213	l <sub>rb</sub> ()	Verpolstrom	VBy ohne Versorgung, V(IO) <sub>max</sub> = 36V			5	mA
<b>Ein-/Ausgangsstufen: Komparatoren IO1...16</b>							
301	Vt() <sub>hi</sub>	Schwellspannung hi	IOx mit Eingangsfunktion			82	%VCC
302	Vt() <sub>lo</sub>	Schwellspannung lo	IOx mit Eingangsfunktion	66			%VCC
303	Vt() <sub>hys</sub>	Hysterese	IOx mit Eingangsfunktion, Vt() <sub>hys</sub> = Vt() <sub>hi</sub> - Vt() <sub>lo</sub>	100			mV
304	Vt() <sub>hi</sub>	Schwellspannung hi gegen VBy	IOx mit Ausgangsfunktion, Vt() <sub>hi</sub> = VBy - V(IOx)	5.0			V
305	Vt() <sub>lo</sub>	Schwellspannung lo gegen VBy	IOx mit Ausgangsfunktion, Vt() <sub>lo</sub> = VBy - V(IOx)			6.7	V
306	Vt() <sub>hys</sub>	Hysterese	IOx mit Ausgangsfunktion, Vt() <sub>hys</sub> = Vt() <sub>lo</sub> - Vt() <sub>hi</sub>	100			mV
307	tp(IOx-Dx)	Verzögerungszeit von IO1...16 (als Eingang) nach Dx	I/O-Filter inaktiv			20	$\mu$ s
<b>Temperaturüberwachung</b>							
401	Toff1	Übertemperaturstufe 1: Warnung		120		145	°C
402	Ton1	Rücknahmestufe 1		115		140	°C
403	Thys1	Temperaturhysteresestufe 1	Thys1 = Toff1 - Ton1	2		7	°C
404	Toff2	Übertemperaturstufe 2: Abschaltung		140		165	°C
405	Ton2	Rücknahmestufe 2		120		145	°C
406	Thys2	Temperaturhysteresestufe 2	Thys2 = Toff2 - Ton2	13		35	°C
407	$\Delta$ T	Temperaturdifferenz zwischen Stufe 2 und Stufe 1	$\Delta$ T = Toff2 - Toff1	13		35	°C
<b>Bias und Spannungsüberwachung</b>							
501	VCCcon, VDDcon	Einschaltsschwelle VCC, VDD (Power-On-Freigabe)		2.4	2.6	2.9	V
502	VCCoff, VDDoff	Abschaltsschwelle VCC, VDD (Power-Down-Reset)		2.3	2.5	2.8	V
503	VCCchys, VDDchys	Hysterese VCC, VDD (Power-Down-Reset)	VCCchys = VCCcon - VCCoff, VDDchys = VDDcon - VDDoff	60	100	140	mV

### KENNDATEN

Betriebsbedingungen: VCC = VDD = 3 ... 5.5 V, VBy = 12 ... 36 V, GNDA = GNDD = 0 V, RSET = 10 k $\Omega$   $\pm$ 1%; alle Eingänge beschaltet (hi bzw. lo), Tj = -40 ... 125 °C wenn nicht anders angegeben. Funktionsfähigkeit und Parameter ausserhalb der Betriebsbedingungen (z.B. hinsichtlich voneinander unabhängiger Versorgungsspannungen) sind durch FMEA-Analyse der betreffenden Applikation zu verifizieren.

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen				Einh.
				Min.	Typ	Max.	
504	tmin(Iv)	Power-Down-Mindestdauer für Unterspannungserkennung	VCC = 0.8 V .. VCCoff, VDD = 0.8 V .. VDDoff	1			$\mu$ s
505	tpoff	Verzögerungszeit bis Reset nach Unterspannung an VCC, VDD				12	$\mu$ s
506	Vrefad	Referenzspannung für A/D-Wandler		2.6	2.75	3.0	V
<b>A/D-Wandler</b>							
701	VR1	ADC - Messbereich 1	Strom- bzw. Spannungsmessung High an IO, SELAD = '0b001' bzw. '0b010', EME = 0	VBy - 0.6 V		VBy	V
702	VR2	ADC - Messbereich 2	Spannungsmessung High an IO, SELAD = '0b010', EME = 1	VBy - 5V		VBy	V
703	VR3	ADC - Messbereich 3	Spannungsmessung Low an IO, SELAD = '0b100', EME = 0	0		0.6	V
704	VR4	ADC - Messbereich 4	Spannungsmessung Low an IO SELAD = '0b100'; VB- oder VBG-Messung SELAD = '0b101' bzw. '0b110', EME = 1	0		5	V
705	VR5	ADC - Messbereich 5	Gesamte Spannungsmessung SELAD = '0b011'	0		VB	V
706	VR6	ADC - Messbereich 6	Temperaturmessung SELAD = '0b111'	-40		125	°C
707	Vbitlo	Bit-Äquivalent der Spannung	EME = 0		0.6		mV
708	Vbithi	Bit-Äquivalent der Spannung	EME = 1		5.4		mV
709	Dtemp1	Digitalwert der Temperaturmessung 1	SVREF = 0, TEMP = (774-Dtemp1)/TKtemp1; Tj = -40 °C Tj = 27 °C Tj = 95 °C	826 670 519	863 712 563	900 755 608	
710	TKtemp1	Temperaturkoeffizient 1	SVREF = 0	2.16	2.22	2.27	1/°C
711	Dtemp2	Digitalwert der Temperaturmessung 2	SVREF = 1, V(VREF) = 2.5V $\pm$ 0.2%, TEMP = (861-Dtemp2)/TKtemp2; Tj = -40 °C Tj = 27 °C Tj = 95 °C	931 761 585	957 800 632	984 839 679	
712	TKtemp2	Temperaturkoeffizient 2	SVREF = 1, V(VREF) = 2.5V $\pm$ 0.2%	2.26	2.41	2.55	1/°C
713	f <sub>ICLK</sub>	Interne Oszillatorfrequenz		0.9	1.25	1.5	MHz
714	t <sub>SAR1</sub>	Umsetzungszeit SAR-Wandler 1	Strommessung SELAD = '0b001'		154 / f <sub>ICLK</sub>		$\mu$ s
715	t <sub>SAR2</sub>	Umsetzungszeit SAR-Wandler 2	Spannungsmessung Low bzw. High SELAD = '0b010' bzw. '0b100'		90 / f <sub>ICLK</sub>		$\mu$ s
716	t <sub>SAR3</sub>	Umsetzungszeit SAR-Wandler 3	ges. Spannungsmessung: SELAD = '0b011' VBy-Spannungsmessung: SELAD = '0b101' VBG-Spannungsmessung: SELAD = '0b110' Temperaturmessung: SELAD = '0b111'		26 / f <sub>ICLK</sub>		$\mu$ s
717	D <sub>VBG,1</sub>	Digitalwert VBG-Messung (externe Referenz)	SELAD = '0b110', SVREF = 1	480	520	560	
718	D <sub>VBY,1</sub>	Digitalwert VBY-Messung (externe Referenz)	SVREF = 1, V(VBy) = 36 V, SELAD = '0b101'	940	990	1022	
719	DR <sub>VBY,1</sub>	Relativer Digitalwert VBY-Messung (externe Referenz)	SVREF = 1; DR <sub>VBY,1</sub> = D <sub>VBY,1</sub> (V) / D <sub>VBY,1</sub> V(VBy) = 24 V, SELAD = '0b101' V(VBy) = 12 V, SELAD = '0b101'	64.6 31.3	66.6 33.3	68.6 35.2	% %
720	D1 <sub>IO,1</sub>	Absoluter Digitalwert Messbereich VR1 (externe Referenz)	SELAD = '0b010', EME = '0b0', SVREF = 1, V(IOx) = V(VBy) - 0.6V	840	900	1022	
721	DR1 <sub>IO,1</sub>	Relativer Digitalwert Messbereich VR1 (externe Referenz)	SELAD = '0b010', EME = '0b0', SVREF = 1; DR1 <sub>IO,1</sub> = D1 <sub>IO,1</sub> (V) / D1 <sub>IO,1</sub> ; V(IOx) = V(VBy) - 0.3 V V(IOx) = V(VBy) - 0.1 V	46 12	49 15	52 18	% %
722	D2 <sub>IO,1</sub>	Absoluter Digitalwert Messbereich VR2 (externe Referenz)	SELAD = '0b010', EME = '0b1', SVREF = 1, V(IOx) = V(VBy) - 5.0 V	870	930	1022	

### KENNDATEN

Betriebsbedingungen: VCC = VDD = 3 ... 5.5 V, VBy = 12 ... 36 V, GNDA = GNDD = 0 V, RSET = 10 k $\Omega$   $\pm$ 1%; alle Eingänge beschaltet (hi bzw. lo), Tj = -40 ... 125 °C wenn nicht anders angegeben. Funktionsfähigkeit und Parameter ausserhalb der Betriebsbedingungen (z.B hinsichtlich voneinander unabhängiger Versorgungsspannungen) sind durch FMEA-Analyse der betreffenden Applikation zu verifizieren.

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Min. Typ Max.			Einh.
723	DR2 <sub>IO,1</sub>	Relativer Digitalwert Messbereich VR2 (externe Referenz)	SELAD = '0b010', EME = '0b1', SVREF = 1; DR2 <sub>IO,1</sub> = D2 <sub>IO,1</sub> (V) / D2 <sub>IO,1</sub> ; V(IOx) = V(VBy) - 2.5 V V(IOx) = V(VBy) - 0.6 V	48 9.5	50 11.5	52 14	% %
724	D3 <sub>IO,1</sub>	Absoluter Digitalwert Messbereich VR3 (externe Referenz)	SELAD = '0b100', EME = '0b0', SVREF = 1, V(IOx) = 0.6 V;	880	940	1022	
725	DR3 <sub>IO,1</sub>	Relativer Digitalwert Messbereich VR3 (externe Referenz)	SELAD = '0b100', EME = '0b0', SVREF = 1; DR3 <sub>IO,1</sub> = D3 <sub>IO,1</sub> (V) / D3 <sub>IO,1</sub> ; V(IOx) = 0.3 V V(IOx) = 0.1 V	48 14.5	50 16	52 18.5	% %
726	D4 <sub>IO,1</sub>	Absoluter Digitalwert Messbereich VR4 (externe Referenz)	SELAD = '0b100', EME = '0b1', SVREF = 1; V(IOx) = 5.0V	870	930	1022	
727	DR4 <sub>IO,1</sub>	Relativer Digitalwert Messbereich VR4 (externe Referenz)	SELAD = '0b100', EME = '0b1', SVREF = 1; DR4 <sub>IO,1</sub> = D4 <sub>IO,1</sub> (V) / D4 <sub>IO,1</sub> V(IOx) = 2.5 V V(IOx) = 0.6 V	48 9.5	50 11.5	52 14	% %
728	D5 <sub>IO,1</sub>	Absoluter Digitalwert Messbereich VR5 (externe Referenz)	SELAD = '0b011', SVREF = 1, V(IOx) = 36.0V	930	980	1022	
729	DR5 <sub>IO,1</sub>	Relativer Digitalwert Messbereich VR5 (externe Referenz)	SELAD = '0b011', SVREF = 1; DR5 <sub>IO,1</sub> = D5 <sub>IO,1</sub> (V) / D5 <sub>IO,1</sub> V(IOx) = 24.0V V(IOx) = 5.0V	64.6 11.8	66.6 13.8	68.6 15.8	% %
730	DC <sub>IO,1</sub>	Absoluter Digitalwert Strommessung (externe Referenz)	SELAD = '0b001', SVREF = 1, I(IOx) = 150mA	700	800	1022	
731	DRC <sub>IO,1</sub>	Relativer Digitalwert Strommessung (externe Referenz)	SELAD = '0b001', SVREF = 1; DRC <sub>IO,1</sub> = DC <sub>IO,1</sub> (I) / DC <sub>IO,1</sub> I(IOx) = 75mA I(IOx) = 15mA	48 6.2	51 9.2	54 12.2	% %
732	D <sub>VBg,0</sub>	Absoluter Digitalwert VBG Messung (interne Referenz)	SELAD = '0b110', SVREF = 0	435	460	485	
733	D <sub>VBY,0</sub>	Absoluter Digitalwert VBY Messung (interne Referenz)	SVREF = 0, V(VBy) = 36V, SELAD = '0b101'	830	880	1022	
734	DR <sub>VBY,0</sub>	Relativer Digitalwert VBY Messung (interne Referenz)	SVREF = 0, SELAD = '0b101'; DR <sub>VBY,0</sub> = D <sub>VBY,0</sub> (V) / D <sub>VBY,0</sub> V(VBy) = 24V V(VBy) = 12V	64.6 31.3	66.6 33.3	68.6 35.3	% %
735	D1 <sub>IO,0</sub>	Absoluter Digitalwert Messbereich VR1 (interne Referenz)	SELAD = '0b010', EME = '0b0', SVREF = 0, V(IOx) = V(VBy) - 0.6V	760	820	1022	
736	DR1 <sub>IO,0</sub>	Relativer Digitalwert Messbereich VR1 (interne Referenz)	SELAD = '0b010', EME = '0b0', SVREF = 0; DR1 <sub>IO,0</sub> = D1 <sub>IO,0</sub> (V) / D1 <sub>IO,0</sub> V(IOx) = V(VBy) - 0.3V V(IOx) = V(VBy) - 0.1V	46 12	49 15	52 18	% %
737	D2 <sub>IO,0</sub>	Absoluter Digitalwert Messbereich VR2 (interne Referenz)	SELAD = '0b010', EME = '0b1', SVREF = 0, V(IOx) = V(VBy) - 5.0V	790	840	1022	
738	DR2 <sub>IO,0</sub>	Relativer Digitalwert Messbereich VR2 (interne Referenz)	SELAD = '0b010', EME = '0b1', SVREF = 0; DR2 <sub>IO,0</sub> = D2 <sub>IO,0</sub> (V) / D2 <sub>IO,0</sub> V(IOx) = V(VBy) - 2.5V V(IOx) = V(VBy) - 0.6V	48 9.5	50 11.5	52 14	% %
739	D3 <sub>IO,0</sub>	Absoluter Digitalwert Messbereich VR3 (interne Referenz)	SELAD = '0b100', EME = '0b0', SVREF = 0, V(IOx) = 0.6V	790	840	1022	
740	DR3 <sub>IO,0</sub>	Relativer Digitalwert Messbereich VR3 (interne Referenz)	SELAD = '0b100', EME = '0b0', SVREF = 0; DR3 <sub>IO,0</sub> = D3 <sub>IO,0</sub> (V) / D3 <sub>IO,0</sub> V(IOx) = 0.3V V(IOx) = 0.1V	48 14.5	50 16	52 18.5	% %
741	D4 <sub>IO,0</sub>	Absoluter Digitalwert Messbereich VR4 (interne Referenz)	SELAD = '0b100', EME = '0b1', SVREF = 0, V(IOx) = 5.0V	790	840	1022	
742	DR4 <sub>IO,0</sub>	Relativer Digitalwert Messbereich VR4 (interne Referenz)	SELAD = '0b100', EME = '0b1', SVREF = 0; DR4 <sub>IO,0</sub> = D4 <sub>IO,0</sub> (V) / D4 <sub>IO,0</sub>				

### KENNDATEN

Betriebsbedingungen: VCC = VDD = 3 ... 5.5 V, VBy = 12 ... 36 V, GNDA = GNDD = 0 V, RSET = 10 k $\Omega$   $\pm$ 1%; alle Eingänge beschaltet (hi bzw. lo), Tj = -40 ... 125 °C wenn nicht anders angegeben. Funktionsfähigkeit und Parameter ausserhalb der Betriebsbedingungen (z.B. hinsichtlich voneinander unabhängiger Versorgungsspannungen) sind durch FMEA-Analyse der betreffenden Applikation zu verifizieren.

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Min.	Typ	Max.	Einh.
			V(IOx) = 2.5V V(IOx) = 0.6V	48 9.5	50 11.5	52 14	% %
743	D5 <sub>IO,0</sub>	Absoluter Digitalwert Messbereich VR5 (interne Referenz)	SELAD = '0b011', SVREF = 0, V(IOx) = 36.0V	810	870	1022	
744	DR5 <sub>IO,0</sub>	Relativer Digitalwert Messbereich VR5 (interne Referenz)	SELAD = '0b011', SVREF = 0; DR5 <sub>IO,0</sub> = D5 <sub>IO,0</sub> (V) / D5 <sub>IO,0</sub> V(IOx) = 24.0V V(IOx) = 5.0V	64.6 11.8	66.6 13.8	68.6 15.8	% %
745	DC <sub>IO,0</sub>	Absoluter Digitalwert Strommessung (interne Referenz)	SELAD = '0b001', SVREF = 0, I(IOx) = 150mA	720	820	1022	
746	DRC <sub>IO,0</sub>	Relativer Digitalwert Strommessung (interne Referenz)	SELAD = '0b001', SVREF = 0; DRC <sub>IO,0</sub> = DC <sub>IO,0</sub> (I) / DC <sub>IO,0</sub> I(IOx) = 75mA I(IOx) = 15mA	48 6.2	51 9.2	54 12.2	% %
<b>Eingang RSET</b>							
B01	V(RSET)	Spannung an RSET		1.15	1.22	1.30	V
B02	R(RSET)	Zulässiger Widerstand an RSET		9	10	14	k $\Omega$
<b>Burst-Erkennung</b>							
C01	VSPon	Einschaltsschwelle Burst-Erkennung		1.3		2.9	V
C02	VSPoff	Abschaltsschwelle Burst-Erkennung		1.4		3	V
C03	tpoff	Verzögerungszeit bis Reset nach Spike an VCC, VDD	Spike-Dauer: 10 ns	2		110	$\mu$ s
<b>Verbindungsfehler-Erkennung an GNDA, GNDD</b>							
H01	Vt() <sub>gnd</sub>	Einschaltsschwelle Verbindungsfehler-Erkennung GNDA, GNDD		35		65	mV
H02	tmin() <sub>gnd</sub>	Mindestdauer für Verbindungsfehler-Erkennung	V(GNDA,GNDD) = 0 V ... Vt() <sub>gnd</sub>	1			$\mu$ s
H03	tpoff	Verzögerungszeit bis Reset nach Verbindungsfehler an GNDA, GNDD				15	$\mu$ s
<b>Spannungsüberwachung VB</b>							
I01	VByon	Einschaltmeldung VB1...4		10.6	11.2	11.8	V
I02	VByoff	Unterspannungsmeldung VB1...4		10.0	10.6	11.2	V
I03	VByhys	Hysterese	VByhys = VByon - VByoff	400			mV
I04	tmin() <sub>lv</sub>	Power-Down-Mindestdauer für Unterspannungserkennung	VBy = 0.8 V ... VByoff	1			$\mu$ s
I05	tpoff	Verzögerungszeit bis Meldung nach Unterspannung an VB1...4				6	$\mu$ s
<b><math>\mu</math>C-Schnittstelle, I/O-Logik, Frequenzteiler, Interrupt</b>							
K01	Vt() <sub>hi</sub>	Schwellspannung hi an Schmitt-Trigger-Eingang NCS, NWR, NRD, A0...4, NRES, CLK, BLFQ, D0...7, NSP, POE	D0...7 mit Eingangsfunktion			2	V
K02	Vt() <sub>lo</sub>	Schwellspannung lo an Schmitt-Trigger-Eingang NCS, NWR, NRD, A0...4, NRES, CLK, BLFQ, D0...7, NSP, POE	D0...7 mit Eingangsfunktion	0.8			V
K03	Vt() <sub>hys</sub>	Hysterese an Schmitt-Trigger-Eingang NCS, NWR, NRD, A0...4, NRES, CLK, BLFQ, D0...7, NSP, POE	Vt() <sub>hys</sub> = Vt() <sub>hi</sub> - Vt() <sub>lo</sub> ; D0...7 mit Eingangsfunktion	150			mV
K04	Vs() <sub>hi</sub>	Sättigungsspannung hi an NINT, Dx	Vs() <sub>hi</sub> = VDD - V( ); I( ) = -4 mA			0.8	V

### KENNDATEN

Betriebsbedingungen:  $V_{CC} = V_{DD} = 3 \dots 5.5 \text{ V}$ ,  $V_{By} = 12 \dots 36 \text{ V}$ ,  $G_{NDA} = G_{NDD} = 0 \text{ V}$ ,  $R_{SET} = 10 \text{ k}\Omega \pm 1\%$ ; alle Eingänge beschaltet (hi bzw. lo),  $T_j = -40 \dots 125 \text{ }^\circ\text{C}$  wenn nicht anders angegeben. Funktionsfähigkeit und Parameter ausserhalb der Betriebsbedingungen (z.B hinsichtlich voneinander unabhängiger Versorgungsspannungen) sind durch FMEA-Analyse der betreffenden Applikation zu verifizieren.

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Min.			Typ			Max.			Einh.
K05	$V_s(I_o)$	Sättigungsspannung $I_o$ an NINT, Dx	$I() = 4 \text{ mA}$							0.49		V	
K06	$I_{pd}()$	Pull Down Stromquellen an A0...4, NRES, CLK, BLFQ, D0...7, POE	$V() = 1 \text{ V} \dots V_{DD}$	2						70		$\mu\text{A}$	
K07	$I_{pu}()$	Pull Up Stromquellen an NSP, NCS, NWR, NRD	$V() = 0 \text{ V} \dots V_{DD} - 1 \text{ V}$	-70						2		$\mu\text{A}$	
K08	$t_p(\text{POE-IOx})$	Verzögerungszeit Treibersperre: POE bis IOx gesperrt	$R_L = 240 \Omega \dots 1 \text{ k}\Omega$ , POE: hi $\rightarrow$ lo bis $V(\text{IOx}) < 80\% (V_{By} - V_s(\text{IOx})_{hi})$							6		$\mu\text{s}$	
K09	$t_w(I_o)$	Zulässige Impulsbreite für Freigabe/Sperren an POE		600								ns	
K10	$t_w()$	Zulässige Störimpulsbreite an POE								100		ns	
K11	$t_{min}(\text{nres})$	Minstdauer für Reseterkennung an NRES		200								ns	
<b>Frequenzteiler BLFQ, CLK</b>													
P01	$t_d()$	Zulässige Frequenz an CLK								TBD		MHz	
P02	$t_d()$	Zulässige Frequenz an BLFQ								TBD		MHz	

### KENNDATEN: Signalformen

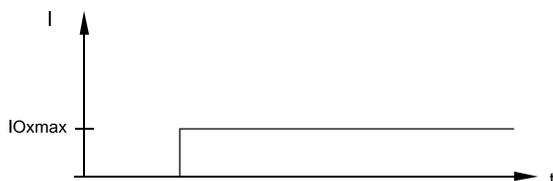


Bild 1: Belastungsfall DC

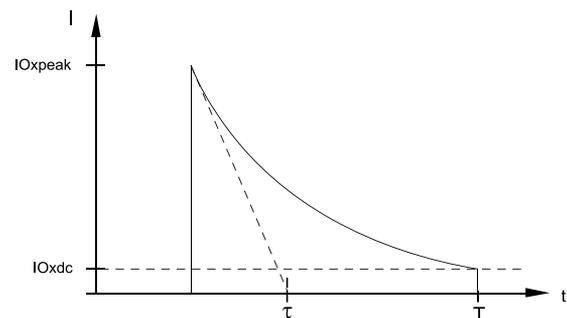


Bild 2: Belastungsfall Puls 2 ms

### BETRIEBSBEDINGUNGEN: Parallele $\mu$ C-Schnittstelle

Betriebsbedingungen: VCC = VDD = 3...5.5 V, VBy = 12...36 V, GNDA = GNDD = 0 V, RSET = 10 k $\Omega$   $\pm$ 1 %  
 Ta = 0...70 °C, CL() = 150 pF, Eingangspegel lo = 0.8 V, hi = 2.2 V, Bezugspegel für Zeitangaben nach Bild 3

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Min.	Max.	Einh.
<b>Lesezyklus</b>						
I001	$t_{AR1}, t_{AR2}$	Vorbereitungszeit: NCS, A0...4 stabil vor NRD hi $\rightarrow$ lo	siehe Bild 4	30		ns
I002	$t_{RA}$	Haltezeit: NCS, A0...4 stabil nach NRD lo $\rightarrow$ hi	siehe Bild 4	0		ns
I003	$t_{RD}$	Wartezeit: Daten gültig nach NRD hi $\rightarrow$ lo	siehe Bild 4		120	ns
I004	$t_{DF}$	Rückstellzeit: Datenbus hochohmig nach NRD lo $\rightarrow$ hi	siehe Bild 4		65	ns
I005	$t_{RL}$	Erforderliche Lesesignaldauer an NRD		50		ns
<b>Schreibzyklus</b>						
I006	$t_{AW1}, t_{AW2}$	Vorbereitungszeit: NCS, A0...4 stabil vor NWR lo $\rightarrow$ hi	siehe Bild 4	30		ns
I007	$t_{DW}$	Vorbereitungszeit: gültige Daten vor NWR lo $\rightarrow$ hi	siehe Bild 4	100		ns
I008	$t_{WA}$	Haltezeit: NCS, A0...4 stabil nach NWR lo $\rightarrow$ hi	siehe Bild 4	10		ns
I009	$t_{WD}$	Haltezeit: gültige Daten nach NWR lo $\rightarrow$ hi	siehe Bild 4	10		ns
I010	$t_{WL}$	Erforderliche Lesesignaldauer an NWR	siehe Bild 4	50		ns
<b>Schreiben/Lesen</b>						
I011	$t_{cyc}$	Zeit zwischen Zyklen: NRD lo $\rightarrow$ hi zu NRD hi $\rightarrow$ lo, NRD lo $\rightarrow$ hi zu NWR hi $\rightarrow$ lo, NWR lo $\rightarrow$ hi zu NWR hi $\rightarrow$ lo, NWR lo $\rightarrow$ hi zu NRD hi $\rightarrow$ lo	siehe Bild 4	165		ns

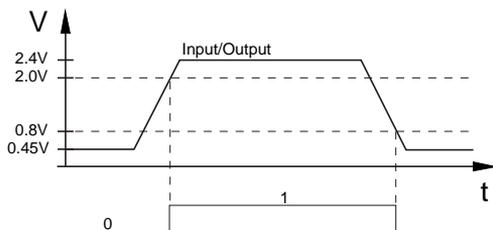


Bild 3: Bezugspegel für Zeitangaben

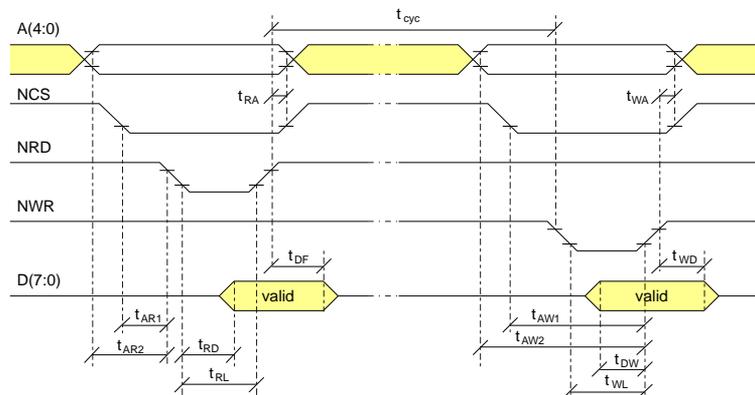


Bild 4: Lese- und Schreibzyklus der parallelen Schnittstelle

### BETRIEBSBEDINGUNGEN: Serielle $\mu$ C-Schnittstelle

Betriebsbedingungen: VCC = VDD = 3...5.5 V, VBy = 12...36 V, GNDA = GNDD = 0 V, RSET = 10 k $\Omega$   $\pm$ 1 %  
 Ta = 0...70 °C, CL() = 150 pF, Eingangspegel lo = 0.8 V, hi = 2.2 V, Bezugspegel für Zeitangaben nach Bild 3

Kenn-Nr.	Formelzeichen	Benennung	Bedingungen	Zeitangaben		Einh.
				Min.	Max.	
I111	$t_{sCCL}$	Vorbereitungszeit: NCS hi $\rightarrow$ lo bis SCK(A3) lo $\rightarrow$ hi	siehe Bild 5	50		ns
I112	$t_{sDCL}$	Vorbereitungszeit: SI(D0) stabil vor SCK(A3) lo $\rightarrow$ hi	siehe Bild 5	40		ns
I113	$t_{hDCL}$	Haltezeit: SI(D0) stabil nach SCK(A3) lo $\rightarrow$ hi	siehe Bild 5	30		ns
I114	$t_{CLh}$	Pegeldauer SCK(A3) hi	siehe Bild 5	100		ns
I115	$t_{CLl}$	Pegeldauer SCK(A3) lo	siehe Bild 5	100		ns
I116	$t_{CSH}$	Pegeldauer NCS hi	siehe Bild 5	100		ns
I117	$t_{pCLD}$	Verzögerungszeit: SOC(D1) bzw. SOB(D2) stabil nach SCK(A3) hi $\rightarrow$ lo	siehe Bild 5	0	50	ns
I118	$t_{pCSD}$	Verzögerungszeit: SOC(D1) bzw. SOB(D2) hochohmig nach NCS lo $\rightarrow$ hi	siehe Bild 5	0	50	ns

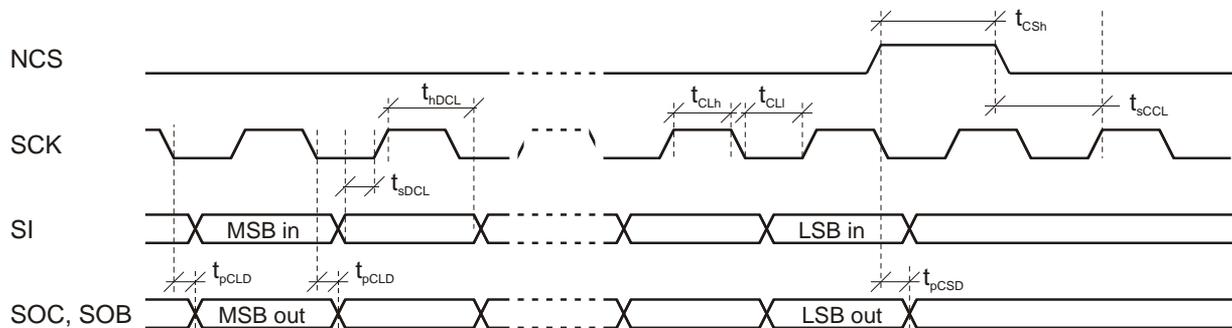


Bild 5:  $\mu$ C Schnittstelle im SPI-Modus

**PROGRAMMIERUNG**

<b>Registerbelegung, Übersicht</b> .....	Seite 14	<b>Steuerwort 3</b> .....	Seite 23
<b>Eingangsregister</b> .....	Seite 15	PN1...0	Blinkfrequenz-Einstellungen
IN16...1	Eingangsregister, Status I/O-Pin	SEBLQ	Takt-Referenzen
<b>Eingangswechsel-Meldung</b> .....	Seite 15	SECLK1...0	Systemtakt
DCH16...1	Eingangswechsel-Meldungen	<b>Steuerwort 4</b> .....	Seite 24
<b>Interrupt-Melderegister</b> .....	Seite 16	EOI	Interrupt-Löschung
DCHI	Interrupt durch Eingangswechsel	BYPSCF	SC-Filter-Bypass
IET2...1	Interrupt durch Übertemperatur	SCF3...0	SC-Filterzeiten
ISCS	Interrupt durch Überstrom	<b>Steuerwort 5</b> .....	Seite 24
ET2...1	Übertemperatur	SELES3...0	Auswahl I/O-Stufe für ADC-Messung
SCS	Überstrom	<b>Steuerwort 6</b> .....	Seite 25
IEOC	Interrupt durch ADC	SELAD2...0	Einstellungen für ADC-Messungen
ISD	Interrupt durch Bursts an VDD	EME	Messbereichserweiterung
IUSD	Interrupt durch Unterspg. VDD	EW	Startsignal für ADC-Wandlung
IUSA	Interrupt durch Unterspg. VCC	SVREF	VREF-Auswahl
EOC	ADC End-Of-Conversion	<b>Verbindungsfehler, Baustein-Kennung</b> ...	Seite 25
USD	Unterspannung VDD	IBA	Verbindungsfehler
USA	Unterspannung VCC	USVB	Unterspannung VB
<b>Überstrom</b> .....	Seite 17	NRESA	NRES = '0'
ISCI16...1	Überstrom-Meldungen, Interrupt	DID4...0	Identifizierungsnummer
SC16...1	Überstrom-Status, aktuell		
<b>A/D Wandlerdaten</b> .....	Seite 18		
D9...0	ADC-Messwert		
<b>Ausgangsregister</b> .....	Seite 18		
OUT16...0	Ausgangsregister High-Side Treiber		
<b>Blinkimpuls-Freigabe</b> .....	Seite 18		
PEN16...0	Freigabe		
<b>Interrupt-Freigaben</b> .....	Seite 19		
IEN16...1	Freigabe Eingangswechsel		
SCEN16...1	Freigabe Überstrom		
<b>Steuerwort 1</b> .....	Seite 20		
BYP3...0	I/O-Filter-Bypass		
FL1...0	I/O-Filter		
FH1...0	I/O-Filter		
<b>Steuerwort 2</b> .....	Seite 21		
NIOH, NIOL	I/O-Pin-Funktionen		
IL2...0	Stromquellen		
IH2...0	Stromquellen		

Registerbelegung							
Adressen							
A(4...0)	A4	A3	A2	A1	A0	schreiben	lesen
0x00	0	0	0	0	0	-	Eingangsregister A <sup>1,2</sup>
0x01	0	0	0	0	1	-	Eingangsregister B <sup>1,2</sup>
0x02	0	0	0	1	0	-	Eingangswechsel-Meldung A <sup>1,3</sup>
0x03	0	0	0	1	1	-	Eingangswechsel-Meldung B <sup>1,3</sup>
0x04	0	0	1	0	0	-	Interrupt-Melderegister A
0x05	0	0	1	0	1	-	Interrupt-Melderegister B
0x06	0	0	1	1	0	-	Überstrom-Meldung A <sup>1,4</sup>
0x07	0	0	1	1	1	-	Überstrom-Meldung B <sup>1,4</sup>
0x08	0	1	0	0	0	-	Überstrom-Status A <sup>1</sup>
0x09	0	1	0	0	1	-	Überstrom-Status B <sup>1</sup>
0x0A	0	1	0	1	0	-	A/D-Wandlerdaten 1
0x0B	0	1	0	1	1	-	A/D-Wandlerdaten 2
0x0C	0	1	1	0	0		Ausgangsregister A <sup>1</sup>
0x0D	0	1	1	0	1		Ausgangsregister B <sup>1</sup>
0x0E	0	1	1	1	0		Blinkpulsfreigabe A <sup>1</sup>
0x0F	0	1	1	1	1		Blinkpulsfreigabe B <sup>1</sup>
0x10	1	0	0	0	0		Interrupt-Freigabe Eingangswechsel A <sup>1,5</sup>
0x11	1	0	0	0	1		Interrupt-Freigabe Eingangswechsel B <sup>1,5</sup>
0x12	1	0	0	1	0		Interrupt-Freigabe Überstrom A <sup>1</sup>
0x13	1	0	0	1	1		Interrupt-Freigabe Überstrom B <sup>1</sup>
0x14	1	0	1	0	0		Steuerwort 1A (I/O-Filter) <sup>1</sup>
0x15	1	0	1	0	1		Steuerwort 1B (I/O-Filter) <sup>1</sup>
0x16	1	0	1	1	0		Steuerwort 2A (I/O-Pin-Funktionen) <sup>1</sup>
0x17	1	0	1	1	1		Steuerwort 2B (I/O-Pin-Funktionen) <sup>1</sup>
0x18	1	1	0	0	0		Steuerwort 3A (Blinkpuls-Einstellungen) <sup>1</sup>
0x19	1	1	0	0	1		Steuerwort 3B (Blinkpuls-Einstellungen) <sup>1</sup>
0x1A	1	1	0	1	0		Steuerwort 4 (Filter für Überstrom-Meldungen)
0x1B	1	1	0	1	1		Steuerwort 5 (Auswahl I/O-Stufe für ADC-Messung)
0x1C	1	1	1	0	0		Steuerwort 6 (ADC-Einstellungen)
0x1D	1	1	1	0	1	-	V-Fehler, Bausteinkennung
0x1E	1	1	1	1	0		Testregister 1
0x1F	1	1	1	1	1		Testregister 2

Tab. 7: Registerbelegung

1. A: I/O-Stufen 1...8, B: I/O-Stufen 9...16
2. Lesen der Eingänge bzw. Zurücklesen der Ausgänge, je nach I/O-Funktion
3. Für I/O-Pins mit Eingangsfunktion (bei Ausgangsfunktion enthält das Register '0')
4. Für I/O-Pins mit Ausgangsfunktion (bei Eingangsfunktion enthält das Register '0')
5. Nur bei Eingangsfunktion beschreibbar

<b>Eingangsregister A (nur Lesen)</b>								<b>Adr. 0x00</b>
Lesen der Eingänge/Rückführung der Ausgänge								
								Reset-Zustand : 0x00
Bit	7	6	5	4	3	2	1	0
Name	IN8	IN7	IN6	IN5	IN4	IN3	IN2	IN1
Bit7...0	0	Eingang/Ausgang IOx liest 0						(r)
IN8...1	1	Eingang/Ausgang IOx liest 1						

<b>Eingangsregister B (nur Lesen)</b>								<b>Adr. 0x01</b>
Lesen der Eingänge/Rückführung der Ausgänge								
								Reset-Zustand : 0x00
Bit	7	6	5	4	3	2	1	0
Name	IN16	IN15	IN14	IN13	IN12	IN11	IN10	IN9
Bit7...0	0	Eingang/Ausgang IOx liest 0						(r)
IN16...9	1	Eingang/Ausgang IOx liest 1						

INx meldet den Port-Zustand für IOx (via I/O-Filter oder Bypass).

<b>Eingangswechsel-Meldung A (nur Lesen)</b>								<b>Adr. 0x02</b>
für I/O-Stufen mit Eingangsfunktion								
								Reset-Zustand : 0x00
Bit	7	6	5	4	3	2	1	0
Name	DCH8	DCH7	DCH6	DCH5	DCH4	DCH3	DCH2	DCH1
Bit7...0	0	Kein Zustandswechsel am Eingang IOx oder keine Interrupt-Freigabe						(r)
DCH8...1	1	Eingang IOx hatte einen zur Interrupt-Meldung freigegebenen Zustandswechsel						

<b>Eingangswechsel-Meldung B (nur Lesen)</b>								<b>Adr. 0x03</b>
für I/O-Stufen mit Eingangsfunktion								
								Reset-Zustand : 0x00
Bit	7	6	5	4	3	2	1	0
Name	DCH16	DCH15	DCH14	DCH13	DCH12	DCH11	DCH10	DCH9
Bit7...0	0	Kein Zustandswechsel am Eingang IOx oder keine Interrupt-Freigabe						(r)
DCH16...9	1	Eingang IOx hatte einen zur Interrupt-Meldung freigegebenen Zustandswechsel						

Interrupt-Melderegister A (nur Lesen)								Adr. 0x04
								Reset-Zustand : 0x00
Bit	7	6	5	4	3	2	1	0
Name	DCHI	IET2	IET1	ISCI	-	ET2	ET1	SCS

Eingangswechsel-Meldung, Übertemperatur, Überstrom (gespeicherte Interrupts)			
Bit7	0	Keine Meldung	(r)
DCHI	1	Interrupt durch Eingangswachsmeldung	
Bit6	0	Keine Meldung	(r)
IET2	1	Interrupt durch Übertemperaturstufe 2	
Bit5	0	Keine Meldung	(r)
IET1	1	Interrupt durch Übertemperaturstufe 1	
Bit4	0	Keine Meldung	(r)
ISCI	1	Interrupt durch Überstrom-Meldung	

Übertemperatur-Status, Überstrom-Status (aktuelle Signale zum Auslesezeitpunkt)			
Bit2	0	Kein Fehlersignal	(r)
ET2	1	Übertemperaturstufe 2 (Abschaltung) liegt vor	
Bit1	0	Kein Fehlersignal	(r)
ET1	1	Übertemperaturstufe 1 (Warnung) liegt vor	
Bit0	0	Kein Fehlersignal	(r)
SCS	1	Überstrom-Status liegt vor (z.B. durch einen Low-Side-Kurzschluss)	

Interrupt-Melderegister B (nur Lesen)								Adr. 0x05
								Reset-Zustand : 0x00
Bit	7	6	5	4	3	2	1	0
Name	IEOC	ISD	IUSD	IUSA	-	EOC	USD	USA

A/D-Umsetzung, Bursts, Unterspannung (gespeicherte Interrupts)			
Bit7	0	Keine Meldung	(r)
IEOC	1	Interrupt durch den A/D-Umsetzer	
Bit6	0	Keine Meldung	(r)
ISD	1	Interrupt durch Bursts an VDD	
Bit5	0	Keine Meldung	(r)
IUSD	1	Interrupt durch Unterspannung an VDD	
Bit4	0	Keine Meldung	(r)
IUSA	1	Interrupt durch Unterspannung an VCC	

A/D-Umsetzung, Unterspannung (aktuelle Signale zum Auslesezeitpunkt)			
Bit2	0	Kein Fehlersignal	(r)
EOC	1	A/D-Umsetzung erfolgt (End of Conversion)	
Bit1	0	Kein Fehlersignal	(r)
USD	1	Unterspannung an VDD liegt vor	
Bit0	0	Kein Fehlersignal	(r)
USA	1	Unterspannung an VCC liegt vor	

Mit dem Lesezugriff wird das Register gegen Veränderungen gesperrt und erst durch das Zurücksetzen via EOI wieder freigegeben. Nachfolgende Interrupts für DCHI, IET2, IET1, ISCI, IEOC, ISD, IUSD und IUSA, die während der Lese-Phase und noch vor dem Zurücksetzen mittels EOI eintreffen, werden aufgefangen (Pipeline). Geschieht dies, kann durch EOI die Meldung an NINT bzw. D1/SOC oder D2/SOB nicht gelöscht werden, d.h. NINT bzw. D1/SOC oder D2/SOB bleibt konstant auf low. EOI füllt in diesem Fall die Interrupt-Meldung aus der Pipeline.

<b>Überstrom-Meldung A (nur Lesen)</b>								<b>Adr. 0x06</b>	
								Reset-Zustand : 0x00	
Bit	7	6	5	4	3	2	1	0	
Name	SCI8	SCI7	SCI6	SCI5	SCI4	SCI3	SCI2	SCI1	
Bit7...0	0	Keine Meldung							(r)
SCI8...1	1	Ausgang IOx hatte einen zur Interrupt-Meldung freigegebenen Überstrom							

<b>Überstrom-Meldung B (nur Lesen)</b>								<b>Adr. 0x07</b>	
								Reset-Zustand : 0x00	
Bit	7	6	5	4	3	2	1	0	
Name	SCI16	SCI15	SCI14	SCI13	SCI12	SCI11	SCI10	SCI9	
Bit7...0	0	Keine Meldung							(r)
SCI16...9	1	Ausgang IOx hatte einen zur Interrupt-Meldung freigegebenen Überstrom							

Mit dem Lesezugriff wird das Register gegen Veränderungen gesperrt und erst durch das Zurücksetzen via EOI wieder freigegeben. Nachfolgende Interrupts, die während der Lese-Phase und noch vor dem Zurücksetzen mittels EOI eintreffen, werden aufgefangen (Pipeline). Geschieht dies, kann durch EOI die Meldung an NINT bzw. D1/SOC oder D2/SOB nicht gelöscht werden, d.h. NINT bzw. D1/SOC oder D2/SOB bleibt konstant auf low. EOI füllt in diesem Fall die Interrupt-Meldung aus der Pipeline.

Die SCIx-Bits sind auch selektiv löscher durch Sperren und erneutem Freigeben von IENx. Für die IOx-Pins mit Eingangsfunktion wird 0 ausgegeben. SCIx meldet für IOx.

<b>Überstrom-Status A (nur Lesen)</b>								<b>Adr. 0x08</b>	
								Reset-Zustand : 0x00	
Bit	7	6	5	4	3	2	1	0	
Name	SC8	SC7	SC6	SC5	SC4	SC3	SC2	SC1	
Bit7...0	0	Keine Meldung							(r)
SC8...1	1	Überstrom im Ausgang IOx, z.B. durch einen Low-Side-Kurzschluss							

<b>Überstrom-Status B (nur Lesen)</b>								<b>Adr. 0x09</b>	
								Reset-Zustand : 0x00	
Bit	7	6	5	4	3	2	1	0	
Name	SC16	SC15	SC14	SC13	SC12	SC11	SC10	SC9	
Bit7...0	0	Keine Meldung							(r)
SC16...9	1	Überstrom im Ausgang IOx, z.B. durch einen Low-Side-Kurzschluss							

Überstrom-Status-Signale dienen zur Fehleranalyse und generieren keine Interrupts (Echtzeit, kein Register). Für I/O-Pins mit Eingangsfunktion wird 0 ausgegeben. SCx meldet für IOx.

A/D-Wandlerdaten 1 (nur Lesen)								Adr. 0x0A	
								Reset-Zustand : 0x00	
Bit	7	6	5	4	3	2	1	0	
Name	D9	D8	D7	D6	D5	D4	D3	D2	
Bit7...0	0	Wert des Bits ist 0							(r)
D9...2	1	Wert des Bits entspricht $VREFi/1024 * 2^n$ , mit $n = 9..2$							

A/D-Wandlerdaten 2 (nur Lesen)								Adr. 0x0B	
								Reset-Zustand : 0x00	
Bit	7	6	5	4	3	2	1	0	
Name	D1	D0	-	-	-	-	-	-	
Bit7...0	0	Wert des Bits ist 0							(r)
D1...0	1	Wert des Bits entspricht $VREFi/1024 * 2^n$ , mit $n = 1..0$							

Digitalisiertes Ergebnis der Analogmessung für Laststrom, I/O-Pin-Spannung, Treiberversorgung, interne Spannungsreferenz oder Temperaturmessung. VREFi entspricht bei der Strommessung der Sättigungsspannung des internen Referenztransistors, sonst entweder der internen Referenzspannung V(Vrefad) (Bit SVREF = '0', Steuerwort 6) oder der Spannung am Pin Vref (Bit SVREF = '1', Steuerwort 6).

Ausgangsregister A								Adr. 0x0C	
für I/O-Stufen mit Ausgangsfunktion									
								Reset-Zustand : 0x00	
Bit	7	6	5	4	3	2	1	0	
Name	OUT8	OUT7	OUT6	OUT5	OUT4	OUT3	OUT2	OUT1	
Bit7...0	0	High-Side-Treiber "AUS"							(r)
OUT8...1	1	High-Side-Treiber "EIN", d.h. im Normalfall IOx=1							

Ausgangsregister B								Adr. 0x0D	
für I/O-Stufen mit Ausgangsfunktion									
								Reset-Zustand : 0x00	
Bit	7	6	5	4	3	2	1	0	
Name	OUT16	OUT15	OUT14	OUT13	OUT12	OUT11	OUT10	OUT9	
Bit7...0	0	High-Side-Treiber "AUS"							(r)
OUT16...9	1	High-Side-Treiber "EIN", d.h. im Normalfall IOx=1							

OUTx schaltet den High-Side-Treiber für IOx.

Blinkpulsfreigabe A								Adr. 0x0E	
für I/O-Stufen mit Ausgangsfunktion									
								Reset-Zustand : 0x00	
Bit	7	6	5	4	3	2	1	0	
Name	PEN8	PEN7	PEN6	PEN5	PEN4	PEN3	PEN2	PEN1	
Bit7...0	0	Blinkpulse "GESPERRT"							(r)
PEN8...1	1	Blinkpulse "FREI"							

PENx gibt den Blinkpuls für IOx frei.

<b>Blinkpulsfreigabe B</b>								<b>Adr. 0x0F</b>	
für I/O-Stufen mit Ausgangsfunktion									
Reset-Zustand : 0x00									
Bit	7	6	5	4	3	2	1	0	
Name	PEN16	PEN15	PEN14	PEN13	PEN12	PEN11	PEN10	PEN9	
Bit7...0	0	Blinkpulse "GESPERRT"							(r)
PEN16...9	1	Blinkpulse "FREI"							

PENx gibt den Blinkpuls für IOx frei.

<b>Interrupt-Freigabe Eingangswechsel A</b>								<b>Adr. 0x10</b>	
für I/O-Stufen mit Eingangsfunktion									
Reset-Zustand : 0x00									
Bit	7	6	5	4	3	2	1	0	
Name	IEN8	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	
Bit7...0	0	Zur Interrupt-Auslösung "GESPERRT"							(r)
IEN8...1	1	Zur Interrupt-Auslösung "FREI": Ein hi → lo oder lo → hi Zustandswechsel am Eingang IOX löst einen Interrupt aus.							

<b>Interrupt-Freigabe Eingangswechsel B</b>								<b>Adr. 0x11</b>	
für I/O-Stufen mit Eingangsfunktion									
Reset-Zustand : 0x00									
Bit	7	6	5	4	3	2	1	0	
Name	IEN16	IEN15	IEN14	IEN13	IEN12	IEN11	IEN10	IEN9	
Bit7...0	0	Zur Interrupt-Auslösung "GESPERRT"							(r)
IEN16...9	1	Zur Interrupt-Auslösung "FREI": Ein hi → lo oder lo → hi Zustandswechsel am Eingang IOX löst einen Interrupt aus.							

IENx gibt die Interrupt-Auslösung für Eingang IOx frei. Ausgänge IOx können nicht zur Meldung freigegeben werden. Die Register sind nur im Eingabemodus beschreibbar.

<b>Interrupt-Freigabe Überstrom A</b>								<b>Adr. 0x12</b>	
Reset-Zustand : 0x00									
Bit	7	6	5	4	3	2	1	0	
Name	SCEN8	SCEN7	SCEN6	SCEN5	SCEN4	SCEN3	SCEN2	SCEN1	
Bit7...0	0	Zur Interrupt-Auslösung "GESPERRT"							(r)
SCEN8...1	1	Zur Interrupt-Auslösung "FREI": Ein Kurzschluss an IOx löst einen Interrupt aus.							

<b>Interrupt-Freigabe Überstrom B</b>								<b>Adr. 0x13</b>	
Reset-Zustand : 0x00									
Bit	7	6	5	4	3	2	1	0	
Name	SCEN16	SCEN15	SCEN14	SCEN13	SCEN12	SCEN11	SCEN10	SCEN9	
Bit7...0	0	Zur Interrupt-Auslösung "GESPERRT"							(r)
SCEN16...9	1	Zur Interrupt-Auslösung "FREI": Ein Kurzschluss an IOx löst einen Interrupt aus.							

SCENx gibt Interrupt-Auslösung für IOx frei.

Steuerwort 1A (I/O-Filter)								Adr. 0x14	
Reset-Zustand : 0x00									
	Nibble 1: I/O-Pins 5..8				Nibble 0: I/O-Pins 1..4				
Bit Name	7 BYP1	6 -	5 FH1	4 FH0	3 BYP0	2 -	1 FL1	0 FL0	

### Nibble 1

Bit7 BYP1	0 1	I/O-Filter aktiv Bypass für I/O-Filter: Die I/O-Signale werden ungefiltert weiterverarbeitet.							(r)	
Bit5..4 FH1..0		FH1	FH0	Filterzeiten <sup>1</sup>						
		0	0	14.5 * $tc(SECLK)$ $\pm$ 1 * $tc(SECLK)$						(r)
		0	1	896.5 * $tc(SECLK)$ $\pm$ 64 * $tc(SECLK)$						
		1	0	3584.5 * $tc(SECLK)$ $\pm$ 256 * $tc(SECLK)$						
		1	1	7168.5 * $tc(SECLK)$ $\pm$ 512 * $tc(SECLK)$						

### Nibble 0

Bit3 BYP0	0 1	I/O-Filter aktiv Bypass für I/O-Filter: Die I/O-Signale werden ungefiltert weiterverarbeitet.							(r)	
Bit1..0 FL1..0		FL1	FL0	Filterzeiten <sup>1</sup>						
		0	0	14.5 * $tc(SECLK)$ $\pm$ 1 * $tc(SECLK)$						(r)
		0	1	896.5 * $tc(SECLK)$ $\pm$ 64 * $tc(SECLK)$						
		1	0	3584.5 * $tc(SECLK)$ $\pm$ 256 * $tc(SECLK)$						
		1	1	7168.5 * $tc(SECLK)$ $\pm$ 512 * $tc(SECLK)$						

Steuerwort 1B (I/O-Filter)								Adr. 0x15	
Reset-Zustand : 0x00									
	Nibble 3: I/O-Pins 13..16				Nibble 2: I/O-Pins 9..12				
Bit Name	7 BYP3	6 -	5 FH1	4 FH0	3 BYP2	2 -	1 FL1	0 FL0	

### Nibble 3

Bit7 BYP1	0 1	I/O-Filter aktiv Bypass für I/O-Filter: Die I/O-Signale werden ungefiltert weiterverarbeitet.							(r)	
Bit5..4 FH1..0		FH1	FH0	Filterzeiten <sup>1</sup>						
		0	0	14.5 * $tc(SECLK)$ $\pm$ 1 * $tc(SECLK)$						(r)
		0	1	896.5 * $tc(SECLK)$ $\pm$ 64 * $tc(SECLK)$						
		1	0	3584.5 * $tc(SECLK)$ $\pm$ 256 * $tc(SECLK)$						
		1	1	7168.5 * $tc(SECLK)$ $\pm$ 512 * $tc(SECLK)$						

### Nibble 2

Bit3 BYP0	0 1	I/O-Filter aktiv Bypass für I/O-Filter: Die I/O-Signale werden ungefiltert weiterverarbeitet.							(r)	
Bit1..0 FL1..0		FL1	FL0	Filterzeiten <sup>1</sup>						
		0	0	14.5 * $tc(SECLK)$ $\pm$ 1 * $tc(SECLK)$						(r)
		0	1	896.5 * $tc(SECLK)$ $\pm$ 64 * $tc(SECLK)$						
		1	0	3584.5 * $tc(SECLK)$ $\pm$ 256 * $tc(SECLK)$						
		1	1	7168.5 * $tc(SECLK)$ $\pm$ 512 * $tc(SECLK)$						

1. SECLK: siehe Steuerwort 3B auf Seite 23

Steuerwort 2A (I/O-Pinfunktion)								Adr. 0x16
								Reset-Zustand : 0x11
Nibble 1: I/O-Pins 5..8				Nibble 0: I/O-Pins 1..4				
Bit Name	7	6	5	4	3	2	1	0
	NIOH	IH2	IH1	IH0	NIOL	IL2	IL1	ILO
<b>Nibble 1</b>								
Bit7 NIOH	0 1	Eingabe Ausgabe						(r)
Bit6..4 IH2..0		IH2	IH1	IH0	Stromquellen			
		0	0	0	0 $\mu$ A Pull-Down			
		0	0	1	200 $\mu$ A Pull-Down			(r)
		0	1	0	600 $\mu$ A Pull-Down			
		0	1	1	2mA Pull-Down			
		1	0	0	0 $\mu$ A Pull-Up			
		1	0	1	200 $\mu$ A Pull-Up			
		1	1	0	600 $\mu$ A Pull-Up			
		1	1	1	2mA Pull-Up			
<b>Nibble 0</b>								
Bit3 NIOL	0 1	Eingabe Ausgabe						(r)
Bit2..0 IL2..0		IL2	IL1	IL0	Stromquellen			
		0	0	0	0 $\mu$ A Pull-Down			
		0	0	1	200 $\mu$ A Pull-Down			(r)
		0	1	0	600 $\mu$ A Pull-Down			
		0	1	1	2mA Pull-Down			
		1	0	0	0 $\mu$ A Pull-Up			
		1	0	1	200 $\mu$ A Pull-Up			
		1	1	0	600 $\mu$ A Pull-Up			
		1	1	1	2mA Pull-Up			

**Steuerwort 2B (I/O-Pinfunktion) Adr. 0x17**

Reset-Zustand : 0x11

	Nibble 3: I/O-Pins 13..16				Nibble 2: I/O-Pins 9..12			
Bit Name	7 NIOH	6 IH2	5 IH1	4 IH0	3 NIOL	2 IL2	1 IL1	0 ILO

**Nibble 3**

Bit7 NIOH	0 1	Eingabe Ausgabe						(r)
Bit6..4 IH2..0		IH2	IH1	IH0	Stromquellen			
		0	0	0	0 $\mu$ A Pull-Down			
		0	0	1	200 $\mu$ A Pull-Down		(r)	
		0	1	0	600 $\mu$ A Pull-Down			
		0	1	1	2mA Pull-Down			
		1	0	0	0 $\mu$ A Pull-Up			
		1	0	1	200 $\mu$ A Pull-Up			
		1	1	0	600 $\mu$ A Pull-Up			
		1	1	1	2mA Pull-Up			

**Nibble 2**

Bit3 NIOL	0 1	Eingabe Ausgabe						(r)
Bit2..0 IL2..0		IL2	IL1	ILO	Stromquellen			
		0	0	0	0 $\mu$ A Pull-Down			
		0	0	1	200 $\mu$ A Pull-Down		(r)	
		0	1	0	600 $\mu$ A Pull-Down			
		0	1	1	2mA Pull-Down			
		1	0	0	0 $\mu$ A Pull-Up			
		1	0	1	200 $\mu$ A Pull-Up			
		1	1	0	600 $\mu$ A Pull-Up			
		1	1	1	2mA Pull-Up			

Steuerwort 3A (Blinkfrequenz-Einstellungen)								Adr. 0x18	
Reset-Zustand : 0x00									
	Nibble 3: I/O-Pins 13..16		Nibble 2: I/O-Pins 9..12		Nibble 1: I/O-Pins 5..8		Nibble 0: I/O-Pins 1..4		
Bit	7	6	5	4	3	2	1	0	
Name	PN31	PN30	PN21	PN20	PN11	PN10	PN01	PN00	
<b>Nibble 1</b>									
Nibble3, Bit7..6	PN31	PN30	Blinkfrequenz		Blinkfrequenz				
Nibble2, Bit5..4	PN21	PN20							
Nibble1, Bit3..2	PN11	PN10							
Nibble0, Bit1..0	PN01	PN00	SEBLQ = 0		SEBLQ = 1 <sup>1</sup>				
	0	0	f(BLFQ)		f(SECLK)/2 <sup>19</sup>		(r)		
	0	1	f(BLFQ/2)		f(SECLK)/2 <sup>20</sup>				
	1	0	f(BLFQ/4)		f(SECLK)/2 <sup>21</sup>				
	1	1	f(BLFQ/16)		f(SECLK)/2 <sup>23</sup>				

1. SEBLQ: siehe Steuerwort 3B

Steuerwort 3B (Takt-Referenzen)								Adr. 0x19	
Reset-Zustand : 0x00									
Bit	7	6	5	4	3	2	1	0	
Name	-	-	-	-	SECLK1	SECLK0	-	SEBLQ	
Bit0	SEBLQ	Einstellungen für Blinkfrequenz							
SEBLQ	0	Der Blinkpuls wird aus dem externen Taktsignal an BLFQ erzeugt (r)							
	1	Der Blinkpuls wird aus dem Systemtakt SECLK erzeugt							
Bit3..2	SECLK1	SECLK0	Einstellungen für Systemtakt SECLK						
SECLK1..0	0	0	Betrieb mit Taktsignal an CLK (r)						
	0	1	Betrieb mit intern erzeugtem Taktsignal ICLK						
	1	0	Betrieb ohne Taktsignal (Filterung u.a. deaktiviert)						
	1	1	reserviert						

Steuerwort 4 (Filtereinstellungen für Überstrom-Meldung)								Adr. 0x1A
								Reset-Zustand : 0x00
					Nibble3	Nibble2	Nibble1	Nibble0
Bit Name	7	6	5	4	3	2	1	0
	EOI	-	-	BYPSCF	SCF3	SCF2	SCF1	SCF0
Bit7 EOI	0 1	Keine Wirkung "LÖSCHEN" der Interrupt-Meldungen (Eingangswechsel-Meldung, Interrupt-Melderegister, Überstrom-Meldung), Übernahme von Nachfolge-Interrupts aus der Pipeline, Löschen der Meldung an NINT bzw. D1/SOC oder D2/SOB bei leerer Pipeline.  Bit setzt sich selbsttätig auf 0 zurück						(r)
Bit4 BYPSCF	0 1	Filter für Überstrom-Meldung aktiv Bypass für Filter: Überstrom-Meldungen werden ungefiltert weiterverarbeitet.						(r)
Bit3 SCF3	0 1	<b>Nibble 3</b> Überstrom-Meldung mit Filterung 2.3ms Überstrom-Meldung mit Filterung 4.6ms Angabe der Filterzeiten bei der Taktfrequenz an SECLK <sup>1</sup> , d.h. 1.25MHz: 2.3ms aus $(2689.5 \pm 192) * tc(SECLK)$ bzw. 4.6ms aus $(5378.5 \pm 384) * tc(SECLK)$						(r)
Bit2 SCF2	0 1	<b>Nibble 2</b> Überstrom-Meldung mit Filterung 2.3ms Überstrom-Meldung mit Filterung 4.6ms						(r)
Bit1 SCF1	0 1	<b>Nibble 1</b> Überstrom-Meldung mit Filterung 2.3ms Überstrom-Meldung mit Filterung 4.6ms						(r)
Bit1 SCF0	0 1	<b>Nibble 0</b> Überstrom-Meldung mit Filterung 2.3ms Überstrom-Meldung mit Filterung 4.6ms						(r)

1. SECLK: siehe Steuerwort 3B auf Seite 23

Steuerwort 5 (Auswahl I/O-Stufe für ADC-Messung)								Adr. 0x1B	
								Reset-Zustand : 0x00	
Bit Name	7	6	5	4	3	2	1	0	
	-	-	-	-	SELES3	SELES2	SELES1	SELES0	
Bit3..0 SELES3..0	0	0	0	0	Auswahl der I/O-Stufe				(r)
	0	0	0	1	I/O-Stufe 1				
	0	0	1	0	I/O-Stufe 2				
	0	0	1	1	I/O-Stufe 3				
	0	1	0	0	I/O-Stufe 4				
	0	1	0	1	I/O-Stufe 5				
	0	1	1	0	I/O-Stufe 6				
	0	1	1	1	I/O-Stufe 7				
	1	0	0	0	I/O-Stufe 8				
	1	0	0	1	I/O-Stufe 9				
	1	0	1	0	I/O-Stufe 10				
	1	0	1	1	I/O-Stufe 11				
	1	1	0	0	I/O-Stufe 12				
	1	1	0	1	I/O-Stufe 13				
	1	1	1	0	I/O-Stufe 14				
	1	1	1	1	I/O-Stufe 15				
	1	1	1	1	I/O-Stufe 16				

Steuerwort 6 (ADC-Einstellungen)								Adr. 0x1C
								Reset-Zustand : 0x00
Bit	7	6	5	4	3	2	1	0
Name	-	-	SVREF	EW	EME	SELAD2	SELAD1	SELAD0
Bit2..0 SELAD2..0		SELAD2	SELAD1	SELAD0	Einstellungen für ADC-Messungen			
		0	0	0	A/D-Umsetzer gesperrt (r)			
		0	0	1	Strommessung IO <sup>1</sup>			
		0	1	0	Spannungsmessung High an IO <sup>1</sup>			
		0	1	1	gesamte Spannungsmessung an IO <sup>1</sup>			
		1	0	0	Spannungsmessung Low an IO <sup>1</sup>			
		1	0	1	VBy Spannungsmessung (y:1..4) <sup>2</sup>			
		1	1	0	VBy Spannungsmessung			
		1	1	1	Temperaturmessung			
Bit3 EME		0	Messbereichserweiterung "AUS" (für Messspannungen bis 0.6V)					(r)
		1	Messbereichserweiterung "EIN" (für Messspannungen bis 5V)					
				Die Messbereichserweiterung kann für die Spannungsmessung High bzw. Low eingeschaltet werden.				
Bit4 EW		0	A/D-Umsetzer "AUS"					(r)
		1	A/D-Umsetzer wird gestartet Bit setzt sich selbsttätig auf 0 zurück.					
Bit5 SVREF		0	Interne Referenzspannung V(VREFAD) nutzen					(r)
		1	Externe Referenzspannung am Pin VREF nutzen					

- Die I/O-Stufe wird mit SELES(3:0) im Steuerwort 5 ausgewählt.
- VBy wird mit SELES(3:0) im Steuerwort 5 ausgewählt. Dabei gilt: SELES(3:0)=0x0 .. 0x3 → VB1 Messung; SELES(3:0) = 0x4 .. 0x7 → VB2 Messung; SELES(3:0) = 0x8 .. 0xB → VB3 Messung; SELES(3:0) = 0xC .. 0xF → VB4 Messung.

Verbindungsfehler, Bausteinerkennung (nur Lesen)								Adr. 0x1D
								Reset-Zustand : 0x15
Bit	7	6	5	4	3	2	1	0
Name	IBA	USVB	NRESA	DID4	DID3	DID2	DID1	DID0
Bit7 IBA	0	Keine Meldung						(r)
	1	Verbindungsfehler, Bonddraht-Abriss an GNDA oder GNDD						
Bit6 USVB	0	Keine Meldung						(r)
	1	Unterspannung an VB4, VB3, VB2 oder VB1						
Bit5 NRESA	0	Keine Meldung						(r)
	1	NRES ist 0						
Bit4..0 DID4..0	Identifizierungsnummer für iC-JX: 0b10101							(r)

<sup>1</sup> Freier Speicherplatz ohne Funktion, Zustand nach Reset ist 0.  
 (r) Zustand nach Reset

### FUNKTIONSBESCHREIBUNG

#### Schnittstellen

Der iC-JX kann wahlweise mit einer seriellen oder einer parallelen Schnittstelle betrieben werden, die Auswahl erfolgt über den Pin NSP. Wird dieser Pin auf VDD gelegt, so arbeitet der Baustein im parallelen Modus. Wird der Pin auf Masse gelegt, so arbeitet der Chip im seriellen Modus.

#### Betrieb mit paralleler Schnittstelle

Die parallele Schnittstelle im iC-JX besteht aus 8 Daten-, 5 Adress- und 3 Steuerleitungen. Mit den Adressleitungen A4...0 werden die Register im iC-JX ausgewählt. Die Adressen werden dabei mit dem Low-Pegel des Chip-Select-Signals NCS übernommen. Die Steuerleitungen NRD und NWR bestimmen über Schreib- oder Lesezugriff. Bild 6 zeigt die Beschaltung der parallelen  $\mu$ C-Schnittstelle.

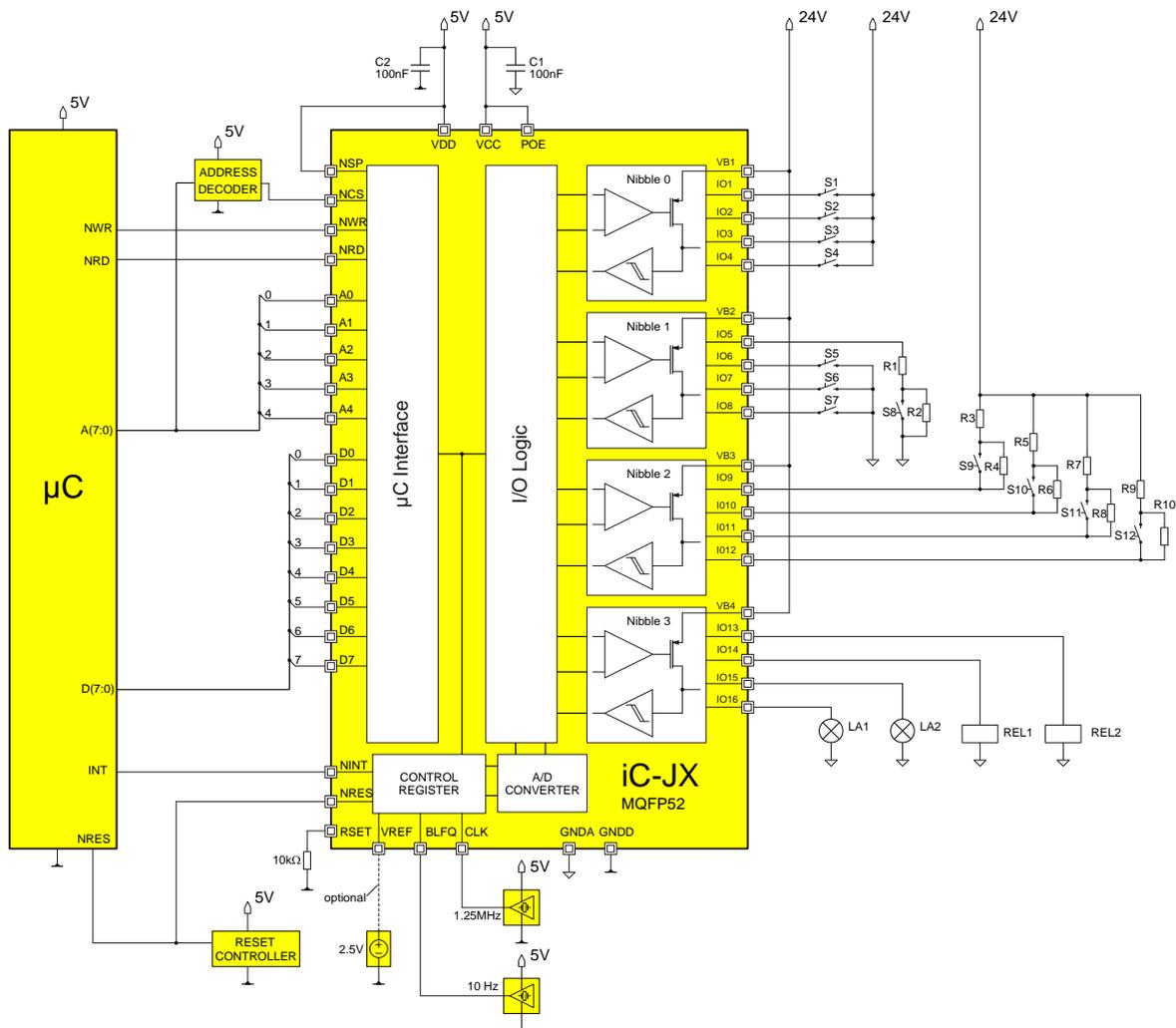


Bild 6: Applikationsbeispiel mit paralleler Schnittstelle

#### Betrieb mit serieller Schnittstelle

Um die Anzahl der Leitungen zwischen  $\mu$ C und iC-JX zu verringern und somit u. a. den Einsatz von Optokopplern zwischen  $\mu$ C und einem bzw. mehreren iC-JX in einer Baugruppe kostengünstig zu ermöglichen, ist im iC-JX eine erweiterte SPI-Schnittstelle in-

tegriert worden. Um die Kommunikation mit den iC-JX durch standardmäßige Controller zu gewährleisten, erhält das Adress- wie auch das Datenformat der Kommunikation acht Bits. Eine mögliche Beschaltung ist in Bild 7 gezeigt.

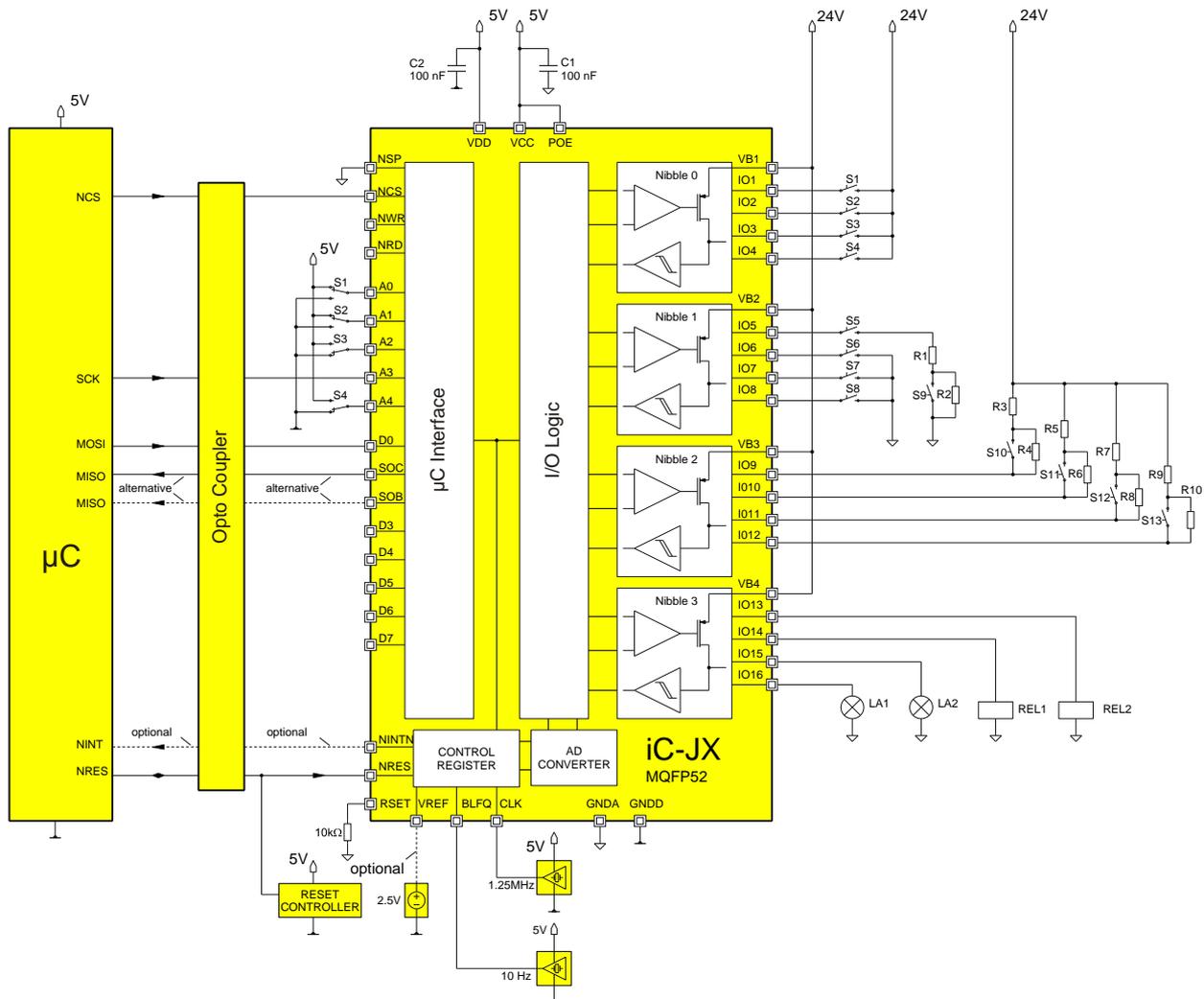


Bild 7: Applikationsbeispiel mit SPI-Schnittstelle

Es können beliebig viele iC-JX an einer SPI-Schnittstelle betrieben werden, hierzu sind lediglich mehrere Chip-Select Leitungen nötig. Die SPI-Schnittstelle im iC-JX besitzt neben einem Takteingang (SCLK) und einem Chip-Select Eingang (NCS) jeweils einen Dateneingang (SI) und einen Datenausgang für die Kettenschaltung (SOC, 'Serial Out Chain') sowie einen für den Busbetrieb (SOB, 'Serial Out Bus'). Die Konfiguration wird über den Pin A2 festgelegt. Liegt dieser auf '0' so liegt die Kettenkonfiguration vor, bei '1' gehen die Bausteine in Buskonfiguration.

Der Ausgang SOC eines Bausteins ist in der Kettenkonfiguration (Bild 8 oben) mit dem Eingangs SI des nachfolgenden Bausteins verbunden, der Ausgang SOB wird dabei nicht genutzt. Während der Adressierung (erstes Byte der Kommunikation) sind alle iC-JX transparent geschaltet, so dass alle Bausteine

gleichzeitig die übertragene Adresse empfangen. Nur der adressierte Baustein geht danach in den Datenübertragungsmodus, die anderen Bausteine bleiben transparent, so dass die Kommunikation zwischen Controller und adressiertem iC-JX ohne Verzögerung erfolgen kann. Allerdings ist zu beachten, dass jeder iC-JX auch im Transparentmode eine gewisse Durchlaufzeit besitzt, die auf die maximale Datenfrequenz des Gesamtsystems Einfluß hat.

In der Buskonfiguration (Bild 8 unten) sind alle SI-Eingänge sowie alle SOB-Ausgänge parallel geschaltet, die SOC-Ausgänge werden nicht genutzt. Durch die Bausteinadressierung wird sichergestellt, dass nur einer der Bausteine Daten auf SOB ausgibt, die Ausgänge der inaktiven Bausteine sind tristate geschaltet. Diese Konfiguration zeichnet sich gegenüber der Kettenkonfiguration durch höhere mögliche Taktraten aus.

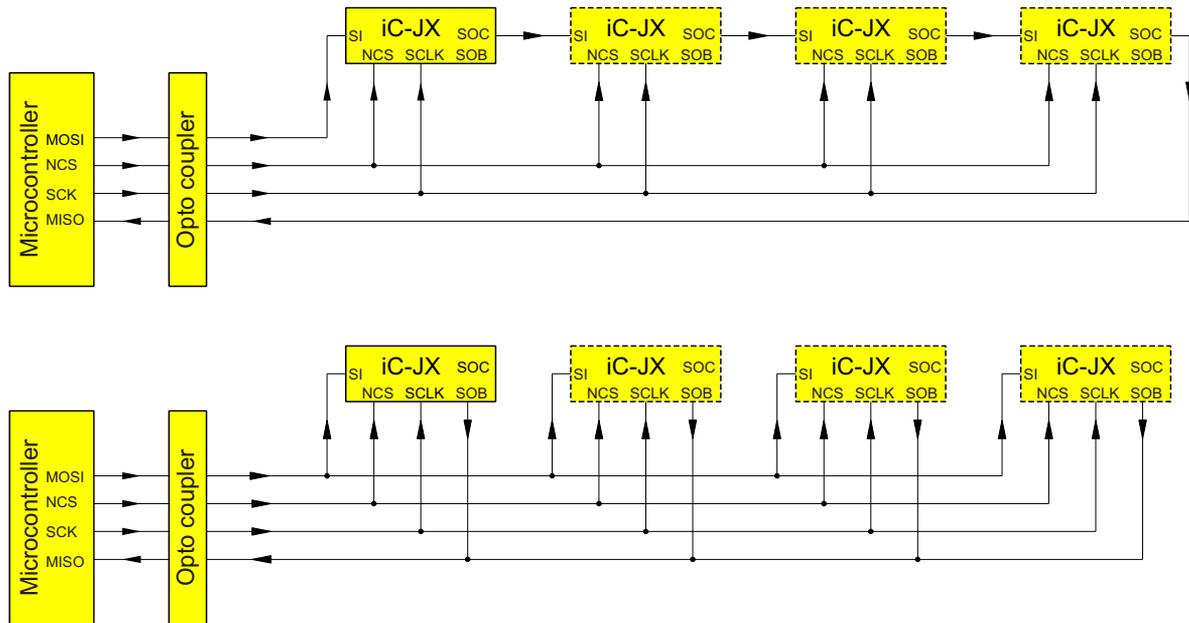


Bild 8: SPI-Konfigurationsmöglichkeiten

Findet auf der SPI-Schnittstelle keine Kommunikation statt, können die Bausteine Interrupts an den Controller melden, indem sie die MISO-Leitung des Masters auf '1' ziehen (die MOSI-Leitung des Masters muß hierbei auf '0' liegen). Hierzu sind alle iC-JX in der Kettenkonfiguration transparent geschaltet (siehe Bild 9), eine Interruptmeldung wird also durch alle Folgebauweise durchgeschleift. Bei der Buskonfiguration treibt der betroffene Baustein eine '1' an seinem

SOB-Ausgang gegen die Pull-Down-Widerstände an den Ausgängen der anderen Bausteine. Über den Pin A4 kann eingestellt werden, ob Interrupts über SOB bzw. SOC den Master gemeldet werden sollen ('0': keine Interruptmeldung, '1': Interruptmeldung). Die Meldung muss deaktiviert werden, wenn am SPI-Bus noch weitere Bausteine sitzen, da es sonst zu ungewollten Daten-Kollisionen auf den Bus kommen kann.

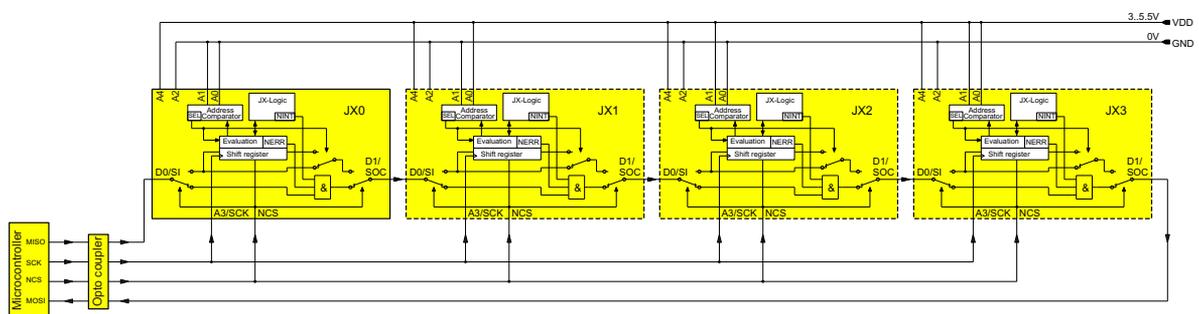
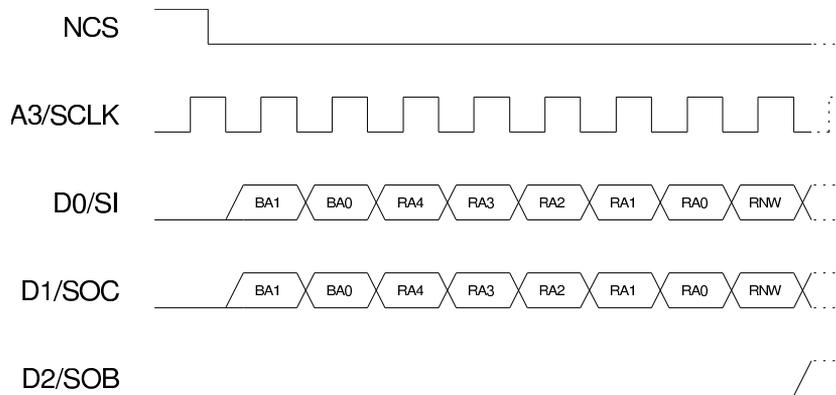


Bild 9: Schema der Adressierung und Interruptmeldung bei Kettenkonfiguration

Das erste Byte der Kommunikation (siehe Bild 10) besteht aus der 2-Bit Bausteinadresse (BA1:0), der 5-Bit Registeradresse (RA4:0) sowie einem Read Not Write Bit (RNW). Die Baustein-ID wird für jeden Bau-

stein über die Pins A(1:0) festgelegt. Somit sind in der Ketten- und der Buskonfiguration bis zu vier Bausteine an einem SPI-Master (mit einer NCS-Leitung) betreibbar.



**BA1..0: Bausteinadresse**  
**RA4..0: Registeradresse**  
**RNW: Read/not Write**

**SI transparent auf SOC durchgeschaltet**

Bild 10: Adressierungssequenz

### Lesen aus einem iC-JX (Bild 11):

In beiden Konfigurationen können in einem Übertragungszyklus ein oder mehrere Werte gelesen werden. Als erstes Byte sendet der Controller (Master) die Adresse des Bausteins, aus der die Daten gelesen werden sollen. Der angesprochene iC-JX (Slave) sendet im nächsten Byte zur Verifikation die Adresse zu-

rück, während der Master ein NOP (No Operating) Byte sendet. Danach sendet der Slave die verlangten Daten. Der Master sendet dabei die Anzahl der auszulesenden Bytes minus eins (in diesem Fall also den Wert '0'). Zur Erhöhung der Sicherheit wird das Anzahl-Byte in zwei Nibbles geteilt, die mit dem originalen (High-Nibble) und dem invertierten Wert (Low-Nibble) kodiert werden ('0'  $\rightarrow$  '0b00001111').

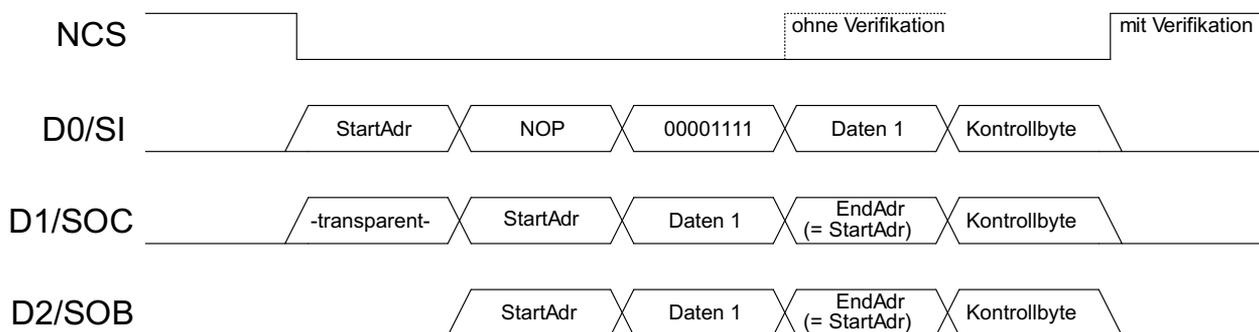


Bild 11: Lesen eines einzelnen Registerwertes

Bei Verzicht auf jegliche Verifikation kann der Master den Lesezyklus zu diesem Zeitpunkt beenden. Andernfalls sendet er die empfangenen Daten zurück an den Slave, der seinerseits die Adresse des gelesenen Registers (in diesem Fall also die Startadresse) zur Verifikation zurücksendet. Stimmt diese nicht mit der ursprünglichen vom Master gesendeten überein, kann dieser die Kommunikation abbrechen und ggf. wiederholen. Bei korrekter Adresse sendet der Master als nächstes das für maximale Fehlererkennung optimierte Kontrollbyte ('0b01011001').

Der Slave seinerseits prüft die Korrektheit der zurückgesendeten Daten und sendet abschließend bei kor-

rekten Daten ebenfalls das Kontrollbyte '0b01011001', im Fehlerfall den invertierten Wert '0b010100110'. Während der Sendung dieses Kontrollbytes wird auch überprüft, ob die Signale an SI und SOx synchron sind. Sollte dieses (z.B. weil auf SCLK ein Spike aufgetreten ist) nicht der Fall sein, sendet der Slave ab Erkennen dieses Zustandes das invertierte Kontrollbyte. Der Master erkennt eine korrekte Übertragung also daran, dass das Kontrollbyte fehlerfrei bei ihm ankommt. Sollen die Daten mehrerer aufeinander folgender Register ausgelesen werden (siehe Bild 12), so kann mit dem iC-JX dank einer Autoincrementfunktion ein verkürztes Übertragungsprotokoll gefahren werden. Hier-

bei sendet der Master nach der Adresse des ersten Registerwertes und dem NOP Byte nicht die Kennung '0', sondern die Anzahl der auszulesenden Register minus eins (Angabe von 1..15 führt zum Auslesen von 2..16 Bytes). Auch hier wird im Low-Nibble des Byte der invertierte Wert übertragen. Der angesprochene iC-JX sendet dann die aufeinander folgenden Registerwerte und überprüft jeweils nach einem Byte die Rücksendung vom Master auf Fehlerfreiheit. Nach Übertragung der verlangten Anzahl von Registerwerten sendet der Slave noch die Adresse des zuletzt adressierten Registers, gefolgt von dem Kontroll-

byte '0b01011001' (bei fehlerfreier Transmission) bzw. dem invertierten Wert '0b10100110' (bei einem Transmissionsfehler). Während der Übertragung des Kontrollbytes wird wiederum auf Synchronität der Signale an SI und SOx geprüft, sind die Signale nicht synchron, sendet der Slave ab Erkennung den invertierten Wert des Kontrollbytes. Wird die Überprüfung der gelesenen Master-Daten im iC-JX nicht benötigt (z.B. beim Betrieb an einem DMA-Kontroller) kann auf das Rücksenden der gelesenen Werte durch den Master verzichtet werden. Das Kontrollbyte zeigt hierbei eine fehlerhafte Transmission an.



Bild 12: Lesen mehrerer Werte von aufeinander folgender Registeradressen (autoincrement)

### Schreiben in einen iC-JX

(Bild 13, Bild 14):

Beim Schreiben kann ein einzelnes oder mehrere Register in einem Übertragungszyklus beschrieben werden. Hierzu sendet der Master erst die Startadresse und die Anzahl der zu übertragenden Daten minus eins. Zur Erhöhung der Sicherheit wird wie beim Lesen der Wert als zwei Nibbles (High-Nibble: nicht invertiert, Low-Nibble: invertiert) übertragen. Anschließend werden dann die Daten aufeinander folgender Adressen gesendet. Die Masterdaten werden vom iC-JX um ein Byte verzögert zurückgesendet, so dass der Master ständig überprüfen kann, ob bei der Adressierung oder bei den Daten ein Fehler aufgetreten ist. Liegt ein Fehler vor, kann der Master durch die Kommunikationsbeendigung die Übernahme der fehlerhaften Daten in die Slaveregister verhindern.

tiert, Low-Nibble: invertiert) übertragen. Anschließend werden dann die Daten aufeinander folgender Adressen gesendet. Die Masterdaten werden vom iC-JX um ein Byte verzögert zurückgesendet, so dass der Master ständig überprüfen kann, ob bei der Adressierung oder bei den Daten ein Fehler aufgetreten ist. Liegt ein Fehler vor, kann der Master durch die Kommunikationsbeendigung die Übernahme der fehlerhaften Daten in die Slaveregister verhindern.

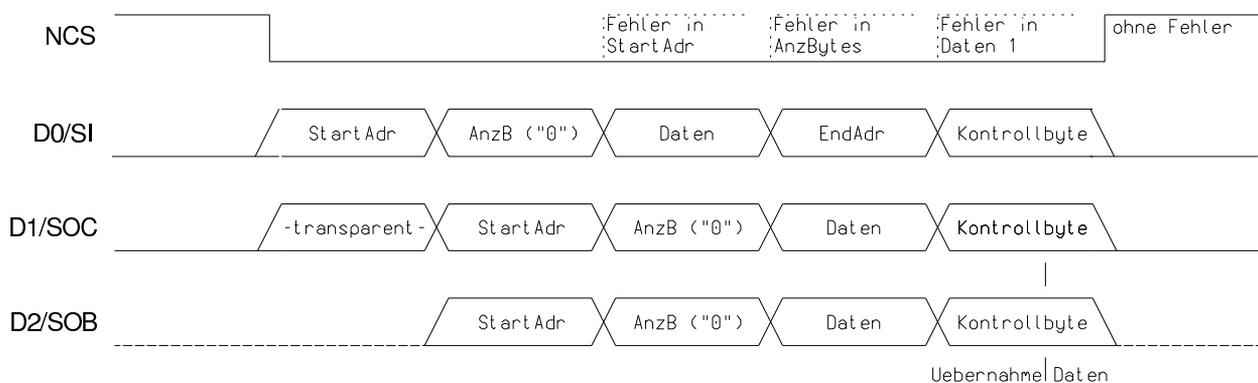


Bild 13: Schreiben eines Registerwertes

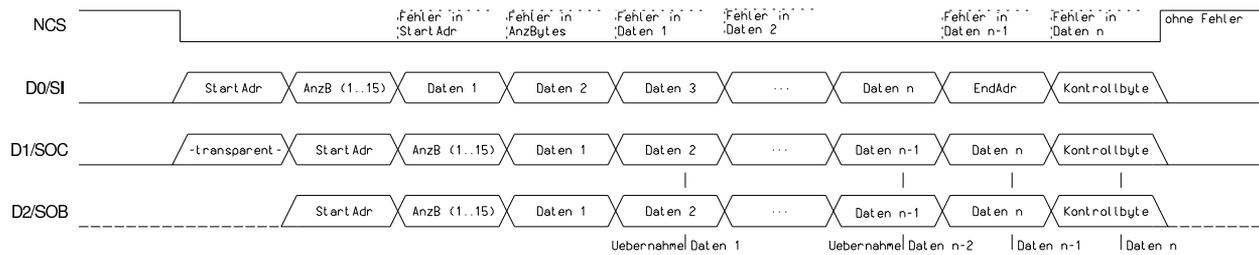


Bild 14: Schreiben mehrerer Registerwerte

### Fehlerhandling

Um Verarbeitungsaufwand zu sparen, wurde auf eine komplexe Technik (CRC usw.) bei der Fehlerbehandlung verzichtet. Anstelle dessen werden die übertragenen Adressen und Daten vom Empfänger wieder an den Sender zurückgeschickt, wo sie mit den ursprünglichen gesendeten Daten verglichen werden.

Erkennt der Master dabei einen Fehler, so kann er die Kommunikation auf eine Art und Weise abbrechen, die verhindert, dass falsche Werte in die Slaves eingeschrieben werden können.

Stellt ein einzeln adressierter Slave fest, dass die von ihm gesendeten Daten falsch wieder zurückgekommen sind oder die Zahl der Takte nicht ein Vielfaches von 8 Bits beträgt, so kann er dem Master diesen Fehler durch das invertieren des abschließenden Kontrollbytes mitteilen.

**Beschaltung RSET**

iC-JX kann wahlweise einen Referenzstrom intern erzeugen oder erlaubt die externe Stromeinstellung über Pin RSET. Es wird empfohlen, die externe Stromeinstellung mit einem  $10\text{ k}\Omega$  Widerstand gegen Masse zu verwenden, da diese einen genaueren internen Referenzstrom erzeugt.

**I/O-Stufen mit Eingangsfunktion**

Eingangsregister (Adr.  $0x00$  und  $0x01$ ): Lesen der Eingänge

Ein High-Pegel an IOx erzeugt ein High-Signal am Bit INx. Die Änderung eines Eingangssignals wird durch eine digitale Filterung erst nach Ablauf der wählbaren Filterzeit aufgenommen. Hierbei schaltet der Eingangskomparator jeder I/O-Stufe die Zählrichtung eines 3 Bit Zählers um. Erst nach Erreichen des Endstandes ändert sich der Zählerausgang. Durch ein Low-Signal am Rücksetzeingang NRES werden die Zähler auf den Wert 3 gesetzt. Der Zähler wird extern über den Pin CLK oder über den intern erzeugten Clock ICLK getaktet.

Für alle vier Nibble ist der Untersetzungsfaktor für die Taktfrequenz sowie die Umgehung des Eingangsfilters getrennt programmierbar (siehe Steuerwort 1 Adr.  $0x14$  und  $0x15$ ). Die Bypass-Schaltung (BYP1...4) ermöglicht den Betrieb ohne externes Clock-Signal (s. u.).

Nach Freigabe der Eingangswechsel-Meldung im Register Interrupt-Freigabe Eingangswechsel (Adr.  $0x10$  und  $0x11$ ) wird ein Pegelwechsel an einem der I/O-Pins dem Mikrocontroller gemeldet. Wird der iC-JX an der parallelen Schnittstelle betrieben, so wird der Pegel am Pin NINT auf 0 gezogen. Wird der Baustein an der seriellen Schnittstelle betrieben, erfolgt die Meldung des Pegelwechsel durch eine 0 am Pin SOC(D1) bzw. SOB(D2) je nach Konfiguration (siehe SPI-Schnittstelle auf Seite 26). Der Mikrocontroller kann durch das Lesen des Eingangsregisters feststellen, welche I/O-Stufe einen Eingangswechsel aufweist.

**I/O-Stufen mit Ausgangsfunktion**

Eingangsregister (Adr.  $0x00$  und  $0x01$ ): Lesen der Ausgangsrückführung

Ein High-Pegel an IOx erzeugt ein High-Signal am Bit INx. Hierdurch kann der steuernde Mikrocontroller direkt den Schaltzustand überprüfen bzw. mit Hilfe der programmierbaren High-Side-Stromquelle ( $200\text{ }\mu\text{A}$ ,  $600\text{ }\mu\text{A}$  und  $2\text{ mA}$ ) den Kanal auf Kabelbruch kontrollieren. Analog zum Lesen der Eingänge können die Rückführungssignale gefiltert oder ungefiltert ausgegeben werden. Der Mikrocontroller kann durch das Lesen des Eingangsregisters feststellen, welche I/O-Stufe einen Eingangswechsel aufweist.

**Programmierbare Stromquellen**

(Adr.  $0x16$  und  $0x17$ )

Die programmierbaren Pull-Up- bzw. Pull-Down-Stromquellen können unabhängig von der I/O-Funktion (Ausgabe bzw. Eingabe) gesetzt werden. In beiden Modi stehen jeweils eine  $200\text{ }\mu\text{A}$ ,  $600\text{ }\mu\text{A}$  oder eine  $2\text{ mA}$  Stromquelle zur Verfügung.

**ADC-Messungen****ADC-Messung: Strommessung (Adr.  $0x1C$ )**

In diesem Modus kann die Stromstärke in jeder Endstufe gemessen werden. Hierfür wird als Referenzspannung die Sättigungsspannung eines internen Referenztransistors benutzt. Dabei besitzt jede Endstufe einen eigenen Referenztransistor, um einen genauen Wert zu gewährleisten. Die Vergleichsspannung entspricht der Sättigungsspannung des Endstufentransistors bei einem Nennstrom von nominal  $150\text{ mA}$ ; der ausgegebene Digitalwert ist daher direkt die Stromstärke in der Endstufe. Um eine Stromänderung in der Endstufe genau feststellen zu können, muss der Controller bei der Initialisierung eine Referenzmessung mit einem ihm bekannten Strom durchführen. Von diesem Wert ausgehend kann dann eine Überwachung des Laststroms erfolgen. Die Endstufe wird dabei mit SELES(3:0) im Steuerwort 5 (Adr.  $0x1B$ ) ausgewählt.

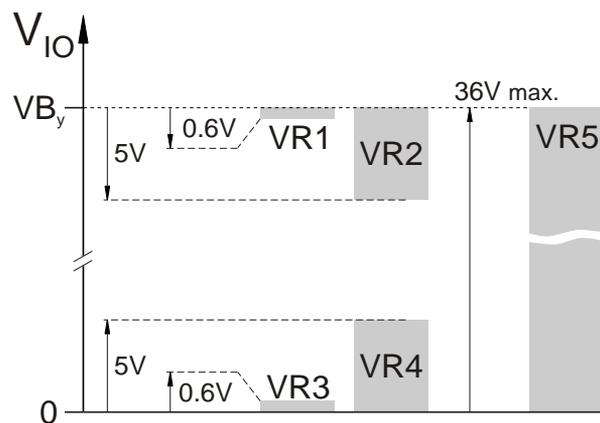


Bild 15: ADC-Messbereiche

**ADC-Messung: Spannungsmessung (Adr.  $0x1C$ )**

Der iC-JX ermöglicht es die Spannung an der I/O-Stufe zu erfassen. Der Messbereich liegt bei der "Spannungsmessung High an IO" zwischen  $V_B - 5\text{ V}$  und  $V_B$  (Bit EME = 1) bzw. zwischen  $V_B - 0.6\text{ V}$  und  $V_B$  (EME = 0). Bei dem Modus "Spannungsmessung Low an IO" liegt der Messbereich zwischen 0 und  $5\text{ V}$  (EME = 1) bzw. zwischen 0 und  $0.6\text{ V}$  (EME = 0). Im Modus "gesamte Spannungsmessung an IO" wird die Spannung an IO durch den Faktor 15 geteilt. Hierdurch ist es möglich den gesamten Spannungsbereich zu erfassen. Der Anwender muss bei diesem Modus beach-

ten, das der Eingangsstrom in IO während der Wandlung:  $V(IO)/200k\Omega$  beträgt. Die Auswahl der Endstufe erfolgt im Steuerwort 5 (Adr. 0x1B).

#### **ADC-Messung: VBy- und VBG-Messung (Adr. 0x1C)**

Die interne Referenzspannung VBG sowie die extern angelegten Versorgungsspannungen VB1 bis VB4 können ebenfalls gemessen werden. Die Spannung an den Pins VBy ( $y = 1 \dots 4$ ) wird dabei durch den Faktor 15 geteilt. Die zu messende VB-Spannung wird mit SELES(3:0) im Steuerwort 5 (Adr. 0x1B) festgelegt. Dabei gilt:

SELES(3:0)	VB - Messung
0x0 .. 0x3	VB1
0x4 .. 0x7	VB2
0x8 .. 0xB	VB3
0xC .. 0xF	VB4

#### **ADC-Messung: Temperaturmessung (Adr. 0x1C)**

In diesem Modi kann die interne Chiptemperatur ermittelt werden.

#### **ADC-Messung: Externe Vref (Adr. 0x1C)**

Um die Genauigkeit der A/D Umsetzung zu verbessern, kann am Pin VREF eine externe Referenzspannung angelegt werden. Ist das Bit SVREF = '0b1' so wird die externe Referenz verwendet. Dabei ist zu beachten das diese  $2.5V \pm 0.2\%$  betragen sollte.

#### **ADC-Messung: Ausgabe**

Die Ergebnisse der Strommessung, der Spannungsmessung an den I/O-Stufen, der Temperaturmessung sowie die VBy- und VBG-Messungen werden von einem 10 bit A/D-Wandler digitalisiert. Als Referenz dient, ausser bei der Strommessung, entweder die intern erzeugte Spannung  $V(VREFAD)$  (Bit SVREF = '0'), oder die extern am Pin Vref angelegte Spannung (Bit SVREF = '1'). Der A/D-Wandler signalisiert das Ende der Wandlung durch das Setzen von NINT bzw. D1/SOC oder D2/SOB auf '0'.

#### **Ausgangsregister (Adr. 0x0C und 0x0D):**

Ein-/Ausschalten der einzelnen Ausgangsstufen (für POE = '1').

#### **Blinkpulsfreigabe (Adr. 0x0E und 0x0F):**

Freigabe der Blinkfunktion

Hiermit kann jede einzelne Ausgangsstufe auf Blinken gestellt werden. Voraussetzung ist, dass der entsprechende Ausgangsregisterwert '1' beträgt. Die Blinkfrequenz wird von BLFQ abgeleitet oder kann alternativ aus CLK bzw. aus dem intern erzeugten Takt ICLK generiert werden (via SEBLQ im Steuerwort 3B

Adr. 0x1A). Für alle vier Nibbles können verschiedene Blinkfrequenzen eingestellt werden.

#### **Interrupts**

Interrupt-Anzeigen an NINT können durch den Wechsel eines (gefilterten) Eingangssignals, durch eine Überstrom-Meldung an einem I/O-Pin (z.B. durch einen Kurzschluss), durch eine Unterspannung an VCC bzw. VDD, durch Bursts an VDD, durch das Ende der A/D-Wandlung sowie durch Überschreitung von Übertemperaturgrenzen (2 Stufen) ausgelöst werden. Für jede einzelne I/O-Stufe kann die Interrupt-Anzeige durch eine Eingangswechsel-Meldung, bei Stufen mit Ausgangsfunktion, durch einen Kurzschluss ausgelöst werden. Die entsprechenden Interrupt-Freigaben bestimmen welche Meldungen gespeichert werden und zur Anzeige kommen. Die Interrupt-Anzeigen durch Übertemperatur, A/D-Wandlung, Unterspannung und Bursts sind nicht maskierbar, sondern immer freigegeben.

Beim Auftreten eines zur Interrupt-Anzeige freigegebenen Ereignisses wird bei der Benutzung der parallelen Schnittstelle der Ausgang NINT '0'. Beim Betrieb über die serielle Schnittstelle wird beim Auftreten eines Interrupt der Ausgang D1/SOC oder D2/SOB auf '0' gesetzt, wenn keine Kommunikation über die Schnittstelle stattfindet und der Pin A4 = '1' ist.

Durch das Auslesen des Interrupt-Melderegisters (Adr. 0x04 und 0x05) kann die Art der Meldung festgestellt und danach auch die verursachende I/O-Stufe lokalisiert werden. So wird bei einer Eingangswechsel-Meldung im entsprechenden Register (Adr. 0x02 und 0x03) die auslösende I/O-Stufe angezeigt, bei Meldung eines Überstrom-Interrupts identifiziert das Register Überstrom-Meldung (Adr. 0x06 und 0x07) die I/O-Stufe mit Kurzschluss.

Gelöscht werden Interrupts einfach durch das Setzen von EOI im Steuerwort 4 (Adr. 0x1A). Dieses Bit setzt sich anschließend selbstständig wieder auf 0 zurück. Wird im Betrieb die Ausgangsfunktion umgeschaltet, z. B. von Eingangs- auf Ausgangsfunktion, werden ebenfalls alle Interrupt-Meldungen via EOI gelöscht.

Damit zwischen dem Auslesen eines Melderegisters und dem Löschen des anstehenden Interrupts keine Interrupt-Meldung aus einer anderen Quelle unerkannt bleibt, werden nachfolgende Meldungen in einer Pipeline gespeichert. Die Tiefe der Pipeline entspricht dabei der Anzahl der freigeschalteten Interruptquellen. Sind nachfolgende Meldungen vorhanden, verbleibt nach dem Löschen des anstehenden Interrupts via EOI der Ausgang NINT bzw. D1/SOC oder D2/SOB auf 0, und die neue Interrupt-Quelle wird im Interrupt-Melderegister sowie in den typ-spezifischen Melderegistern angezeigt.

**Überstrom-Meldung**

Bei Überlast an einem Ausgang wird der Strom in IOx begrenzt. In diesem Falle wird, bei entsprechender Interrupt-Freigabe für die Überstrom-Meldung (Adr. 0x12 und 0x13) und nach Ablauf der mit Steuerwort 4 (Adr. 0x1A) eingestellten Filterzeit, eine Interrupt-Anzeige ausgelöst. Im Interrupt-Melderegister (Adr. 0x04) wird hierbei ISCI und im Register Überstrom-Meldung (Adr. 0x06 und 0x07) das entsprechende Bit für die auslösende I/O-Stufe gesetzt.

Unter der Adresse 0x08 und 0x09 kann der aktuelle und ungefilterte Überstrom-Status jeder einzelnen I/O-Stufe abgefragt werden; auch eine globale Abfrage für alle I/O-Stufen ist über das Bit SCS im Interrupt-Melderegister möglich. Hier wird aktuell zum Auslesezeitpunkt angezeigt, ob irgendeine I/O-Stufe Überstrom führt. Diese Kurzschlussmeldung ermöglicht eine ständige Überwachung der Ausgangstransistoren und eine eindeutige Zuordnung einer Fehlermeldung zum betreffenden I/O-Ausgang. Die Filterung der Überstrom-Meldung kann durch einen Bypass abgeschaltet werden, der für alle I/O-Stufen gemeinsam durch BYPSCF im Steuerwort 4 (Adr. 0x1A) aktiviert wird.

**Temperaturüberwachung**

Der Baustein iC-JX verfügt über eine zweistufige Temperaturüberwachung.

Stufe 1: Bei Überschreiten der ersten Temperaturgrenze (Toff1 bei ca. 132 °C) wird ein Interrupt als Vorwarnung ausgelöst. Geeignete Maßnahmen zur Verringerung der Treiberverlustleistung können dann durch den steuernden Mikrocontroller in die Wege geleitet werden.

Stufe 2: Wird die zweite Temperaturgrenze (Toff2 bei ca. 152 °C) überschritten, wird erneut ein Interrupt ausgelöst. Gleichzeitig werden die Ausgangstransistoren sowie die Stromquellen der I/O-Stufen abgeschaltet, das Ausgangsregister und die Blinkpulsfreigabe gelöscht. Nach Unterschreiten der Temperaturschwelle Toff1 werden die Stromquellen wieder aktiviert. Das Ausgangsregister sowie die Blinkpulsfreigabe müssen aber zur erneuten Aktivierung der Ausgangsstufen neu beschrieben werden.

Das Interrupt-Melderegister (Adr. 0x04) informiert über die Temperatur-Interrupt-Stufe, aber auch über den aktuellen Zustand der Temperaturüberwachung. Statisch zeigen ET2 bzw. ET1 das Überschreiten von Toff2 bzw. Toff1 an, wogegen die gespeicherte Interrupt-Meldung IET2 bzw. IET1 sowie die Interruptanzeige durch EOI = 1 löscherbar sind (Steuerwort 4 Adr. 0x1A).

**Unterspannungserkennung: VCC und VDD**

Beim Einschalten der Versorgungsspannung an VCC bzw. VDD werden die Ausgangstransistoren durch die Unterspannungserkennung erst mit Erreichen der Power-On-Freigabe VCCon bzw. VDDon freigegeben. Sinkt die Versorgungsspannung während des Betriebs auf VCCoff bzw. VDDoff ab, werden die I/O-Ausgänge gesperrt, d. h. die Ausgangstransistoren ausgeschaltet und ein Reset des Bausteins durchgeführt. Gleichzeitig wird der Interrupt Ausgang gesetzt. Statisch zeigen USD und USA im Interrupt-Melderegister B (Adr. 0x05) die Unterspannung an VCC bzw. VDD an. Die gespeicherte Interrupt Meldung IUSD und IUSA sowie die Anzeige an NINT bzw. D1/SOC oder D2/SOB sind durch EOI = 1 im Steuerwort 4 (Adr. 0x1A) löscherbar. Steigt die Versorgungsspannung wieder auf VCCon bzw. VDDon an, befindet sich der Baustein iC-JX somit im zurückgesetzten Zustand.

**Unterspannungserkennung: VB1...4**

Um einen sicheren Betrieb der angeschlossenen Lasten zu gewährleisten, wird die Spannung VB ebenfalls überwacht. Sinkt die Spannung unter die Schwelle VBoff ab, so werden die I/O-Ausgänge gesperrt. Ein Reset des Bausteins und eine Interrupt-Meldung an den Mikrocontroller werden nicht durchgeführt. Steigt die Spannung VB wieder über VBon, so werden die I/O-Ausgänge wieder freigegeben. Der Mikrocontroller kann den Status der Spannung VB am Bit USVB im Register Bausteinkennung (Adr. 0x1D) auslesen. Im Fehlerfall (VB < VBoff) wird dieses Bit auf 1 gesetzt.

**Anschlussüberwachung GNDD und GNDA**

Im iC-JX ist eine Anschlussüberwachung integriert, die die Verbindung der beiden Masse-Pins GNDA und GNDD überwacht. Liegt ein Fehlerfall vor (z. B. Abriss der Lötfläche), so kann dies der Mikrocontroller durch das Abfragen des Bit IBA im Register Bausteinerkennung (Adr. 0x1D) erkennen. Im Fehlerfall geht dieses Bit auf '1'. Liegt ein solcher Fehlerfall vor, so wird das Potential des fehlenden Masse-Pins gehoben, was zur Verschiebung der Schaltschwellen führen kann.

**Burst-Erkennung auf VDD**

Da beim Auftreten von Bursts auf VDD ein Einfluss auf Registerinhalte prinzipiell möglich ist, überwacht der iC-JX das Vorkommen von Spikes auf der Versorgung. Wird eine Gefährdung erkannt, wird der Interrupt auf 0 gesetzt. Die gespeicherte Interrupt-Meldung ISD (Interrupt-Melderegister B Adr. 0x05) sind durch EOI = 1 im Steuerwort 4 (Adr. 0x1A) löscherbar.

**Bausteinkennung**

Um den Baustein iC-JX identifizieren zu können, ist eine Kennung implementiert. Unter Adresse 0x1D kann das Bit-Muster '0b10101' ausgelesen werden.

### Reset

Ein Reset (NRES = '0') setzt die Registereinträge auf die in den Tabellen genannten Rücksetzwerte.

### Betrieb ohne Taktsignal BLFQ

Steht kein Taktsignal am Pin BLFQ zur Verfügung, so kann der Baustein iC-JX den Blinktakt intern aus dem externen Taktsignal von Pin CLK, oder aus dem intern erzeugten Taktsignal ICLK generieren. Um die Blinkfrequenz vom Systemtakt abzuleiten, muss im Steuerwort 3B (Adr. 0x19) das Bit SEBLQ auf '1' gesetzt werden. Die Periode für das Blinken wird dann mittels Division durch  $2^{19}$  gebildet.

### Betrieb ohne Taktsignal CLK

Auch ohne Takt am Pin CLK ist der iC-JX einsatzfähig. Im Steuerwort 3B (Adr. 0x1A) kann auf die intern erzeugte Taktfrequenz umgeschaltet werden, alle Filterfunktionen sind weiterhin nutzbar. Mit SECLK(1:0) im

Steuerwort 3B kann die taktgesteuerte Filterung für die I/O-Signale und für die Überstrom-Meldung auch abgeschaltet werden. Das gleiche Verhalten kann durch das Setzen von BYP0, BYP1, BYP2 und BYP3 im Steuerwort 1 (Adr. 0x14 und 0x15) gemeinsam mit BYPSCF im Steuerwort 4 (Adr. 0x1A) erreicht werden; alle Filter werden durch Bypass-Schaltungen umgangen. Es ist zu beachten, dass jetzt Leitungsstörungen zur ungewollten Interrupt-Anzeige führen können.

### Endstufenzwangsabschaltung

Am Eingang POE können die Ausgangsstufen zwangsweise abgeschaltet werden. Eine '1' gibt den Zugriff der Logik auf die Treiber frei, eine '0' sperrt ihn. Hiermit kann beispielsweise ein prozessorunabhängiger Watchdog die Ausgänge im Fehlerfall verriegeln. Ein integrierter Pull-Down-Widerstand erhöht die Sicherheit.

## DESIGN REVIEW: Funktionshinweise

iC-JX X2 (und vorherige Versionen)		
Nr.	Funktion, Parameter/Code	Beschreibung und Applikationshinweise
1	Reststrom I <sub>fl</sub> außerhalb Betriebsbedingungen (Kenn-Nr. 019)	Im Betrieb ist sicherzustellen, dass bei Anliegen der Treiberversorgungsspannungen VB1..VB4 auch die Chip-Versorgungsspannungen VCC und VDD den spezifizierten Betriebsbedingungen entsprechend zeitgleich stabil anstehen, um erhöhte Restströme an den Ausgängen IO <sub>x</sub> (x=1..16) zu vermeiden.

Tab. 8: Funktionshinweise bezüglich iC-JX Chipversionen X2 und vorherige Versionen

iC-JX X3		
Nr.	Funktion, Parameter/Code	Beschreibung und Applikationshinweise
1	Reststrom I <sub>fl</sub> außerhalb Betriebsbedingungen (Kenn-Nr. 019)	Restströme < 200 $\mu$ A

Tab. 9: Funktionshinweise bezüglich iC-JX Chipversionen X3

iC-Haus behält sich ausdrücklich das Recht vor, seine Produkte und/oder Spezifikationen zu ändern. Über erfolgte Änderungen und Ergänzungen zu den jeweils aktuellen Spezifikationen im Internet auf unserer Homepage [www.ichaus.de/infoletter](http://www.ichaus.de/infoletter) informiert ein Infoletter, der automatisch erzeugt und als E-Mail an eingetragene Nutzer verschickt wird.

Ein Nachdruck dieser Spezifikation – auch auszugsweise – ist nur mit unserer schriftlichen Zustimmung und unter genauer Quellenangabe zulässig.

Die angegebenen Daten dienen ausschließlich der Produktbeschreibung. Dies gilt insbesondere auch für die angegebenen Verwendungsmöglichkeiten/Einsatzbereiche des Produktes.

Eine Garantie hinsichtlich der Eignung oder Zuverlässigkeit des Produktes für die konkret vorgesehene Verwendung wird von iC-Haus nicht übernommen.

iC-Haus überträgt an dem Produkt kein Patent, Copyright oder sonstiges Schutzrecht.

Für die Verletzung etwaiger Patent- und/oder sonstiger Schutzrechte Dritter, die aus der Ver- oder Bearbeitung des Produktes und/oder der sonstigen konkreten Verwendung des Produktes resultieren, übernimmt iC-Haus keine Haftung.

Unsere Entwicklungen, IPs, Schaltungsprinzipien und angebotenen Integrierten Schaltkreise sind grundsätzlich geeignet, naheliegend und vorgesehen für einen zweckentsprechenden Einsatz in technischen Applikationen, z. B. in Geräten und Systemen und in beliebigen technischen Einrichtungen, soweit sie nicht bestehende Schutzrechte verletzen. Prinzipiell sind die Verwendungsmöglichkeiten technisch nicht beschränkt und beziehen sich beispielsweise auf Produkte des Warenverzeichnisses für die Außenhandelsstatistik, Ausgabe 2008 und folgende, jährlich herausgegeben vom Statistischen Bundesamt, Wiesbaden, oder auf ein beliebiges Produkt des Produktkatalogs der Hannover-Messe 2007 und folgender.

Eine zweckentsprechende Applikation unserer veröffentlichten Entwicklungen verstehen wir als Stand der Technik, die nicht mehr als erfinderisch im Sinne des Patentgesetzes gelten kann. Unsere expliziten Applikationshinweise sind nur als Ausschnitt der möglichen, besonders vorteilhaften Anwendungen zu verstehen.

**BESTELLINFORMATION**

Typ	Gehäuse	Bestellbezeichnung
iC-JX Entwicklungsboard	MQFP52 -	iC-JX MQFP52 iC-JX EVAL JX2D

Technischen Support und Auskünfte über Preise und Lieferzeiten geben:

**iC-Haus GmbH**  
Am Kuemmerling 18  
55294 Bodenheim

**Tel.: (0 61 35) 92 92-0**  
**Fax: (0 61 35) 92 92-192**  
**Web: <http://www.ichaus.com>**  
**E-Mail: [sales@ichaus.com](mailto:sales@ichaus.com)**

Autorisierte Distributoren nach Region: [http://www.ichaus.de/sales\\_partners](http://www.ichaus.de/sales_partners)