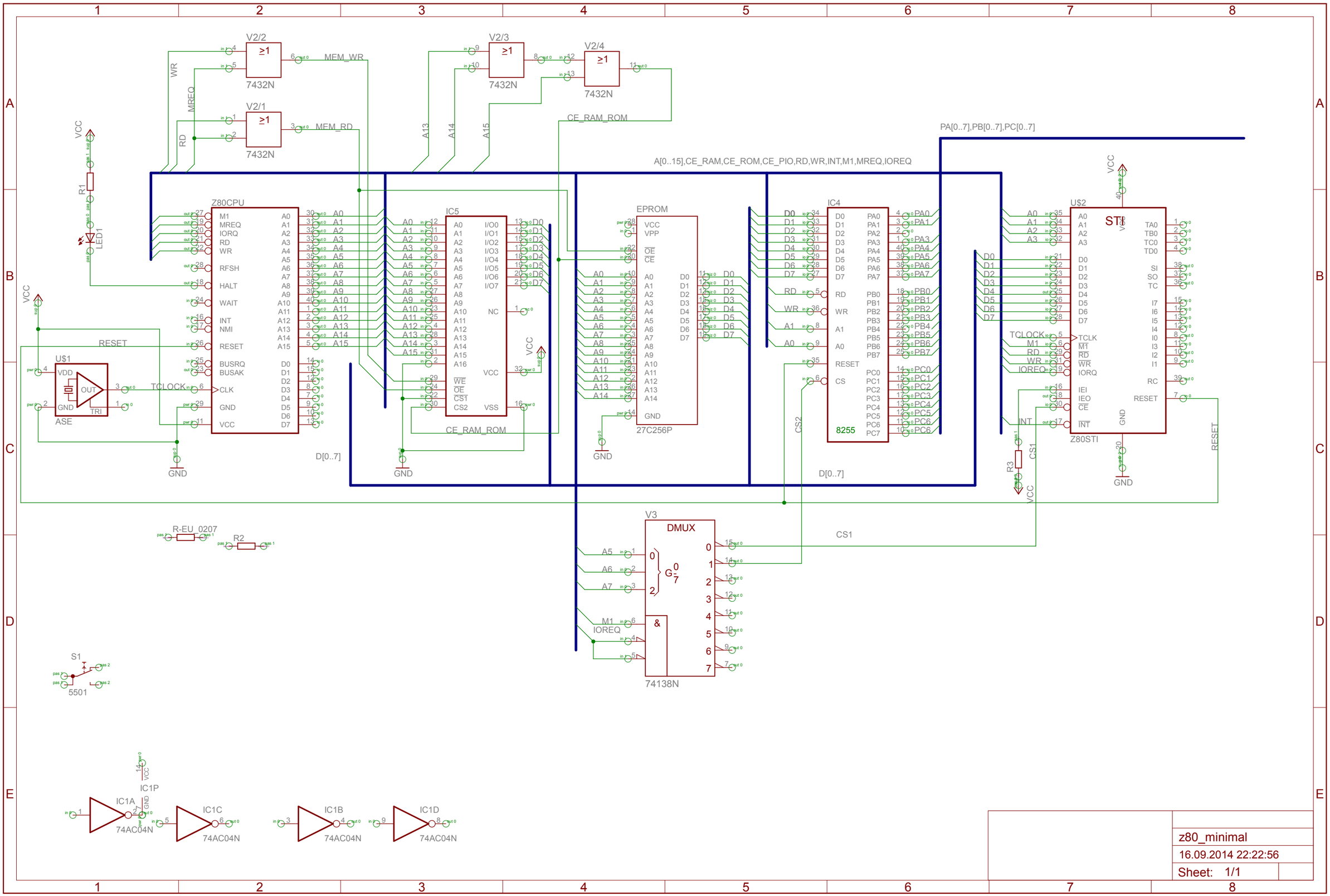
V2/2
≥1
7432N
MEM_WR
WR
MREQ
V2/1
≥1
7432N
MEM_RD
RD
V2/3
≥1
7432N
V2/4
≥1
7432N
CE_RAM_ROM
A13
A14
A15
PA[0..7],PB[0..7],PC[0..7]
A[0..15],CE_RAM,CE_ROM,CE_PIO,RD,WR,INT,M1,MREQ,IOREQ
VCC
R1
LED1
Z80CPU
M1
MREQ
IORQ
RD
WR
RFSH
HALT
WAIT
INT
NMI
RESET
BUSRQ
BUSAK
CLK
GND
VCC
A0
A1
A2
A3
A4
A5
A6
A7
A8
A9
A10
A11
A12
A13
A14
A15
D0
D1
D2
D3
D4
D5
D6
D7
RESET
U$1
VDD
OUT
GND
TRI
ASE
TCLOCK
GND
D[0..7]
IC5
A0
A1
A2
A3
A4
A5
A6
A7
A8
A9
A10
A11
A12
A13
A14
A15
A16
I/O0
I/O1
I/O2
I/O3
I/O4
I/O5
I/O6
I/O7
NC
VCC
WE
OE
CS1
CS2
VSS
D0
D1
D2
D3
D4
D5
D6
D7
VCC
CE_RAM_ROM
GND
EPROM
VCC
VPP
OE
CE
A0
A1
A2
A3
A4
A5
A6
A7
A8
A9
A10
A11
A12
A13
A14
GND
D0
D1
D2
D3
D4
D5
D6
D7
27C256P
GND
IC4
D0
D1
D2
D3
D4
D5
D6
D7
RD
WR
A1
A0
RESET
CS
PA0
PA1
PA2
PA3
PA4
PA5
PA6
PA7
PB0
PB1
PB2
PB3
PB4
PB5
PB6
PB7
PC0
PC1
PC2
PC3
PC4
PC5
PC6
PC7
8255
CS2
D[0..7]
U$2
A0
A1
A2
A3
D0
D1
D2
D3
D4
D5
D6
D7
TCLOCK
M1
RD
WR
IOREQ
INT
TCLK
MT
RD
WR
IORQ
IEI
IEO
CE
INT
RESET
GND
STI
TA0
TB0
TC0
TD0
SI
SO
TC
I7
I6
I5
I4
I0
I3
I2
I1
RC
RESET
GND
Z80STI
VCC
R3
CS1
RESET
V3
DMUX
A5
A6
A7
M1
IOREQ
G
0
7
&
0
1
2
3
4
5
6
7
74138N
CS1
R-EU_0207
R2
S1
5501
IC1P
VCC
GND
IC1A
IC1B
IC1C
IC1D
74AC04N
74AC04N
74AC04N
74AC04N
z80_minimal
16.09.2014 22:22:56
Sheet: 1/1