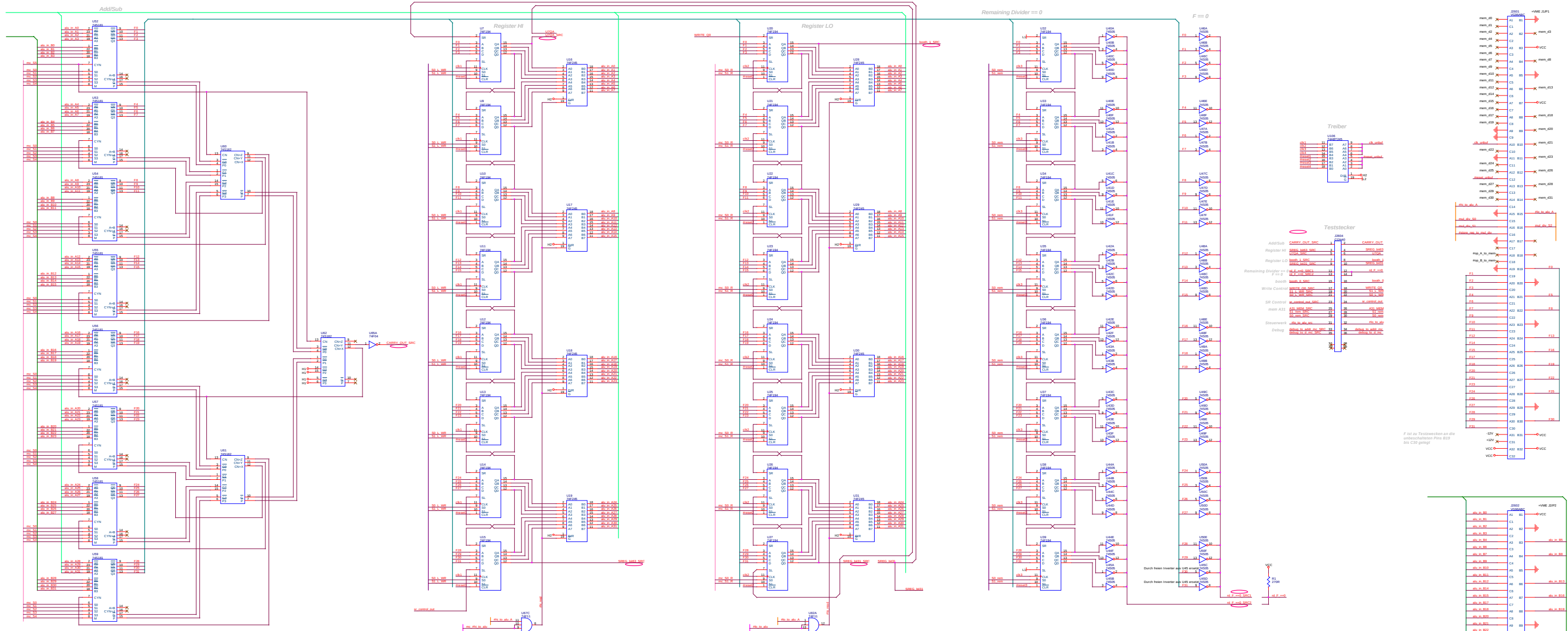
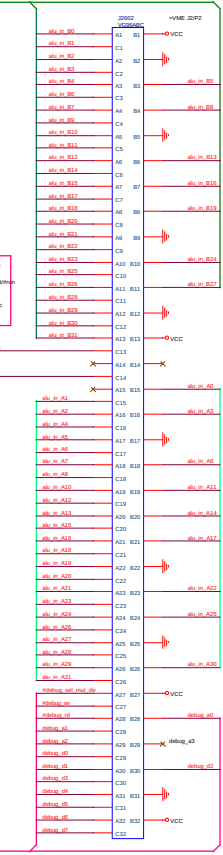


F 01 ist Testschaltung an die angeschlossen Pin 010 bis 030 gehen



Änderungen und Anmerkungen
03.07.2018
CLK und A0-A9 haben keine Quelle, daher Verknüpfung mit Reset und Systemclock über Buffer U208, Anordnung in die Netz 000_4 und mem00_4
U207 Pin 12 in Originalplan nicht dargestellt, Verknüpfung mit Pin 1 in Originalplan nicht dargestellt, Verknüpfung mit U207, U216, A12 an L gehen
Prüfer ist zu beachten, dass verknüpfte in ungeschalteter Reihenfolge der Erzeugung von U207 erzeugt wird
U207, U208, halbleitender IC-Halter nicht isoliert, daher Unterbrechung in U207 und U208
Die Halbleiterschaltung können die zum Teil weiterverknüpfte TTL-Halter nicht isolieren. Daher Halbleitender der Buffer U208 und U209
Achtung: Doppelverknüpfung besteht und SPICE ist 0 in Schaltungsplan nicht möglich
So gemacht?
270K für R1, R2, R3 aus max 10K 270K + 200K

Nachschaltung auf der Backplane erforderlich
Treiber: J450204 halbleitend, vor - J450204 halbleitend
Auf Layer 001, 002, 003 für Funktionen
Verknüpfung: J450204 zu J450204 halbleitend, vor
Verknüpfung: J450204 zu J450204 halbleitend, vor

