

Tabelle 16.2 Vergleich der Entwurfstile

	Full-Custom	Standard-Zelle	Makro-Zelle	Gate-Array	FPGA
kundenspezifische Masken	alle	alle	alle	maximal 50 % aller Masken	keine
Zellenmaße	variabel	fest	variabel	fest	fest
Zellenplatzierung	frei	in Reihen	frei	als Matrix	als Matrix
Zellenfunktion	variabel	wählbar	fest	fest	programmierbar
Verbindungen	variabel	in variablen Kanälen	variabel	in variablen oder festen Kanälen	programmierbar
Flächenausnutzung	sehr gut	gut	gut	mäßig	schlecht
Performance	sehr hoch	hoch	hoch	mittel	gering
Entwurfsproduktivität (Gatter/Tag)	50	200	400	350	500
Entwurfszeit	Mannjahre	Mannmonate	Mannmonate	Mannwochen	Mannwochen
Produktionszeit	12 Wochen	12 Wochen	12 Wochen	3 Wochen	Stunden
Wirtschaftlich bei Stückzahl/Jahr	> 100 000	10 000 ... 100 000	10 000 ... 100 000	100 ... 10 000	< 1 000

Prozessvorgegang, in allen anderen Fällen sind mit der Produktion technologische Schritte verbunden.

Mit „**Wirtschaftlichkeit bei Stückzahl/Jahr**“ wird betrachtet, innerhalb welcher Grenzen ein bestimmter Entwurfstil wirtschaftlich sinnvoll erscheint. Dieser Gesichtspunkt wird in Abschnitt 16.3 weiter vertieft.

16.3 Wirtschaftlichkeitsbetrachtung

In diesem Abschnitt werden die ASIC-Entwurfstile hinsichtlich wirtschaftlicher Gesichtspunkte diskutiert. Die Kosten der ASIC-Herstellung werden von den Halbleiterherstellern selten offen gelegt und zudem ändern sich die Kosten recht schnell. Die folgenden Zahlen können daher nur Näherungswerte sein.

16.3.1 ASIC als Produkt

Zunächst sollen einige Begriffe eingeführt werden, die zur Kosten- und Gewinnermittlung von ASICs eine Rolle spielen.

Mit **Fixkosten** FK bezeichnet man den Kostenanteil eines Produktes, der unabhängig von der Anzahl der verkauften Produkte ist. Bei ASICs zählen

dazu z. B. die Kosten der Masken oder der CAD-Anlage. Die Fixkosten müssen anteilsmäßig auf je verkauften IC umgelegt werden.

Die **variablen Kosten** VK sind der Kostenanteil des Produktes, der proportional zur verkauften Stückzahl ist. Bei ICs zählen hierzu z. B. die Kosten eines Dies oder eines Gehäuses. Ein Produkt ist i. Allg. nur eine gewisse Zeit lang am Markt verkaufsfähig, dann gibt es schon wieder leistungsfähigere Nachfolgeprodukte. Diese Zeit bezeichnet man als **Produktlebensdauer** (*product lifetime*) PLT . Innerhalb der Produktlebensdauer wird die so genannte **Lebensdauerstückzahl** $PLTSt$ eines Produktes verkauft.

Die **Kosten pro Stück** (IC_{cost}) ermittelt man aus

$$IC_{cost} = VK + \frac{FK}{PLTSt} \quad (16.1)$$

Als **Produktkosten** PK bezeichnet man

$$PK = FK + VK \cdot PLTSt \quad (16.2)$$

16.3.2 Fixkosten

Tabelle 16.3 zeigt eine Zusammenstellung der Fixkosten eines ASICs für die verschiedenen Entwurfstile /16.10/, /16.13/.

Die **Schulung** umfasst das Kennenlernen des zur Technologie gehörigen **Design-Kits**, welches die

Tabelle 16.3 Fixkosten für einen beispielhaften ASIC

	Full-Custom	Standard-Zelle	Makro-Zelle	Gate-Array	FPGA
Schulung					
Anzahl Schulungstage	10	5	5	5	2
Kosten/Tag	500 €	500 €	500 €	500 €	500 €
Kosten Schulung	5 000 €	2 500 €	2 500 €	2 500 €	1 000 €
Rechner	5 000 €	2 500 €	2 500 €	1 000 €	500 €
Software	100 000 €	25 000 €	25 000 €	5 000 €	2 500 €
Entwurfskosten					
Größe (Anzahl Gatter)	20 000	20 000	20 000	20 000	20 000
Entwurfsgeschwindigkeit (Gatter/Tag)	50	200	400	350	500
Anzahl Entwurfstage	400	100	50	57	40
Tage Musterunters.	80	20	10	11	8
Tage Redesign	40	0	0	0	0
Kosten/Tag	500 €	500 €	500 €	500 €	500 €
Kosten Entwurf	260 000 €	60 000 €	30 000 €	34 000 €	24 000 €
NRE					
Anzahl Masken	15	15	15	4	0
Kosten/Maske	2 500 €	2 500 €	2 500 €	2 500 €	2 500 €
Kosten Masken	38 000 €	38 000 €	38 000 €	10 000 €	0 €
Kosten Muster	10 000 €	10 000 €	10 000 €	1 500 €	0 €
Anz. Testvorb. Tage	10	5	5	5	5
Kosten/Tag	500 €	500 €	500 €	500 €	500 €
Kosten Testvorber.	5 000 €	2 500 €	2 500 €	2 500 €	0 €
Sonstiges					
Dokumentation					
Marketing					
Werbung					
Gesamte Fixkosten	423 000 €	140 000 €	110 000 €	58 000 €	28 000 €

Entwurfsregeln der Technologie beschreibt und die spezifischen Bibliotheken beinhaltet. Außerdem werden zu einem bestimmten Anteil Einarbeitung in EDA-Werkzeuge, Rechner und Systemverwaltung berücksichtigt. Die Schulungskosten sind umso höher, je spezifischer die Werkzeuge sind.

Die Kosten für Rechner und Software beinhalten anteilig die Kosten für die Anschaffung einer Workstation und der Lizenzkosten für EDA-Tools. Der Anteil der Anrechnung hängt von der Dauer des Projektes ab, die sich bei den Entwurstilen unterscheidet.

Die **Entwurfskosten** bestehen aus den Personalkosten für Entwurf und gegebenenfalls Layout des ASICs.

In der Tabelle 16.3 wird von einem mittelgroßen ASIC mit 20 000 Gatteräquivalenten ausgegan-

gen. Um die Anzahl der zum Entwurf benötigten Arbeitstage abschätzen zu können, muss für die Entwurfsgeschwindigkeit je nach Entwurstil eine bestimmte **Produktivität** abgeschätzt werden. Selbstverständlich ist dies von der Erfahrung des Designers, dem Entwurfsverfahren und den EDA-Tools abhängig, aber auch der Entwurstil spielt eine große Rolle.

Ein gewisser Anteil der Entwurfszeit wird in die Testbarkeit des ICs und die Erstellung der so genannten **Testvektoren** investiert.

Neben dem Aufwand für den Entwurf der ursprünglichen Schaltung ist Arbeitszeit für die Untersuchung der IC-Muster und für eventuelle Verbesserungen (**Redesign**) eingerechnet. Dieser Aufwand kann als proportional zum Aufwand für den Entwurf der ursprünglichen Schaltung angesehen werden.

Die einmaligen Kosten zur Herstellung des ASICs bezeichnet man als **Nonrecurring Engineering Costs (NRE)**. Zu den NRE zählt die Herstellung der kundenspezifischen Masken, deren Anzahl vom Entwurstil abhängt. Die Angaben für die Maskenkosten beziehen sich auf eine Technologie mit einer *Feature Size* von 0,5 µm. Außerdem werden die Kosten der Herstellung einiger ASIC-Muster und die Kosten zur Entwicklung des Testprogramms und sonstige Testvorbereitungen den NRE zugerechnet. Nicht mit aufgeführt sind die Kosten für die so genannte Industrialisierung, worunter man Freigabeuntersuchungen (*Qualification*) und Untersuchungen zur Produktion unter verschiedenen Bedingungen versteht.

Zu den **sonstigen Fixkosten** gehören Ausgaben für Dokumentation, Marketing und Werbung. Hier streuen die Kosten so stark, dass Zahlenangaben an dieser Stelle nicht sinnvoll erscheinen.

Falls die Untersuchung der ASIC-Muster ergibt, dass die *Performance* des ICs nicht den Erwartungen entspricht, muss der Entwurf verbessert werden. Vor allem bei *Full-Custom*, das ja nicht auf getesteten Zellen basiert, ist die Wahrscheinlichkeit für ein *Redesign* hoch. Bei *Semi-Custom ICs* stimmen dagegen meist schon die gemessenen Testergebnisse mit den Simulationen aus dem Entwurf überein. Jedes *Redesign* verursacht Kosten für Entwurf und NRE, aber noch bedeutender ist der damit verbundene Zeitverlust und die daraus resultierende geringere Lebensdauerstückzahl.

Die **gesamten Fixkosten** ergeben sich aus der Summe von Schulungskosten, Rechner- und Softwarekosten, Entwurfkosten, Maskenkosten, Kosten für die Testvorbereitung sowie den sonstigen Kosten.

16.3.3 Variable Kosten

Die Tabelle 16.4 stellt die variablen Kosten eines ASICs für die verschiedenen Entwurstile dar, wobei einige Angaben aus /16.10/ und /16.2/ übernommen wurden.

Zur Ermittlung der **Kosten eines Dies** wird zunächst die **Fläche** des benötigten *Dies* berechnet. Dazu wird die benötigte **Gatter-Anzahl** durch die **Gatter-Dichte** dividiert und mit dem Dichtefaktor multipliziert. Die Gatter Dichte und der **Dichte-**

faktor des Layouts sind von der Technologie und vom Entwurstil abhängig.

Bild 16.14 zeigt einen *Wafer* mit *Dies* mittlerer Größe (links) und mit großen *Dies* (rechts). Die Punkte stellen von Fehlern bei der Herstellung stammende Defekte dar. Die *Dies* im Randbereich sind unvollständig und können nicht genutzt werden. Die Anzahl der **ganzen Dies** ergibt sich aus:

$$\text{Ganze Dies} = \frac{\text{Waferfläche}}{\text{Die-Fläche}} - \frac{\text{Waferumfang}}{\text{Die-Kantenlänge}} \quad (16.3)$$

Die **Defektdichte** ist ein Qualitätsmerkmal der Technologie. Ein einzelner Defekt auf einem *Die* macht in der Regel den ganzen *Die* unbrauchbar. Um mit einer Technologie mit einer *Feature Size* von 0,5 µm nicht zu große Ausfälle zu erleiden, ist eine Defektdichte von weniger als 1/cm² notwendig.

Die **Ausbeute (Yield)** ist von der Defektdichte *Dd* und der Fläche des *Dies DA* abhängig /16.4/:

$$\text{Yield} = \left(\frac{1}{1 + \frac{Dd \cdot DA}{2}} \right)^2 \quad (16.4)$$

Für eine etablierte Technologie wird eine Ausbeute von über 80 % erwartet. Die Anzahl der „guten“ *Dies* erhält man aus der Multiplikation der Anzahl ganzer *Dies* mit der Ausbeute.

Die Kostenangabe pro **prozessiertem Wafer** beziehen sich auf eine Technologie mit einer *Feature Size* von 0,5 µm. Die Kosten eines *Dies* errechnen sich schließlich aus den Kosten eines prozessierten *Wafers* dividiert durch die Anzahl der guten *Dies*.

Die **Kosten für ein Gehäuse** sind in etwa zur Pinanzahl proportional, aber natürlich spielen auch Form und Material des Gehäuses eine Rolle. Die Angaben beziehen sich auf ein relativ preisgünstiges SMD-Plastikgehäuse.

Der letzte Kostenanteil in der Tabelle enthält die Testkosten pro IC. Jeder einzelne IC wird auf einem Tester anhand der Testvektoren geprüft.

Die **gesamten variablen Kosten** eines ICs ergeben sich aus der Summe der Kosten pro *Die*, den Gehäusekosten und den Testkosten.

Tabelle 16.4 Variable Kosten für einen beispielhaften ASIC

	Full-Custom	Standard-Zelle	Makro-Zelle	Gate-Array	FPGA
<i>Die-Kosten</i>					
Gatter-Anzahl	20 000	20 000	20 000	20 000	20 000
Gatter-Dichte/cm ²	40 000	35 000	35 000	25 000	20 000
Dichtefaktor	0,90	0,65	0,65	0,50	0,30
Die-Fläche/cm ²	0,56	0,88	0,88	1,60	3,33
Wafer-Durchm./inch	8	8	8	8	8
Ganze Dies/Wafer	498	301	301	152	62
Defekt-Dichte/cm ²	0,50	0,50	0,50	0,50	0,50
Yield	0,77	0,67	0,67	0,51	0,30
Gute Dies/Wafer	384	202	202	78	19
Wafer-Kosten	1 000 €	1 000 €	1 000 €	1 000 €	1 000 €
Kosten/Die	2,66 €	5,06 €	5,06 €	13,18 €	55,18 €
<i>Gehäuse-Kosten</i>					
Anzahl Pins	68	68	68	68	68
Kosten/Pin	0,015 €	0,015 €	0,015 €	0,015 €	0,015 €
Kosten Gehäuse	1,04 €	1,04 €	1,04 €	1,04 €	1,04 €
Testkosten	0,26 €	0,26 €	0,26 €	0,26 €	0,26 €
Gesamte variable Kosten	3,96 €	6,36 €	6,36 €	14,47 €	56,48 €

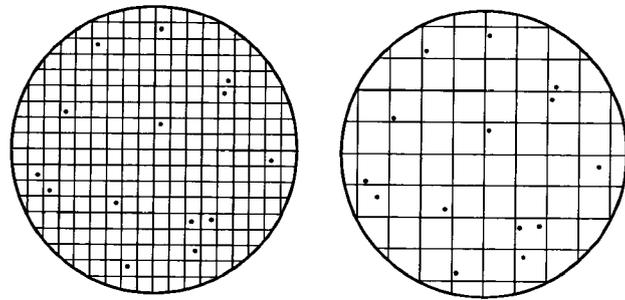


Bild 16.14 Wafer mit Dies verschiedener Größe und mit Defektstellen

16.3.4 Vergleich der Entwurststile

Mit den bisherigen Ergebnissen des Abschnitts 16.3 können jetzt die IC-Kosten nach Gl. (16.1) bestimmt werden. Bild 16.15 stellt die IC-Kosten in Abhängigkeit von der Lebensdauerstückzahl für die diskutierten Entwurststile dar, wobei die Fixkosten aus Tabelle 16.3 und die variablen Kosten aus Tabelle 16.4 zu Grunde gelegt wurden.

Mit zunehmender Lebensdauerstückzahl wirken sich die Fixkosten weniger aus und die IC-Kosten sinken. Bei einer Lebensdauerstückzahl von etwa 1 000 Stück ist das **Break-Even-Volume (BEV)** zwischen der FPGA-Lösung und der Gate Array Lösung. Das BEV zwischen Gate Array und

Standard-Zellen sowie Makro-Zellen liegt mit den gemachten Annahmen bei etwa 10 000 Stück. Erst oberhalb etwa 100 000 Stück ist die *Full-Custom*-Lösung am günstigsten.

Es gibt einige Ansatzpunkte, um die IC-Kosten zu verringern. Die Fixkosten sind maßgeblich von der **Entwurfsproduktivität** bestimmt. Hierfür sind geschulte Designer, moderne Entwurfsmethodik und gute EDA-Werkzeuge entscheidend. Die Maskenkosten und die Kosten zur Musterherstellung können gesenkt werden, wenn die IC-Entwicklung in einen so genannten **Multi-Project-Wafer (MPW)** eingebunden wird. Auf einem MPW können verschiedene Entwürfe auf einem gemeinsamen Wafer prozessiert werden.

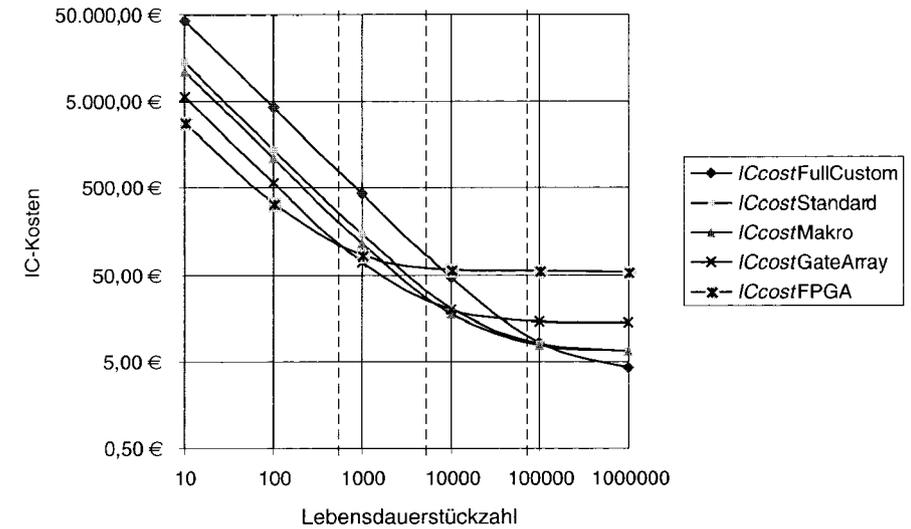


Bild 16.15 IC-Kosten in Abhängigkeit von der Lebensdauerstückzahl für ein Beispiel

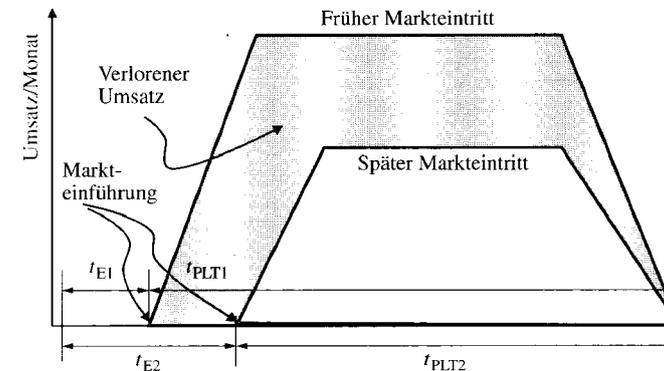


Bild 16.16 Umsatzmodell für ein Produkt mit früher bzw. später Markteinführung

Auch zur Produktion mit kleinen Stückzahlen oder in der Anlaufphase eines Produktes kann MPW eine attraktive Methode sein.

Der **Preis eines ICs** bestimmt sich aus den IC-Kosten zuzüglich des angestrebten **Gewinns pro Stück**. Beim erzielbaren Preis spielt die Konkurrenzsituation eine wesentliche Rolle, die bei innovativen Produkten vor allem vom Zeitpunkt der Markteinführung beeinflusst wird. Die folgende Überlegung verdeutlicht, dass die Entwurfsgeschwindigkeit für den Erfolg eines ICs von großer Bedeutung ist.

Bild 16.16 zeigt den monatlichen Umsatz eines Produktes einmal mit der Annahme einer frühen

Markteinführung und zum weiteren mit der Annahme einer späten Markteinführung /16.2/. Wenn das Produkt erst später eingeführt wird, verkürzt sich die Produktlebensdauer von t_{PLT1} auf t_{PLT2} . Zudem erreicht das verspätet eingeführte Produkt nur einen geringeren Marktanteil. Beide Faktoren führen zu einem Umsatzverlust und verringern die Lebensdauerstückzahl.

Die vorgestellten Entwurststile unterscheiden sich in der Entwicklungs- und Produktionszeit t_E : Im *Beispiel* benötigt ein FPGA einen Entwicklungsaufwand von 48 Tagen und keine Produktionszeit, während ein *Full-Custom-IC* 520 Tage Entwicklungsaufwand und 50 Tage Produktionszeit benötigt. Selbstverständlich ist die Entwicklungszeit i. Allg.

kürzer als der Entwicklungsaufwand, weil sich die Arbeit auf mehrere Designer verteilt.

Man erkennt, dass eine **Kombination der Entwicklungsschritte** das Optimum darstellt: Für eine rasche Produkteneinführung könnte FPGA oder Gate-

Array gewählt werden, während für die Massenproduktion eine Lösung mit geringeren variablen Kosten gewählt wird. Die Entwurfsmethodik muss so gewählt werden, dass beim Wechsel des Entwurfsstil nicht zu viel zusätzlicher Entwicklungsaufwand entsteht.

16.4 Literatur

- /16.1/ *Bland, P.; Fiebig, N.; Ipek, M.*: A Direct Conversion IC for Digital Satellite TV. – Southampton, UK: ESSIRC'97 Intern. Conf., 1997
- /16.2/ Fa. Chip Express: Chip Express ASIC Development Model. <http://pc21.sprit.net/en/chipepress>, 1999
- /16.3/ *Hoppe, B.*: ASIC-Design: Realisierung von VLSI-Systemen mit Mentor V8. – Berlin; Heidelberg u. a.: Springer-Verlag, 1999
- /16.4/ *Murphy, B.*: Cost-size optima of monolithic integrated circuits. Proc. IEEE., 52, Dec 1964
- /16.5/ *Reifschneider, N.*: CAE-gestützte IC-Entwurfsmethoden. – München [i. e.]: Haar; London u. a.: Prentice Hall, 1998
- /16.6/ *Rieger, M.*: Einfache Lösungen für Digital-Analog-Wandler und für Analog-Digital-Wandler. – Albstadt-Sigmaringen: MPC-Workshop, Januar 1998
- /16.7/ *Sauter, D.; Weierth, H.* (Hrsg.): Lexikon Elektronik und Mikroelektronik. – Disseldorf: VDI-Verlag, 1990
- /16.8/ *Schwabenberger, T.*: Design eines flächen- und leistungsoptimierten 12C-Bus-Interfaces in voll-differenzierter ECL-Technik. Fern-Universität Hagen, Fachbereich Elektrotechnik: Diplomarbeit 1995.
- /16.9/ SIA Semiconductor Industrie Association: THE NATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS: TECHNOLOGY NEEDS, 1997
edition: <http://notes.sematech.org/ntrs/PubINTTRS.nsf>
- /16.10/ *Smith, M.*: Application-specific integrated circuits. – Reading; Massachusetts; Harlow, England u. a.: Addison-Wesley, 1997
- /16.11/ *Spirin, H.*: CAD der Mikroelektronik. – München; Wien; Oldenbourg-Verlag, 1997
- /16.12/ Thomson Multimedia: CD player with „one Chip“. PRODUCT FUNCTIONAL SPECIFICATION TCM 121-2/-3 10541940, 1998
- /16.13/ *Timmermann, D.*: Grundlagen der VLSI-Technik: http://www-nd.e-technik.uni-troislock.de/lehre/vlsi_i/fohlen.htm

17 Bibliothek

DIRK JANSEN

Beim Entwurf eines digitaler Grundelemente der Logik, die Flops, nicht jeweils selbst eine Bibliotheken entnommen, von häufig gebrauchten Grundstellen. Damit kann zumindest ein reich der Entwurf auf Transistoren werden, wodurch das Entwurfs der Verifizierungsaufwand der werden. Auch bei analogen den, soweit verfügbar. Kompakte Bibliotheken verwendet, sowie mente enthalten. Digitale Schaltungen damit zu 100 %, analoge Schaltungen 80...90 % aus Bibliotheksellementen zusammengefügt werden. Nur besonderen Eigenschaften, die nicht enthalten sind, werden noch Stil auf Transistoroberfläche entworfen.

Die Bibliothekselemente stellen dar, aus denen durch Verschaltung entstehen. Im Sinne des *Gaisis* besteht jedes Bibliotheksellement aus **Symbol** (Struktur) und **Form** (Geometrie) (— **B** grieren Schaltungen ist die Zahl von Grundbausteinen, die Schaltungen aufgebaut werden.

Diese Vorstellung muss nicht teigierten Schaltungen beschränkte diskrete Bauteilen wie Transistoren und Kondensatoren, die auf Leiternet werden sollen, liegen Symbol und Gehäusegeometrie als Im Fall der diskreten Schaltungen, samrtzahl der verwendbaren Elemente, die allerdings sehr grober kann.

Wie die Bibliothekselemente binden sind, beschreibt die **Net**