

## Über die Machbarkeit der Ansteuerung von 4 ADC's mittels FPGA Cyclone II am konkreten Beispiel des Welec Oszi W2022A

Die Verbindungen vom FPGA zu den ADC sind mit LVDS als I/O Standard ausgeführt.

Aus: **Altera- Cyclone II:** [http://www.altera.com/literature/hb/cyc2/cyc2\\_cii5v1.pdf](http://www.altera.com/literature/hb/cyc2/cyc2_cii5v1.pdf)

„Cyclone II devices are capable of running at a maximum data rate of 805 Mbps (double data rate) for input“

⇒ Einlesen der parallel anliegenden Daten mit 250MHz stellt kein Problem dar.

Schwieriger wird es bei den Clocksignalen die zu den AD- Wandlern gehen.

Die Taktsignale für das Sampeln erzeugt ebenfalls der FPGA mit Hilfe der internen PLL.

Der EP2C35 enthält 4 PLL, für jeden ADC einen. Die Clock- input Pins der ADC's des zweiten Kanal werden hardwaremäßig mit den entsprechenden Pins des ersten Kanal verbunden.

Für den in den Welec Oszis verwendeten Cyclone II- EP2C35 mit dem eingesetzten Speedgrade (8) wird die maximale Clock output- Frequenz mit 280MHz angegeben:

**Table 5–45. Maximum Output Clock Toggle Rate on Cyclone II Devices (Part 4 of 4)**

I/O Standard	Drive Strength	Maximum Output Clock Toggle Rate on Cyclone II Devices (MHz)								
		Column I/O Pins (1)			Row I/O Pins (1)			Dedicated Clock Outputs		
		-6 Speed Grade	-7 Speed Grade	-8 Speed Grade	-6 Speed Grade	-7 Speed Grade	-8 Speed Grade	-6 Speed Grade	-7 Speed Grade	-8 Speed Grade
LVDS	—	400	340	280	400	340	280	400	340	280

Diese fmax gilt nur bei idealen Bedingungen und ist im realen Betrieb zu korrigieren.

Als begrenzende Faktoren zählen hier die Eingangskapazität der ADC und natürlich die parasitären Kapazitäten durch den Schaltungsaufbau.

**Table 5–46. Maximum Output Clock Toggle Rate Derating Factors (Part 3 of 4)**

I/O Standard	Drive Strength	Maximum Output Clock Toggle Rate Derating Factors (ps/pF)									
		Column I/O Pins			Row I/O Pins			Dedicated Clock Outputs			
		-6 Speed Grade	-7 Speed Grade	-8 Speed Grade	-6 Speed Grade	-7 Speed Grade	-8 Speed Grade	-6 Speed Grade	-7 Speed Grade	-8 Speed Grade	
LVDS	—	11	13	16	11	13	15	11	13	15	
Output jitter (peak to peak)	—	—	—	500	—	—	500	—	—	550 (10)	ps

Auch die Generierung und Ansteuerung der ADC mit den entsprechenden Clocksignalen mittels FPGA ist, bei sauberem, kapazitätsarmen Schaltungsentwurf bis hinauf zu 250 MHz zu realisieren.

Das Phasenrauschen (Jitter) ist mit 550 ps angegeben und dürfte, selbst in dieser Höhe, keine gravierenden Auswirkungen auf die AD-Wandlung haben- eine Fehlerabschätzung im worst case Fall ist mehr jetzt aber zu viel Arbeit ;-)

Der Vollständigkeit halber hier noch der Link zu dem ADC- Datenblatt:

**Maxim 1121:** <http://datasheets.maxim-ic.com/en/ds/MAX1121.pdf>

PIN: 22 – CLKP -True Clock Input. This input requires an LVDS-compatible input level to maintain the converter's excellent performance.

PIN: 23 – CLKN - Complementary Clock Input. This input requires an LVDS-compatible input level to maintain the converter's excellent performance.

-The ADC also features a selectable on-chip divide-by-2 clock circuit, which allows the user to apply clock frequencies as high as 500MHz. This helps to reduce the phase noise of the input clock source. A differential LVDS sampling clock is recommended for best performance

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Clock Duty Cycle		Set by clock management circuit		40 to 60		%
Aperture Delay	t <sub>AD</sub>			350		ps
Aperture Jitter	t <sub>AJ</sub>			0.2		psRMS
<b>CLOCK INPUTS (CLKP, CLKN)</b>						
Differential Clock Input Amplitude		(Note 2)	200	500		mVp-p
Clock Input Common-Mode Voltage Range				1.25 ±0.25		V
Clock Differential Input Resistance	R <sub>CLK</sub>			11 ±25%		kΩ
Clock Differential Input Capacitance	C <sub>CLK</sub>			5		pF