
1. Aufbau, Funktion und Applikationsbeispiele der Analogprozessoren C 500 D und C 501 D sowie der Ansteuerschaltkreise C 502 D und C 504 D

Ing. Harro Kühne

In der elektronischen Meßtechnik lösen Einrichtungen, die Meßwerte digital erfassen, verarbeiten und, wenn es erforderlich ist, auch in Ziffernform darstellen, zunehmend solche Meßanordnungen ab, deren Funktionsprinzipien auf der ausschließlich analogen Meßwertermittlung, -verarbeitung und -anzeige beruhen. 2 Faktoren begünstigen diesen Trend. Einerseits ermöglichen digitale Meßeinrichtungen mit Hilfe von geeigneten Umsetzern sehr oft eine erheblich größere Auflösung des Meßwerts, der außerdem auch von weniger qualifiziertem Bedienpersonal fehlerfrei abgelesen werden kann, und andererseits läßt sich der in digitaler Form vorliegende Meßwert problemlos mit Hilfe von Mikrorechnern bearbeiten.

Der überwiegende Teil der zu bestimmten physikalischen Größen hat eine analoge Form. Sie bedingt deshalb einen geeigneten A/D-Umsetzer, der den Meßwert in eine Darstellungsart überführt, die relativ leicht digital angezeigt und verarbeitet werden kann. Meist ist es dabei mit einfachen Mitteln möglich, die jeweils vorliegende Meßgröße (z. B. Strom, Temperatur, Druck, Widerstand usw.) in eine ihr entsprechende Spannung umzuwandeln. Sehr weit verbreitet sind aus diesem Grund A/D-Umsetzer, für die als Eingangsgröße Gleichspannungen einer oder beliebiger Polarität zulässig sind. Für viele Meßaufgaben haben sich solche A/D-Umsetzer als besonders brauchbar erwiesen, die die zu verarbeitende Eingangsspannung in den Zeitbereich transformieren. Das Ausgangssignal solcher A/D-Wandler

ist dann entweder ein Impuls oder eine Impulsfolge, dessen Dauer bzw. deren Frequenz der vorliegenden Eingangsspannung direkt proportional ist. Verarbeiten diese A/D-Umsetzer eine Eingangsspannung beliebiger Polarität, dann gibt ein zusätzliches Signal des Umsetzers Aufschluß über das Vorzeichen.

Bei vielen praktischen Meßaufgaben spielt die zum Erfassen des Meßwerts erforderliche Zeitdauer keine überragende Rolle. Von Vorteil sind dann besonders die integrierend arbeitenden A/D-Umsetzer. Sie liefern ein Ausgangssignal, das dem arithmetischen Mittelwert der Eingangsspannung während der Umsetzzeit proportional ist. Diese Eigenschaft wirkt sich immer dann sehr vorteilhaft aus, wenn Rauschen oder andere störende Wechsellspannungen die zu messende Gleichspannung überlagern. Wird jedoch die Umsetzzeit bzw. die meist mit ihr verknüpfte Integrationszeit geeignet gewählt, so läßt sich der durch Rausch- und Störwechsellspannungen sonst verursachte Meßfehler drastisch vermindern. Die zu diesem Zweck erforderliche Integrationszeit spielt insbesondere bei ausschließlich darstellenden Instrumenten keine Rolle, da vom Bedienden die Meßwerte ohnehin nur mit relativ geringer Geschwindigkeit abzulesen sind.

Für die praktische Verwirklichung von integrierenden A/D-Umsetzern gibt es mannigfaltige Möglichkeiten. Solche Einrichtungen wurden in der Vergangenheit zunächst mit diskreten und später mit integrierten Bauelementen realisiert [1]. Je nach den vor-

gegebenen Aufgaben erforderten die so aufgebauten A/D-Umsetzer einen beträchtlichen Aufwand bei ihrer Entwicklung, der Bauelementeauswahl und der Kalibrierung. Es ist deshalb sehr zu begrüßen, daß vom *VEB Halbleiterwerk Frankfurt/O.* jetzt ein Bauelementesatz zur Verfügung steht, mit dem der Aufbau von sowohl rein darstellenden als auch meßwertverarbeitenden Digitalinstrumenten zur Erfassung physikalischer Meßwerte leicht möglich ist. Dieser Bauelementesatz beinhaltet die beiden Analogprozessoren *C 500 D* und *C 501 D* sowie die diese steuernden Digitalprozessoren *C 502 D* und *C 504 D*. Mit den vorstehend genannten Bauelementen wird die mit dem Erscheinen des A/D-Umsetzers *C 520 D* begonnene Linie erfolgreich fortgesetzt.

Es versteht sich von selbst, daß die mit dem Bauelementesatz gegebenen Möglichkeiten auch für den Amateur ein weites Betätigungsfeld darstellen. Der hohe Integrationsgrad dieser Schaltkreise ermöglicht es jetzt z. B. auch dem weniger erfahrenen Amateur, sich mit dieser Technik vertraut zu machen. Wenn er dabei die angegebenen Applikationshinweise beachtet, dürften Mißerfolge nahezu ausgeschlossen sein.

Im nachstehenden Abschnitt wird zunächst die grundsätzliche Funktionsweise integrierend arbeitender Spannungs-Zeit-A/D-Umsetzer erläutert. Die anschließenden Ausführungen beschäftigen sich mit dem inneren Aufbau und der Funktion der einzelnen Schaltkreise des Bauelementesatzes und machen mit den für die praktische Anwendung wichtigen Kenn- und Grenzwerten bekannt. In den dann folgenden Abschnitten sind ausschließlich erprobte Schaltbeispiele vorgestellt, die die vielfältigen Anwendungsmöglichkeiten demonstrieren sollen. In diesem Zusammenhang muß leider darauf verwiesen werden, daß die mit dem Bauelement *C 504 D* angegebenen Schaltbeispiele den Empfehlungen des Herstellers folgen, da der Digitalprozessor *C 504 D* dem Autor zum Zeitpunkt der Manuskripterarbeitung noch nicht zur Verfügung stand. Abschließend werden dann noch einige nützliche Ergänzungen näher erläutert.

1.1. Die Analogprozessoren C 500 D und C 501 D

1.1.1. Grundsätzliche Hinweise zum verwendeten A/D-Umsetzverfahren

Mit den Analogprozessoren *C 500 D* und *C 501 D* sowie den Digitalprozessoren *C 502 D* und *C 504 D* sind durch einfaches Zusammenschalten zunächst 4 verschiedene A/D-Umsetzervarianten realisierbar. Sie unterscheiden sich, je nach der im Einzelfall verwendeten Bauelementekombination, in ihren Eigenschaften und technischen Daten. Die Analogprozessoren *C 500 D* und *C 501 D* können aber auch mit Steuerteilen betrieben werden, deren Hardwarebasis aus MSI-Schaltkreisen oder einem Mikroprozessor mit entsprechenden Peripherieschaltkreisen besteht. Diese Möglichkeit erweist sich dann als Vorteil, wenn ein A/D-Umsetzer mit Eigenschaften gefordert wird, die eine der 4 Standardlösungen nicht bieten kann.

Allen angesprochenen Versionen für A/D-Umsetzer mit den Analogprozessoren *C 500 D* und *C 501 D* ist gemeinsam, daß sie nach dem Dual-Slope- oder Zwei-Flanken-Verfahren arbeiten. Dieses zählt man zu den integrierenden Methoden, bei denen die A/D-Wandler die anliegende Eingangsspannung in eine ihr proportionale Zeit umsetzen, deren Dauer mit Hilfe digitaler Zählleinrichtungen leicht erfaßt werden kann. Grundsätzlich bilden A/D-Umsetzer dieser Art über eine exakt festgelegte Zeit das Integral der Eingangsspannung. Aus dieser Tatsache resultiert eine hohe Rauschunterdrückung sowie eine starke Reduzierung des Einflusses von Störwechselspannungen auf das Meßergebnis. Dieser Vorteil gegenüber den oft sehr schnellen Momentanwertumsetzern, der allerdings mit einer relativ langen Umsetzzeit erkauft wird, führte zu einer weiten Verbreitung von A/D-Wandlern nach dem Dual-Slope-Verfahren in der kommerziellen Meßtechnik.

Der Funktionsablauf solcher A/D-Umsetzer nach Bild 1.1 läßt sich folgendermaßen beschreiben: Im Ruhezustand liefert die Logikbaugruppe Signale, die die Schalter S1 bis S3 öffnen und den Schalter S4 schließen.

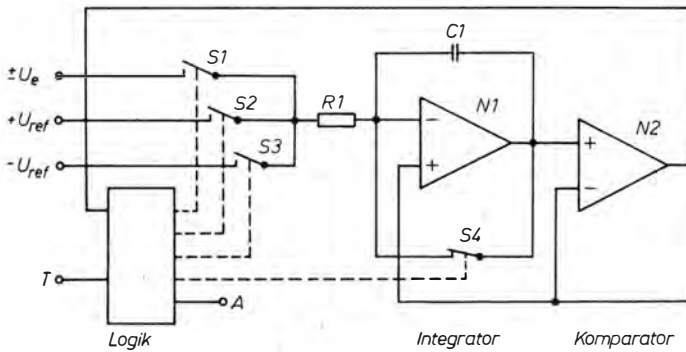


Bild 1.1
Übersichtsschaltplan eines
Spannungs-Zeit-A/D-Umsetzers
nach dem Dual-Slope-
Verfahren

Der Umsetzvorgang startet mit dem Eintreffen eines Taktimpulses am Eingang T der Logikbaugruppe. Sie veranlaßt das Öffnen von S4, während gleichzeitig S1 schließt. Über ihn erreicht die zu messende Eingangsspannung mit beliebiger Polarität den Integrator aus den Bauelementen R1, C1 und dem OPV N1. R1 wandelt die Eingangsspannung U_e in einen ihr proportionalen Strom, der seinerseits in den Summationspunkt des Integrators fließt. Als Folge davon lädt sich der Integrationskondensator C1 zeitlinear auf. Dabei steigt oder fällt die Ausgangsspannung des OPV N1, beginnend bei $U_{aN1} = 0 \text{ V}$, in positiver oder negativer Richtung. Bild 1.2 und Bild 1.3 zeigen, daß die Polarität der zu messenden Eingangsspannung bestimmt, ob die Spannung am Ausgang von N1 sich zeitlinear in positiver oder negativer Richtung vergrößert. Die Integrationszeit t_i , innerhalb der die zu messende Eingangsspannung integriert wird, ist konstant und wird von der Logikbaugruppe vorgegeben. Der am Ausgang des OPV N1 meßbare Spannungspegel ist damit nur noch eine Funktion des arithmetischen Mittelwerts der Eingangsspannung während des Zeitabschnitts t_i . Ein hoher Mittelwert verursacht einen entsprechend großen Strom in den Summationspunkt des Integrators, so daß sich dessen Ausgangsspannung in der vorgegebenen Zeit t_i schneller ändert, als das bei einem niedrigen Mittelwert der Eingangsspannung der Fall wäre.

Nach dem Ablauf der Integrationszeit t_i öffnet S1 und trennt die zu messende Eingangsspannung vom Integrator. Weiterhin offen bleibt auch S4. Am Ende der Integra-

tionszeit ist die Polarität der Ausgangsspannung des OPV N1 ein Indiz für die Polarität der Eingangsspannung. Dem Integrator folgt deshalb der Komparator mit dem OPV N2. Er vergleicht die Ausgangsspannung des Integrators mit dem Nullpotential. H-Potential am Ausgang des Komparators N2 ist für die Logikbaugruppe die Information, daß der arithmetische Mittelwert der integrierten Eingangsspannung ein negatives Vorzeichen aufwies. Im komplementären Fall signalisiert L-Pegel am Ausgang des OPV N2 das positive Vorzeichen des arithmetischen Mittelwerts der Eingangsspannung. Aus diesen Vorzeicheninformationen erzeugt die Logikbaugruppe die Steuersignale für S2 und S3. Sie verbinden nach dem Ablauf der Integrationszeit den Eingang des Integrators mit der positiven oder negativen Vergleichsspannung. Dabei sichert die Arbeitsweise der Logikbaugruppe, daß S2 immer dann schließt, wenn der arithmetische Mittelwert der integrierten Eingangsspannung negativ war. S3 wird im entgegengesetzten Fall aktiv. Damit erreicht man, daß grundsätzlich eine Rückintegration erfolgt. Entsprechend Bild 1.2 und Bild 1.3 bewegt sich in dieser Arbeitsphase die Ausgangsspannung des Integrators und damit die Spannung über dem Integrationskondensator C1 zeitlinear in Richtung Nullpotential. Der Integrationskondensator wird aus diesem Grund mit einem konstanten Strom entladen, der proportional der Referenzspannung und umgekehrt proportional dem Widerstand R1 ist. Die Referenzspannungen U_{ref} und $-U_{ref}$, der Widerstandswert von R1 und die Kapazität C1 sind konstant. Es stellt sich deshalb eine

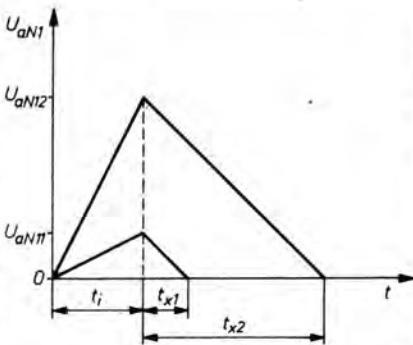


Bild 1.2
Verlauf der Ausgangsspannung des Integrators N1 nach Bild 1.1 während der A/D-Wandlung einer negativen Eingangsspannung

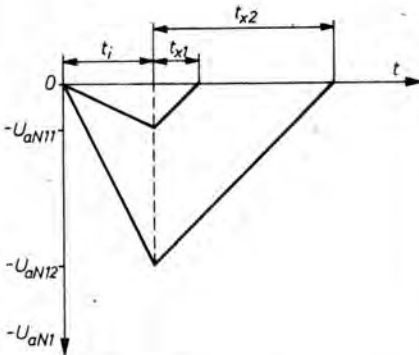


Bild 1.3
Verlauf der Ausgangsspannung des Integrators N1 nach Bild 1.1 während der A/D-Wandlung einer positiven Eingangsspannung

jetzt nicht mehr von der Eingangsspannung zu beeinflussende Spannungsänderung je Zeiteinheit am Ausgang des OPV N1 ein. Im Verlauf der Rückintegration geht die Ausgangsspannung des Integrators nach der Zeit t_{x1} oder bei entsprechend größerer Eingangsspannung auch erst nach der Zeit t_{x2} durch Null. Diesen Polaritätswechsel der Ausgangsspannung von N1 registriert der weiterhin aktive Komparator N2, der diesen Umstand der Logikbaugruppe meldet. Sie unterbricht daraufhin sofort die Rückintegration, indem sie S2 oder S3 öffnet. Gleichzeitig wird S4 wieder geschlossen, damit der nächstfolgende Umsetzzyklus wieder mit

einer Ausgangsspannung des Integrators von $U_{aN1} = 0 \text{ V}$ beginnen kann. Als Ergebnis der beschriebenen Arbeitsweise liefert der A/D-Umsetzer nach dem Dual-Slope-Verfahren am Ausgang A der Logikbaugruppe einen Impuls, dessen Dauer t_x identisch mit der für die Rückintegration notwendigen Zeit und somit proportional der Eingangsspannung ist.

Zum Ermitteln des mathematischen Zusammenhangs zwischen der umzusetzenden Eingangsspannung U_e und der Impulsdauer t_x gilt für die Zeit der Meßspannungintegration der nachstehende Ansatz:

$$\int_0^{t_i} \frac{U_e}{R1} dt - C1 \int_0^{U_{aN1}} dU_{aN1}. \quad (1)$$

Die Lösung der Integrale liefert:

$$\frac{U_e \cdot t_i}{R1} = -C1 U_{aN1}. \quad (2)$$

Während der Zeit t_x , in der durch die dann geschlossenen Schalter S2 oder S3 rückintegriert wird, gilt folgender Ansatz:

$$\int_{t_i}^{t_i+t_x} \frac{U_{ref}}{R1} dt = -C1 \int_{U_{aN1}}^0 dU_{aN1}. \quad (3)$$

Hier liefert die Lösung der Integrale:

$$\frac{U_{ref} \cdot t_x}{R1} = C1 U_{aN1}. \quad (4)$$

Stellt man die Beziehung (2) nach U_{aN1} um und setzt den so gewonnenen Ausdruck in die Gleichung (4) ein, dann ergibt sich nach dem Umformen für t_x die einfache Gleichung:

$$t_x = \frac{t_i \cdot U_e}{U_{ref}}. \quad (5)$$

Die Zeit t_x ist immer positiv. Das negative Vorzeichen in Gleichung (5) besagt deshalb, daß die Eingangs- und Referenzspannung zueinander komplementäre Vorzeichen haben müssen, eine Vorschrift, die sich auch schon aus der Funktionsbeschreibung des A/D-Umsetzers ableiten läßt. In der Beziehung (5) sind R1 und C1 nicht mehr enthalten. Diese Tatsache ist von großer praktischer Bedeutung, weil R1 und C1 unter der Voraussetzung, daß sich ihre elektrischen

Werte während eines Umsetzens nicht ändern, dann keinen Einfluß mehr auf die Genauigkeit der Umsetzung haben. Dieser Vorteil führte zu einer weiten Verbreitung der A/D-Umsetzer nach dem Dual-Slope-Verfahren, bei dem entsprechend der Gleichung (5) nur die Zeit t_i und die Referenzspannung U_{ref} bestimmen, wie genau der Umsetzer arbeitet. Bemerkenswert ist in diesem Zusammenhang noch, daß unter bestimmten Bedingungen auch die Zeitdauer t_i nur kurzzeitstabil sein muß. Verständlich wird diese Eigenschaft dann, wenn man verfolgt, wie das vom A/D-Umsetzer bereitgestellte Ausgangssignal weiterverarbeitet wird. Es steuert nämlich eine Torschaltung, an deren 2. Eingang ständig Impulse mit konstanter Folgefrequenz f liegen. Nach dem Ausgang der Torschaltung liegt der Eingang eines Impulzählers, dessen Zählkapazität der geforderten maximalen Eingangsspannung und der gewünschten Meßwertauflösung entsprechen muß. Mit Beginn des Umsetzerimpulses – der Zählerstand beträgt zu diesem Zeitpunkt $N=0$ – öffnet die Torschaltung. Die am 2. Toreingang anstehenden Impulse können nun den Zähler erreichen, der die eingehenden Impulse während der Dauer t_x aufsummiert. Der Zählvorgang stoppt nach dem Ablauf von t_x , weil dann das Tor wieder schließt. Für den jetzt ablesbaren Zählerstand gilt die Gleichung:

$$N = t_x \cdot f \quad (6)$$

Entsprechend dieser Beziehung ist der Zählerstand N eine lineare Funktion der Zeit t_x und damit der Eingangsspannung U_e . Vor dem Beginn des nächstfolgenden Zählvorgangs muß der Impulzähler wieder zurückgestellt worden sein, eine Aufgabe, die von der Logikbaugruppe des A/D-Umsetzers leicht mit ausgeführt werden kann.

Setzt man in die Gleichung (5) anstelle von t_x den aus (6) resultierenden Quotienten N/f ein, so ergibt sich für den Zählerstand N die Formel:

$$N = \frac{f \cdot t_i \cdot U_e}{U_{ref}} \quad (7)$$

Leitet man die Integrationszeit t_i aus der Frequenz f mit Hilfe eines Frequenzteilers

ab, so ergibt sich automatisch ein immer konstantes Produkt $f \cdot t_i$, wie das die Gleichung (7) fordert. Für den Generator, der die vom Impulzähler zu summierenden Impulse mit der Folgefrequenz f erzeugt, ist unter dieser Bedingung kein quarzstabilisierter Oszillator notwendig. Es genügen dann vielmehr auch schon relativ einfache astabile Kippschaltungen, deren Frequenz nur innerhalb einer Umsetzperiode, sie ist gleich der Summe $t_i + t_x$, konstant sein muß.

Unter dieser Voraussetzung beeinflusst also nur noch eine mögliche Änderung der Referenzspannung U_{ref} in Abhängigkeit von der Versorgungsspannung oder der Arbeitstemperatur die Genauigkeit und Stabilität des Umsetzerergebnisses. Aus diesem Grund sollte man der Erzeugung der Referenzspannung besondere Aufmerksamkeit widmen. In jüngster Zeit haben sich die damit verbundenen Probleme sehr vereinfacht, weil inzwischen für diese Aufgabe integrierte Schaltkreise verfügbar sind, die eine Referenzspannung bereitstellen, deren Absolutwert nur extrem gering von der Versorgungsspannung und der Arbeitstemperatur abhängt [2].

Das Dual-Slope-Verfahren hat inzwischen zahlreiche Verbesserungen erfahren, die auch bei den Analogprozessoren *C 500 D* und *C 501 D* berücksichtigt wurden. Als Beispiel sei in diesem Zusammenhang nur genannt, daß zwischen den einzelnen Umsetzungen ein Zyklus zur automatischen Korrektur des Nullpunkts eingeschaltet werden kann. Dieses erweiterte Grundprinzip ermöglicht den Aufbau von A/D-Wandlern mit sehr guter Nullpunktstabilität, so daß ein extern zugängliches Potentiometer zum Justieren des Umsetzernullpunkts entbehrlich wird.

1.1.2. Der innere Aufbau und die Arbeitsweise

Die integrierten Schaltkreise *C 500 D* und *C 501 D* fassen die vorwiegend analog arbeitenden Funktionsgruppen eines A/D-Umsetzers nach dem Zwei-Flanken-Verfahren mit automatischer Nullpunkt Korrektur zusammen und werden deshalb häufig auch als

Analogprozessoren bezeichnet. Sie bilden gemeinsam mit den Digitalprozessoren C 502 D oder C 504 D jeweils ein vollständiges A/D-Wandlersystem, das sowohl positive als auch negative Eingangsspannungen verarbeiten kann. Der innere Aufbau der Bauelemente C 500 D und C 501 D ist identisch. Beide Typen unterscheiden sich nur in der mit ihnen erreichbaren Auflösung des digital darzustellenden Meßwerts. Der Analogprozessor C 500 D erlaubt bei dekadischer Meßwertausgabe eine Auflösung von 4,5 Digit, die einer Quantisierungsstufenzahl von $\pm N = 20000$ entspricht. Häufig ist eine so hohe Auflösung des Meßwerts funktionell nicht erforderlich. Für die betreffende Aufgabe eignet sich dann auch der etwas preisgünstigere Analogprozessor C 501 D. Er kann im Fall einer dekadischen Ausgabe des Meßwerts eine Auflösung von 3,5 Digit sichern, die einer Quantisierungsstufenzahl von $\pm N = 2000$ gleichkommt.

Gekoppelt werden die Analog- und Digitalprozessoren über eine Schnittstelle, die nur 3 Steuerleitungen und eine Verbindung der digitalen Massepotentiale beider Bausteine benötigt. Diese sowohl aus thermischen als auch funktionellen Gründen sehr vorteilhafte Trennung erlaubt es unter anderem, die Analogprozessoren auch mit anderen Steuerteilen zu betreiben. Es können dann einige von der Organisation der oben angegebenen Digitalprozessoren vorgegebenen Einschränkungen, die unter bestimmten Voraussetzungen auch den Grundmeßbereich und die Auflösung der Analogprozessoren betreffen, entfallen. Diese Feststellung

gilt unabhängig vom möglichen Realisierungskonzept des modifizierten Steuer- und Verarbeitungsteils, das sich sowohl mit Hilfe eines Mikroprozessors als auch als Hardwarelösung auf der Basis von MSI-Schaltkreisen verwirklichen läßt.

Die Analogprozessoren werden nach der sogenannten BIMOS-Mischtechnologie hergestellt. Sie erlaubt die gemeinsame Integration von Bipolar- und Feldeffekttransistoren auf einem Chip und ist deshalb sehr gut für die Integration von so komplexen Funktionsgruppen wie A/D-Umsetzer geeignet. Analogprozessoren können ihrer Aufgabe nur gerecht werden, wenn man sie mit externen Bauelemente beschaltet, die aus funktionellen oder physikalischen Gründen nicht auf dem Chip integrierbar sind. Die Anzahl der zusätzlich erforderlichen Komponenten ist minimiert, und ihre in Grenzen variable Dimensionierung erlaubt es, das A/D-Wandlersystem optimal an die jeweilige Meßaufgabe anzupassen.

Der Bauelementehersteller liefert die Analogprozessoren C 500 D und C 501 D in einem 18poligen DIL-Plastgehäuse, dessen Reihenabstand $a = 7,5 \text{ mm}$ beträgt (Bild 1.4). Welche Funktionsgruppen eines A/D-Umsetzers nach dem Dual-Slope-Verfahren die Analogprozessoren zusammenfassen, zeigt Bild 1.5. Aus diesem Stromlaufplan sind auch die minimal erforderlichen externen Bauelemente ersichtlich. Jeweils ein Operationsverstärker wirkt als Spannungsfollower bzw. als Integrator. Die Auswertung des Integratorausgangspegels übernimmt ein Komparator, dem eine spezielle

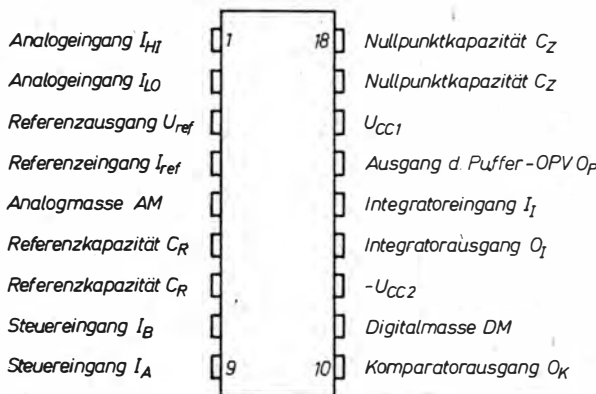


Bild 1.4
Anschlußbelegung der Analogprozessoren
C 500 D und C 501 D

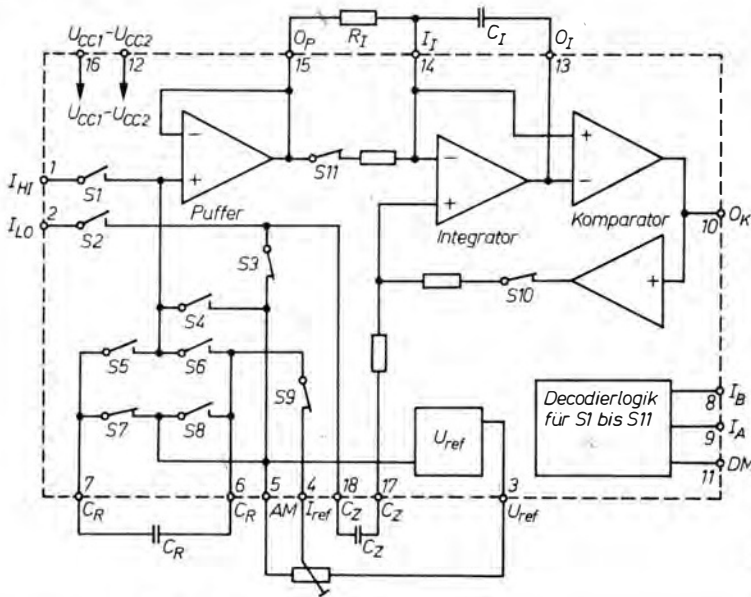


Bild 1.5
Innschaltung der
Analogprozessoren
C 500 D und C 501 D

Pegelanpaßstufe folgt. Den funktionellen Ablauf des A/D-Wandlers ermöglichen die Analogschalter S1 bis S11. Sie erhalten ihre Steuersignale von einer Decodierlogik, die ihrerseits die logischen Pegel an den Steuereingängen I_A und I_B der Analogprozessoren auswertet. Zusätzlich zu diesen unbedingt erforderlichen Baugruppen ist auf dem Chip noch ein Referenzspannungsgenerator integriert. Er kann aber auf Grund seiner technischen Daten nur in Systemen mit einer Auflösung von 3,5 Digit verwendet werden.

Die Wirkungen der von den Digitalprozessoren C 502 D oder C 504 D bereitgestellten Signalpegel an den Steuereingängen I_A und I_B des Analogprozessors C 500 D auf das Zusammenspiel der in ihm integrierten Funktionsgruppen sollen an Hand von Bild 1.5 und Bild 1.6 näher betrachtet werden.

Jedes Konvertieren der zu messenden Eingangsspannung in einen ihr entsprechenden digitalen Zahlenwert erfolgt in der Reihenfolge Nullpunktkorrektur, Eingangsspannungsintegration und Referenzspannungsintegration nacheinander.

Jede Umsetzung startet mit der Nullpunktkorrektur. In diesem Arbeitszyklus des Systems führen die Steuereingänge I_A und I_B des Analogprozessors gleichzeitig L-Pegel, der zum Schließen der in Tabelle 1.1. ange-

gebenen Schalter führt. Die beiden jetzt geöffneten Schalter S1 und S2 trennen die Eingänge I_{HI} und I_{LO} des Analogprozessors von der umzusetzenden Eingangsspannung. Der geschlossene Schalter S4 verbindet den nichtinvertierenden Eingang des Pufferverstärkers mit dem analogen Massepotential. Gleichzeitig schalten die ebenfalls geschlossenen Schalter S10 und S11 den Integrator und den Komparator zu einer Schleife zusammen. Die hohe Spannungsverstärkung der für den Integrator und den Komparator verwendeten OPV verursacht zusammen mit den unvermeidlichen Phasendrehungen dieser Funktionseinheiten hochfrequente Schwingungen, die auch am Ausgang O_K des Komparators mit einem Oszilloskop nachweisbar sind. Auf die Funktionsweise des A/D-Wandlers wirken sich diese Schwingungen aber nicht nachteilig aus, da sie unmittelbar nach dem Öffnen von S10 und S11 abreißen.

Innerhalb des eben angegebenen Arbeitszyklus lädt sich der externe Kondensator C_Z auf die Summe der Offsetspannungen der für den Pufferverstärker und den Integrator verwendeten OPV auf. Außerdem bewirkt die geschlossene Schleife ein geringfügiges Aufladen des Kondensators C_I, das dann endet, wenn der Spannungsbeitrag über C_I der

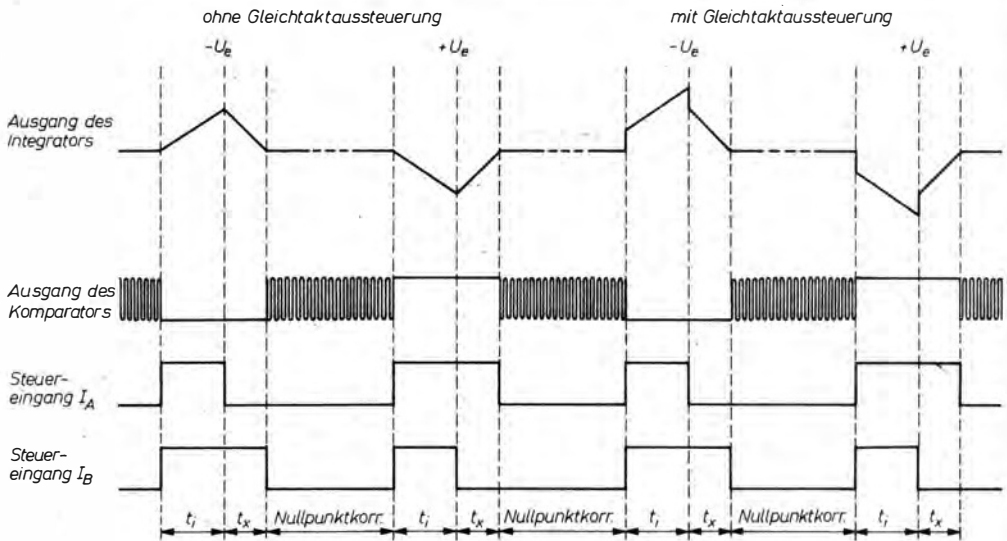


Bild 1.6
Spannungsverläufe an den Ausgängen O_I und O_K des Integrators bzw. Komparators und den Steuereingängen I_A und I_B der Analogprozessoren bei positiver und negativer Eingangsspannung mit und ohne Gleichtaktspannung

Offsetspannung des Komparators entspricht. Der auf die Referenzspannung aufgeladene Kondensator C_R wirkt während der Arbeitsphase Referenzspannungintegration als massefreie Referenzspannungsquelle. Ladungsverluste, die dabei und innerhalb der für die Integration der Eingangsspannung benötigten Zeit auftreten können, gleicht der über die geschlossenen Schalter S9 und S7 während der Dauer der Nullpunkt-korrektur von der Referenzspannungsquelle zum Kondensator C_R fließende Nachladestrom aus. Die für die Nullpunkt-korrektur zur Verfügung stehende Zeit t_0 hängt außer von der Periodendauer $1/f_0$ der Taktfrequenz des benutzten Digitalprozessors auch vom Betrag der Eingangsspannung ab, die das A/D-

Wandlersystem vor dem betrachteten Funktionsablauf umsetzte. Das ist deshalb der Fall, weil der A/D-Wandler nach dem Ende eines jeden Umsetzvorgangs automatisch in den Zyklus der Nullpunkt-korrektur zurückschaltet. Kleine Eingangsspannungen verlängern also die für die Nullpunkt-korrektur zur Verfügung stehende Zeit, und größere Eingangsspannungen verkürzen diese Arbeitsphase. Dabei sichert die Schaltungsstruktur der Digitalprozessoren C 502 D bzw. C 504 D, daß eine minimale Dauer nicht unterschritten werden kann. Es gelten die nachstehenden Gleichungen:

$$t_{0\min} = 20000 \cdot 1/f_0, \quad (8)$$

$$t_{0\max} = 60000 \cdot 1/f_0. \quad (9)$$

Nach der Phase der Nullpunkt-korrektur schaltet der steuernde Digitalprozessor die beiden Steuereingänge I_A und I_B des Analogprozessors auf H-Potential und startet damit die 2. Wandlungsphase, die sogenannte Eingangsspannungintegration. Entsprechend

Tabelle 1.1.
Wirkungen der logischen Pegel an den Steuereingängen I_A und I_B der Analogprozessoren C 500 D und C 501 D

Phase	Funktion	A	B	geschlossene Schalter
1	autom. Nullpunkt-korrektur	L	L	S3, S4, S7, S9, S10, S11
3	Referenzintegration mit $+U_{ref}$	L	H	S3, S6, S7
3	Referenzintegration mit $-U_{ref}$	H	L	S3, S5, S8
2	Integration von U_e	H	H	S1, S2

den Angaben in Tabelle 1.1. schließen jetzt nur S1 und S2. Sie leiten die unbekannte Eingangsspannung über den Pufferverstärker bzw. direkt an die Eingänge des Integrators. Die Eingangsstufen der für den Pufferverstärker und den Integrator benutzten OPV sind mit Feldeffekttransistoren aufgebaut. Die Eingangsruheströme lassen sich mit denen der bekannten BIFET-OPV vergleichen und betragen bei einer Umgebungstemperatur von $V_U = 25^\circ\text{C}$ etwa $I_I = 100\text{ pA}$, so daß die Meßspannungsquelle nur gering belastet wird. I_{HI} und I_{LO} der Analogprozessoren sind echte Differenzeingänge. Das A/D-Wandlersystem liefert nach jedem Umsetzen den digitalen Zahlenwert, der der zwischen I_{HI} und I_{LO} vorliegenden Spannungsdifferenz entspricht. Man kann diesen Sachverhalt auch aus dem rechten Teil des Bilds 1.6 ersehen. Hier ist dargestellt, daß Gleichtaktspannungen nur eine Verschiebung des Integratorbezugs punkts bewirken. Die differentielle Änderung der Ausgangsspannung des Integrators ist in der Phase der Eingangsspannungsintegration also direkt der Eingangsspannungsdifferenz $U_{eHI} - U_{eLO}$ proportional. Die Eingangsfehlerspannungen der für den Pufferverstärker und den Integrator verwendeten OPV haben praktisch keinen Einfluß, da diese von den Spannungen über C_Z und C_I kompensiert werden. Die für den Zeitabschnitt der Eingangsspannungsintegration vorgesehene Zeitdauer t_i ist zumindest kurzzeitstabil und vom inneren Aufbau des steuernden Digitalprozessors und dessen Taktfrequenz abhängig. Die Integrationszeit für die Bausteine C 502 D und C 504 D ergibt sich zu:

$$t_i = 20000 \cdot 1/f_0. \quad (10)$$

Nach Ablauf von t_i fragt der Digitalprozessor den Komparatorschaltzustand ab. H-Potential an seinem Ausgang O_K signalisiert dem Digitalprozessor, daß der arithmetische Mittelwert der zu messenden Eingangsspannung während der Phase ihrer Integration ein positives Vorzeichen aufwies. Im entgegengesetzten Fall meldet L-Pegel einen negativ gepolten arithmetischen Meßspannungsmittelwert, wobei in beiden Fällen die Polarität in bezug auf den Eingang I_{LO} angegeben wird.

Zu Beginn der Arbeitsphase Referenz-

spannungsintegration öffnen zunächst S1 und S2, die die Meßspannung vom A/D-Wandlersystem trennen. Aus der von ihm abgespeicherten Komparatorinformation erzeugt der Digitalprozessor an den Steuereingängen I_A und I_B eine Pegelverteilung, bei der grundsätzlich jeweils der eine Eingang H- und der andere L-Potential führt. Zueinander komplementäre Pegel an den Steuereingängen I_A und I_B kennzeichnen deshalb immer die Phase der Referenzspannungsintegration. S3 ist während der Referenzspannungsintegration permanent geschlossen. Weiterhin führt die Pegelverteilung an I_A und I_B entsprechend Tabelle 1.1. zum Schließen der Analogschalter S6 und S7 oder S5 und S8, so daß die Polarität der die Rückintegration bewirkenden Referenzspannung immer komplementär zur Polarität des arithmetischen Mittelwerts der zu messenden Eingangsspannung ist. Die Differenzspannung zwischen den Komparatoreingängen vermindert sich deshalb grundsätzlich mit dem Beginn der Referenzspannungsintegration. Enden wird dieser Arbeitsabschnitt mit dem Nulldurchgang der Komparatoreingangsspannung. Der Digitalprozessor registriert das mit Hilfe eines entsprechenden Pegelwechslers am Ausgang O_K des Komparators und schaltet anschließend I_A und I_B des Analogprozessors auf L-Potential. Damit beginnen die beschriebenen Vorgänge mit einer erneuten Korrektur des Nullpunkts von vorn. Die Zeit t_x , die Dauer der Referenzspannungsintegration, ist bei der korrekten Funktion des A/D-Wandlersystems eine lineare Funktion der Spannungsdifferenz zwischen I_{HI} und I_{LO} des Analogprozessors. Die interne Organisation der Digitalprozessoren C 502 D und C 504 D gibt für die Zeitdauer t_x allerdings den folgenden Grenzwert vor:

$$t_{x\text{max}} = 40000 \cdot 1/f_0. \quad (11)$$

Spätestens nach Ablauf dieser Zeit schalten die genannten Digitalprozessoren den Analogprozessor auch dann wieder in die Arbeitsphase Nullpunkt Korrektur zurück, wenn noch kein Wechsel des Ausgangspegels des Komparators stattgefunden hat. Der Digitalprozessor registriert diesen Umstand dann als Meßbereichsüberschreitung, den er auch entsprechend ausgibt.

1.1.3. Die Grenz- und Kennwerte

Die Bauelemente C 500 D und C 501 D unterscheiden sich nur in der mit ihnen möglichen Auflösung. Für beide Analogprozessoren gelten deshalb die in der Tabelle 1.2. aufgeführten Grenzwerte. Sie dürfen unter keinen Umständen erreicht oder überschritten werden, da sonst mit irreversiblen Datenänderungen oder sogar mit einer Zerstörung der Prozessoren gerechnet werden muß. Beachten sollte man in diesem Zusammenhang besonders die für die Analogeingänge I_{HI} und I_{LO} höchstzulässigen positiven oder negativen Eingangsspannungen. Vielfach werden nämlich die A/D-Wandlersysteme in universellen Spannungsmessgeräten verwendet. Meist sind bei dieser Applikation in bestimmten Meßbereichen einer oder auch beide Meßeingänge der Analogprozessoren frei zugänglich. Es läßt sich dann kaum ausschließen, daß, z. B. auf Grund einer Fehlbedienung, die in Tabelle 1.2. genannten Grenzwerte für die erlaubten Eingangsspannungen nicht überschritten werden.

Beide Eingänge der Analogprozessoren verfügen über integrierte Klemmdioden. Sie können ihre Funktion allerdings nur mit Hilfe eines externen Widerstands zur Strombegrenzung erfüllen. Bild 1.7 zeigt die zu

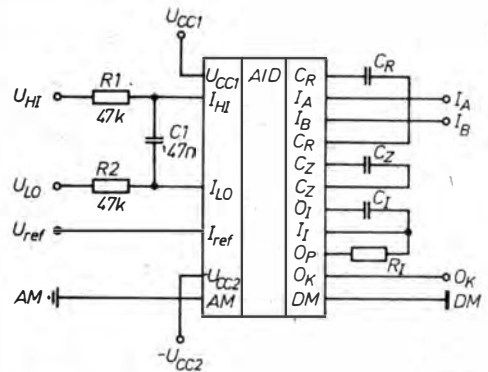


Bild 1.7
Schutzbeschaltung der Meßspannungseingänge I_{HI} und I_{LO} der Analogprozessoren C 500 D bzw. C 501 D

treffenden Maßnahmen. Als Vorwiderstände wirken R_1 und R_2 , für die der Hersteller Werte von maximal $R_1 = R_2 = 100 \text{ k}\Omega$ gestattet. Eine wichtige Aufgabe erfüllt auch C_1 . Wie man aus Bild 1.5 ersieht, legen im Bedarfsfall Analogschalter die an den Meßeingängen vorhandenen Spannungen an die sehr hochohmigen Eingänge des Pufferverstärkers bzw. des Integrators. Als Analogschalter wirken MOSFET mit endlicher Gate-Kanalkapazität. Diese kann ein nicht zu unterschätzendes Übersprechen der Schalterspannung auf die zu messende Eingangsspannung bewirken, wenn die Analogschalter auch an ihrem Eingang hochohmig abgeschlossen sind. Die dadurch möglichen Meßfehler verhindert C_1 sehr weitgehend, da er eine niedrige dynamische Eingangsimpedanz gewährleistet. C_1 sollte Werte zwischen 10 und 100 nF aufweisen.

Die üblichen Anwendungen der Schaltkreise des A/D-Wandlersystems erfordern Referenzspannungen von maximal $U_{ref} = 1 \text{ V}$. Der in der Tabelle 1.2. genannte obere Grenzwert für die externe Referenzspannung muß aber beachtet werden, wenn man beispielsweise die Analogprozessoren mit einem modifizierten Steuerteil betreibt, dessen Funktionsprinzip unter Umständen eine höhere Referenzspannung bedingt bzw. erlaubt.

Die in Tabelle 1.3. zusammengestellten Haupt- und Nebenkenngrößen gelten für

Tabelle 1.2.
Grenzwerte der Analogprozessoren C 500 D und C 501 D

Betriebsspannung	U_{CC1}	max. 18 V
Betriebsspannung	$-U_{CC2}$	max. 18 V
Eingangsspannung	U_{eHI}	min. $-U_{CC2}$ max. U_{CC1}
Eingangsspannung	U_{eLO}	min. $-U_{CC2}$ max. U_{CC1}
Umgebungstemperatur	ϑ_U	min. 0°C max. 70°C
Komparatorausgangsspannung	U_{OH}	max. U_{CC1}
Komparatorausgangsstrom	I_{OL}	max. 20 mA
Externe Referenzspannung	U_{ref}	min. 0,1 V max. 5 V
Ausgangsstrom des Integrator-OPV	I_{OI}	max. 10 mA
Ausgangsstrom des Puffer-OPV	I_{OP}	max. 10 mA
Ausgangsstrom der Referenzspannungsquelle	I_{Oref}	max. 10 mA

Betriebsspannung	U_{CC1}	11,4 bis 15 V
Betriebsspannung	$-U_{CC2}$	11,4 bis 15 V
Stromaufnahme	I_{CC1}	max. 20 mA
Stromaufnahme	$-I_{CC2}$	max. 18 mA
Komparatorausgangsspannung bei L-Pegel	U_{OL}	max. 0,4 V, bei $I_{OL} = 1,6$ mA
Eingangsstrom der Steuereingänge bei H-Pegel	I_{IH}	max. 40 μ A, bei $U_{IH} = 2$ V
Eingangsstrom der Steuereingänge bei L-Pegel	I_{IL}	max. 300 μ A, bei $U_{IL} = 0,8$ V
Linearitätsfehler bei einer Auflösung von 4,5 Digit	F_{LIN}	max. ± 1 LSB, bei C 500 D max. ± 5 LSB, bei C 501 D
Umpolfehler bei einer Auflösung von 4,5 Digit	F_R	max. 1 LSB, bei C 500 D max. 5 LSB, bei C 501 D
Nullpunktfehler bei einer Auflösung von 4,5 Digit	F_{NP}	50 μ V \pm 20 μ V, bei C 500 D 500 μ V \pm 100 μ V, bei C 501 D (Mittelwerte aus 5 Messungen)
Gleichtaktfehler bei einer Auflösung von 4,5 Digit	F_{CM}	max. 1 LSB, bei C 500 D max. 5 LSB, bei C 501 D ($U_{CM} = \pm 1$ V)
Referenzspannung	U_{ref}	min. 1,12 V, bei $I_{Oref} = 1$ mA max. 1,32 V, bei $I_{Oref} = 1$ mA

Tabelle 1.3.
Ausgewählte Haupt- und Nebenkenngrößen der Analogprozessoren C 500 D und C 501 D

den Betrieb des jeweiligen Analogprozessors mit einer Meßwertauflösung von 4,5 Digit. Die Kenngrößen werden mit einer praxisnahen Anwenderschaltung ermittelt. Der Stromlaufplan ist in Abschnitt 1.4. (Bild 1.17) dargestellt. Verwendet man diesen Stromlaufplan als Meßschaltung, dann müssen die Versorgungsspannungen $U_{CC1} = -U_{CC2} = 12$ V \pm 5% betragen. Der Widerstand zur U/I-Wandlung im Integrator des Analogprozessors muß einen Wert von $R_I = 43$ k Ω \pm 20% aufweisen. Für den Integrationskondensator und die Kondensatoren zur Speicherung der Referenzspannung bzw. der Spannung zur Korrektur des Nullpunkts sind Ausführungen mit $C_1 = C_2 = C_R = 1$ μ F \pm 20% zu verwenden. Dabei ist für C_2 ein MKC-Typ erlaubt, während für C_1 und C_R nur die sehr verlustarmen KP-Typen geeignet sind. Die Referenzspannung $U_{ref} = 1$ V sollte eine externe Quelle mit hoher Stabilität liefern. Gleiches gilt für den Taktgenerator, dessen Arbeitsfrequenz $f_0 = 200$ kHz \pm 1% betragen muß. Gültig sind die Messungen bei Umgebungstemperaturen von $V_U = 25$ °C \pm 20%.

1.2. Die Digitalprozessoren C 502 D und C 504 D

Zur Steuerung des Funktionsablaufs der Analogprozessoren C 500 D oder C 501 D stehen die Digitalprozessoren C 502 D und C 504 D zur Verfügung. Sie beinhalten alle die digitalen Baugruppen, die für die Realisierung eines A/D-Wandlersystems mit einer Auflösung von 3,5 Digit oder 4,5 Digit erforderlich sind. Die Digitalprozessoren werden in der I²L-Technologie produziert, die sich als besonders brauchbar für LSI-Schaltkreise in Bipolartechnik erwiesen hat. Die Bauelemente C 502 D und C 504 D unterscheiden sich hauptsächlich in der Art der Ausgabe des ermittelten Meßwerts. Für vorwiegend anzeigende A/D-Wandlersysteme ist der Digitalprozessor C 502 D vorgesehen. Bei ihm wird der Meßwert gemultiplext im Format des 7-Segment-Cods ausgegeben, so daß mit nur wenigen zusätzlichen Bauelementen ein Display aus 7-Segment-Lichtemitteranzeigen vom Digitalprozessor C 502 D gesteuert werden kann. Im Gegensatz dazu stellt der Digitalprozessor C 504 D den umgesetzten Meßwert gemultiplext im Format des BCD-Codes bereit, der eine relativ einfache Kopplung des A/D-Wandlersystems mit einem meßwertverarbeitenden Mikrorechner erlaubt. Zusätzliche Steuersignale unterstützen diese Applikation und erweitern außer-

dem die Einsatzmöglichkeiten eines A/D-Wandlersystems mit dem Digitalprozessor C 504D, der einen externen Decoder zur Darstellung des Meßwerts auf einem Display mit 7-Segment-Lichtemitteranzeigen erfordert.

1.2.1. Der innere Aufbau und die Arbeitsweise des C 502 D

Vom Bauelementhersteller wird der Digitalprozessor C 502D in einem 20poligen Plast-

gehäuse geliefert, dessen Reihenabstand $a = 7,5 \text{ mm}$ beträgt (Bild 1.8). Bild 1.9 zeigt das Zusammenspiel der integrierten Funktionsgruppen. Die Kopplung zwischen dem Analog- und dem Digitalprozessor erfordert neben der Verbindung der digitalen Massepotentiale nur 3 Steuerleitungen, von denen eine den jeweils aktuellen Schaltzustand des in dem angeschlossenen Analogprozessor integrierten Komparators dem Digitalprozessor zuleitet, während die beiden anderen Leitungen die Steuersignale A und B vom

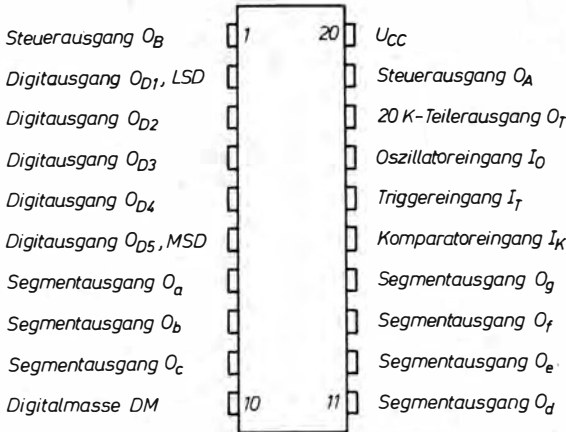


Bild 1.8
Anschlußbelegung des Digitalprozessors C 502 D

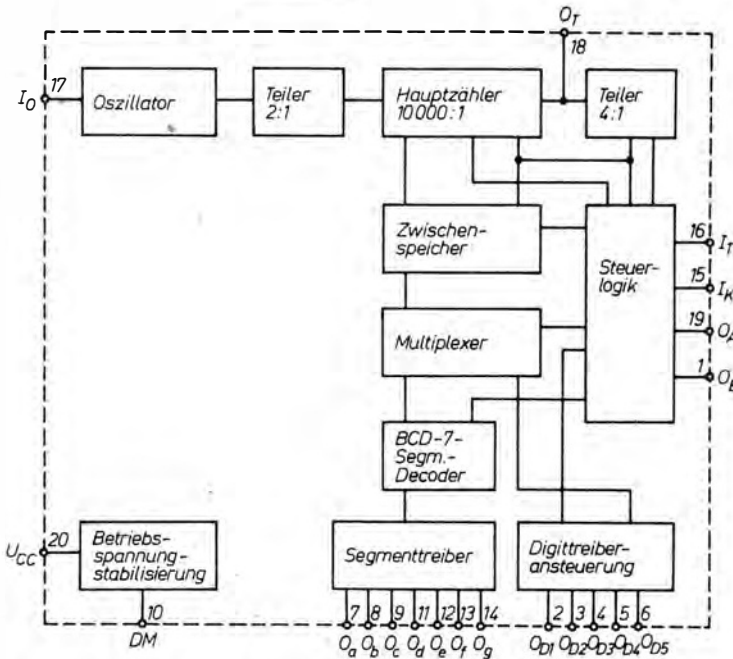


Bild 1.9
Innere Verknüpfung der im Digitalprozessor C 502 D integrierten Funktionsgruppen

Digital- zum Analogprozessor übertragen. Zur Stromversorgung des Digitalprozessors C 502D ist eine stabilisierte Speisespannung von $U_{CC} = 5\text{ V}$ notwendig.

Den Funktionsablauf des C 502D bzw. des mit ihm verwirklichten A/D-Wandlersystems steuern Signale, die aus der rechteckförmigen Ausgangsspannung eines Taktgenerators abgeleitet werden. Für diesen kann man entweder den im Digitalprozessor integrierten oder auch einen externen Generator verwenden. Das Bild 1.10 stellt den prinzipiellen Stromlaufplan der im C 502D und C 504D integrierten astabilen Kippschaltung dar. Sie erfordert für ihren Betrieb nur den externen Kondensator C1, der zwischen die Anschlüsse I_0 und DM, zu schalten ist. Nach dem Anlegen der Versorgungsspannung lädt sich C1 durch den von der Stromquelle G1 bereitgestellten Strom in positiver Richtung auf. Dieser Vorgang endet, wenn die Triggerschaltung D1 anspricht. Sie aktiviert ihrerseits mit V1 die Stromquelle G2, die den Strom der Quelle G1 übernimmt und außerdem C1 so lange entlädt, bis die Triggerschaltung wieder in die ursprüngliche Lage zurückschaltet. Dieser Vorgang wiederholt sich permanent. Als Ergebnis steht eine rechteckförmige Spannung am Ausgang des einfachen Oszillators zur Verfügung. Vom Anwender kann die Frequenz dieser Spannung vorwiegend durch die Wahl der Kapazität von C1 beeinflusst werden. Dabei liefert C1 = 470 pF eine Taktfrequenz in der Größenordnung von $f_0 = 150\text{ kHz}$. Mit einem Trimmkondensator parallel zu C1 läßt sich die Taktfrequenz auf einen vorgegebenen Sollwert abgleichen.

Eine andere Methode stellt der Stromlaufplan in Bild 1.16 vor. Der durch die Widerstände R6 und R7 zusätzlich fließende Strom beeinflusst hier sowohl den Auf- als auch den Entladestrom des frequenzbestimmenden Kondensators C7. Mit dem Einstellpotentiometer kann deshalb die Taktfrequenz leicht auf ihren Sollwert kalibriert werden.

Der Digitalprozessor C 502D benötigt für einen vollständigen Umsetzzyklus $n = 80\,000$ Taktperioden an seinem Oszillatoreingang I_0 . Die Frequenz f_0 der Rechteckspannung des Taktgenerators läßt sich in

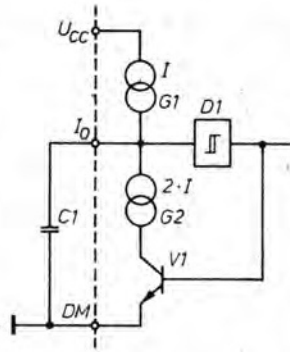


Bild 1.10
Wirkprinzip des integrierten Taktoszillators der Digitalprozessoren C 502 D und C 504 D

weiten Grenzen zwischen 10 und 600 kHz festlegen, so daß sich Umsetzraten zwischen 0,125 und 7,5 Messungen/s ergeben. Eine Taktfrequenz in der Nähe der unteren Grenze kann zu einem nicht erwünschten Flimmern des Displays führen, weil die Multiplexfrequenz aus der Taktfrequenz abgeleitet wird. Außerdem vergrößern sich die Zeiten, in denen die als analoge Speicher wirkenden Kondensatoren C_Z und C_R des Analogprozessors eine konstante Ladung behalten müssen. Unvermeidliche Ladungsverluste verursachen deshalb leicht zusätzliche Meßfehler, da aus technischen Gründen C_Z und C_R nicht entsprechend groß dimensioniert werden können. Die obere Frequenzgrenze resultiert aus der möglichen Arbeitgeschwindigkeit der in dem Digitalprozessor C 502D integrierten Funktionsgruppen. In Abschnitt 1.5. findet der Leser ausführliche Hinweise zur Wahl der Taktfrequenz des Steuerszillators. Die Kurzzeitstabilität des integrierten Taktgenerators ist nur für A/D-Wandlersysteme mit einer Meßwertauflösung von 3,5 Digit ausreichend. Für Applikationen mit einer Auflösung von 4,5 Digit schreibt der Bauelementehersteller das Verwenden eines externen Taktgenerators vor, dessen Taktfrequenz sowohl kurz- als auch langzeitstabil sein muß.

Die Ausgangsspannung des Taktoszillators erreicht über einen 1stufigen Binärteiler den aus 4 Zähldekaden bestehenden Hauptzähler, dem ein 2stufiger Binärteiler folgt.

Das Ausgangssignal der letzten Zähldekade des Hauptzählers leitet eine in Emitterschaltung arbeitende Pufferstufe – der notwendige Kollektorerstand ist in dem C 502 D integriert – dem sogenannten 20 K Teiler-ausgang O_T zu. Hier steht, da der vorgeschaltete Binärteiler und damit auch der Hauptzähler ständig Taktimpulse erhält, eine Rechteckspannung mit einem Tastverhältnis von $n = 4 : 1$ zur Verfügung, deren Frequenz um den Faktor $k = 1/20\,000$ niedriger als die Taktfrequenz ist. Die Rechteckspannung am TTL-kompatiblen Ausgang O_T kann z. B. als Istwert in PLL-Schaltungen benutzt werden, bei denen die Taktfrequenz des A/D-Wandlersystems einer vorgegebenen Referenzfrequenz entsprechen soll.

Die Baugruppe Steuerlogik erzeugt aus den Signalen des Hauptzählers und denen des ihm folgenden 2stufigen Binärteilers sowie dem jeweils vorliegenden logischen Pegel am Komparatoreingang I_K die Steuersignale A und B für den Analogprozessor C 500 D oder C 501 D. Weiterhin liefert die Steuerlogik den Impuls, der beim Schalten des Komparators am Ende der Arbeitsphase Referenzspannungsintegration die Übernahme des zu diesem Zeitpunkt vorliegenden Zählerstands in den Zwischenspeicher bewirkt. Über den Triggereingang kann in die normalerweise zyklische Arbeitsweise der Baugruppe Steuerlogik eingegriffen werden. Führt der Triggereingang I_T H-Pegel, dann arbeitet das A/D-Wandlersystem in gewohnter Weise. Erkennt die Steuerlogik dagegen an I_T L-Potential, so stoppt das A/D-Wandlersystem mit dem Beginn der nächstfolgenden Arbeitsphase Nullpunktkorrektur.

An O_A und O_B wird nachfolgend ständig L-Pegel erzeugt, die den angeschlossenen Analogprozessor in der Arbeitsphase Nullpunktkorrektur halten. Der Digitalprozessor gibt dabei permanent den zuletzt ermittelten Meßwert aus. Einen weiteren Eingriff in das Arbeitsspiel der Baugruppe Steuerlogik löst das Anheben des Spannungspegels am Komparatoreingang I_K auf $U_K = U_{CC} + 2,5\text{ V}$ aus: Der Digitalprozessor C 502 D führt dann die Funktion Lampentest aus, bei der die Arbeitsfähigkeit aller Segmente des Displays zur Meßwertdarstellung überprüft wird. Dieser Testmodus ist nur kurzzeitig erlaubt. Die im Zwischenspeicher abgelegten Daten leitet ein Multiplexer dem Decoder zu, der die im BCD-Code vorliegenden Daten in den für die 7-Segment-Lichtemitteranzeigen erforderlichen Code umwandelt. Die zur Ansteuerung der miteinander verbundenen Segmente a bis g des Displays erforderlichen Treiberstufen sind als npn-Transistoren im Digitalprozessor C 502 D integriert. Im Gegensatz dazu müssen die Digtitreiber mit externen Transistoren realisiert werden, da die für den C 502 D benutzte Technologie nicht die Herstellung der notwendigen leistungsstarken pnp-Transistoren ermöglicht. Die Steuerung des Displays ist für 7-Segment-Lichtemitteranzeigen mit gemeinsamer Anode optimiert, so daß mit solchen Bauelementen die Anzahl der erforderlichen externen Komponenten ein Minimum erreicht. Die Digitinformationen werden reihenfolgerichtig vom LSD zum MSD im Rhythmus der um den Faktor $k = 1/200$ verminderten Frequenz des externen oder internen Taktgenerators durchgeschaltet. Bild 1.11 verdeut-

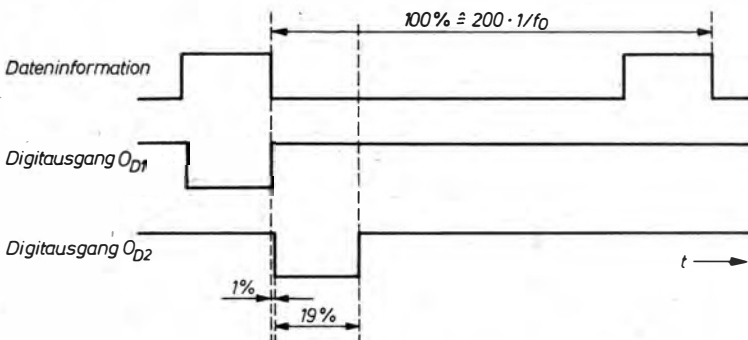


Bild 1.11
Taktdiagramm des
Multiplexers zur
Datenausgabe bei den
Digitalprozessoren
C 502 D und C 504 D

licht, daß die einzelnen Digits nur 19% anstelle von eigentlich 20% der für einen kompletten Ausgabezyklus benötigten Zeit aktiv sind. Dieser Umstand ist bei der Dimensionierung der Segmentwiderstände zu berücksichtigen. Die Digitausgänge O_{D1} bis O_{D5} sind L-aktiv und aufgrund eines integrierten Schutzwiderstands von $R = 100 \Omega$, der den maximal möglichen Basisstrom der Digtreibertransistoren auf etwa $I_B = 40 \text{ mA}$ begrenzt, nicht TTL-kompatibel. Einen so großen Basisstrom benötigen die Treibertransistoren aber meist nicht, so daß zusätzliche externe Basisvorwiderstände nützlich sind, weil dadurch die Gesamtverlustleistung des Digitalprozessors sinkt.

Die Information über das Vorzeichen des umgesetzten Meßwerts gibt der Digitalprozessor C 502 D codiert im MSD aus (Tabelle 1.4.). Die Codierung wurde so festgelegt, daß das Vorzeichen sowohl über getrennte Symbole für das positive oder negative Vorzeichen als auch mit einem gemeinsamen Symbol bzw. nur mit dem Segment g einer 7-Segment-Lichtemitteranzeige dargestellt werden kann. In allen genannten Fällen ist keine zusätzliche Beschaltung notwendig. Es genügt vielmehr das Verbinden der in Frage kommenden Vorzeichensegmente mit den parallelgeschalteten Segmenten der 4 niederwertigen Digits.

Tabelle 1.4.
Wahrheitstabelle der Digit- und Segmentausgänge des Digitalprozessors C 502 D

Aktive Digits	Ausgabe	Segmentausgänge						
		a	b	c	d	e	f	g
D1 bis D4	0	L	L	L	L	L	L	H
	1	H	L	L	H	H	H	H
	2	L	L	H	L	L	H	L
	3	L	L	L	L	H	H	L
	4	H	L	L	H	H	L	L
	5	L	H	L	L	H	L	L
	6	L	H	L	L	L	L	L
	7	L	L	L	H	H	L	H
	8	L	L	L	L	L	L	L
	9	L	L	L	L	H	L	L
D5	-0	L	H	H	L	H	H	L
	-1	L	L	L	L	H	H	L
	+0	H	H	H	H	L	L	L
	+1	H	L	L	H	L	L	L

Tabelle 1.5.
Grenzwerte des Digitalprozessors C 502 D

Betriebsspannung	U_{CC}	max. 7 V
Oszillatoreingangsspannung	U_{IH}	max. 5,5 V
Triggereingangsspannung	U_{IH}	max. 5,5 V
Komparatoreingangsspannung	U_{IH}	max. 9 V kurzzeitig max. 5,5 V
Ausgangsstrom der Segmentausgänge	I_{OL}	max. 9 V kurzzeitig max. 120 mA
Ausgangsstrom der Digitausgänge	I_{OL}	max. 40 mA
Ausgangsstrom des Teilerausgangs	I_{OL}	max. 20 mA
Ausgangsstrom des Steuerausgangs O_A	I_{OL}	max. 20 mA
Ausgangsstrom des Steuerausgangs O_B	I_{OL}	max. 20 mA
Ausgangsspannung für alle Ausgänge	U_{OH}	max. U_{CC}
Umgebungstemperatur	ϑ_U	min. 0 °C max. 70 °C
Gesamtverlustleistung	P_{tot}	max. 1,1 W bei $\vartheta_U = 30 \text{ °C}$

Tabelle 1.6.
Ausgewählte Haupt- und Nebenkenngrößen des Digitalprozessors C 502 D

Betriebsspannung		$4,75 \text{ V} \leq U_{CC} \leq 5,25 \text{ V}$
Eingangsspannung - H		$2 \text{ V} \leq U_{IH} \leq 5,5 \text{ V}$
Eingangsspannung - L		$0 \text{ V} \leq U_{IL} \leq 0,8 \text{ V}$
Umgebungstemperatur		$0 \text{ °C} \leq \vartheta_a \leq 70 \text{ °C}$
Stromaufnahme	I_{CC}	max. 110 mA
Ausgangsspannung - L		max. 0,5 V
Segmente a bis g		($I_{OL} = 100 \text{ mA}$)
A, B	U_{OL}	max. 0,4 V
20 K		($I_{OL} = 2 \text{ mA}$)
		max. 0,4 V
		($I_{OL} = 10 \text{ mA}$)
Ausgangsspannung - H		
A, B, D 1 bis D 5,	U_{OH}	$4 \text{ V} \leq U_{OH} \leq U_{CC}$
20 K		
Sperrstrom der Segmente	I_{OH}	max. 250 μA
Eingangsstrom		($U_{OH} = 5,5 \text{ V}$)
OSZ		
Low	I_{IL}	max. 170 μA
High	I_{IH}	max. 500 μA

1.2.2. Die Grenz- und Kennwerte des C 502 D

Die in Tabelle 1.5. und Tabelle 1.6. aufgelisteten Daten sprechen für sich und bedürfen keiner weiteren Erläuterungen. Die aus der typischen Stromaufnahme resultierende Verlustleistung des Digitalprozessors C 502 D beträgt etwa $P_V = 550 \text{ mW}$. Es kann deshalb von Vorteil sein, wenn man diesen Baustein mit Hilfe eines aufgeklebten Aluminiumkühlkörpers thermisch entlastet.

1.2.3. Der innere Aufbau und die Arbeitsweise des C 504 D

Der Hersteller liefert dieses Bauelement in einem 28poligen Plastikgehäuse mit einem Reihenabstand von $a = 15 \text{ mm}$ (Bild 1.12). Bild 1.13 zeigt das Zusammenspiel der integrierten Funktionsgruppen. Der Digitalprozessor C 504 D liefert die vom A/D-Wandler-system ermittelten Meßwerte gemultiplext im Format des BCD-Cods und ist deshalb besonders für solche Systeme sehr geeignet, bei denen die anfallenden Daten von einem Mikrorechner auszuwerten sind. Einzelne Baugruppen des Digitalprozessors C 504 D entsprechen denen des C 502 D. Erhebliche

Unterschiede bestehen allerdings in der Baugruppe Steuerlogik, die beim C 504 D um zusätzliche Ein- und Ausgänge erweitert wurde. Die mit ihnen möglichen Funktionen unterstützen den vorgesehenen Anwendungsbereich beträchtlich und erweitern insgesamt die Applikationsmöglichkeiten. In ihrer prinzipiellen Funktion unterscheiden sich C 502 D und C 504 D allerdings nicht, so daß nachstehend nur die zusätzlichen Funktionen des C 504 D betrachtet werden sollen.

Der Starteingang I_{St} erlaubt mehrere Steuerfunktionen. L-Potential an diesem Eingang führt zum Normalbetrieb, den zyklische Umsetzungen des A/D-Wandlersystems kennzeichnen. Wechselt der Pegel an I_{St} auf H-Potential, so stoppt das A/D-Wandler-system bei Eintritt in die nächstfolgende Arbeitsphase Nullpunktkorrektur und gibt den zuletzt ermittelten Meßwert permanent aus. Beaufschlagt man den Eingang I_{St} mit L-Impulsen einer zeitlichen Dauer von $t = 10 \mu\text{s}$, so lösen diese Einzelmessungen aus. Schließlich ergibt ein Anheben des Pegels am Steuereingang I_{St} auf $U_{St} = U_{CC} + 2,5 \text{ V}$ die Funktion Lampentest, bei der bei einem angeschlossenen Decoder alle Segmente der 7-Segment-Lichtemitteranzeigen zur Kontrolle aktiviert werden. Diese letztgenannte Funktion ist aber nur kurzzeitig erlaubt.

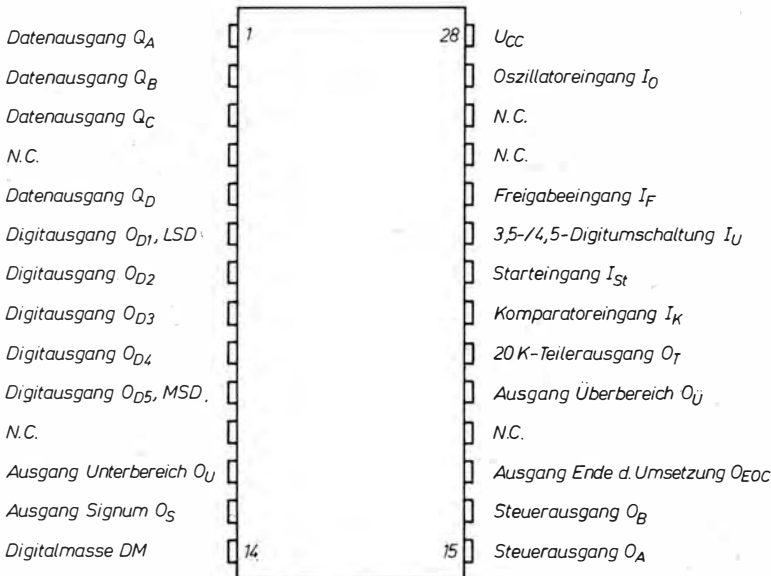


Bild 1.12
Anschlußbelegung des Digitalprozessors C 504 D

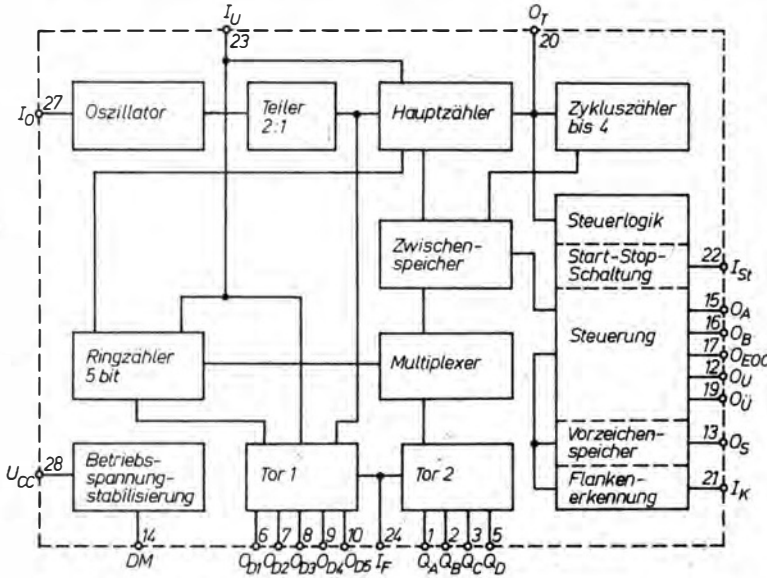


Bild 1.13
 Innere Verknüpfung
 der im Digitalprozessor
 C 504 D integrierten
 Funktionsgruppen

Über den Steuereingang I_U kann die Betriebsart des A/D-Wandlersystems umgeschaltet werden. L-Pegel führt zur Darstellung des Meßergebnisses mit einer Auflösung von 4,5 Digit, während H-Potential die Auflösung um eine Größenordnung auf 3,5 Digit senkt. Dabei wird eine Dekade der Hauptzählers überbrückt und gleichzeitig der Ausgang O_{D1} inaktiv. In der Betriebsart mit einer Auflösung des Meßergebnisses von 3,5 Digit verdoppelt sich die Multiplexfrequenz, und die Umsetzrate des A/D-Wandlersystems verzehnfacht sich. Während für eine Umsetzung normalerweise 80 000 Oszillatortakte erforderlich sind, werden bei H-Pegel an I_U nur noch 8000 Takte benötigt. Das zwingt allerdings im angeschlossenen Analogprozessor zum Umdimensionieren von C_Z , C_R und C_1 . Sie sind um den Faktor $k = 0,1$ kleiner zu dimensionieren, damit eine korrekte Arbeitsweise des A/D-Wandlersystems gesichert ist.

Eine weitere Steuerfunktion ist mit dem Freigabeeingang I_F möglich. H-Pegel an diesem bewirkt die Freigabe aller Digit- und Datenausgänge und damit die normale Meßwertausgabe, die mit dem LSD beginnt und mit dem MSD endet und für die auch das Taktdiagramm im Bild 1.11 zutrifft. Die Transistoren der genannten Ausgangsstufen

arbeiten in Emitterschaltung. Der Kollektorwiderstand ist mit integriert, so daß bei L-Pegel am Eingang I_F die Ausgänge O_{D1} bis O_{D5} und O_A bis O_D H-Potential einnehmen. Die verwendeten Ausgangsstufen ermöglichen das Parallelschalten mehrerer A/D-Wandlersysteme, von denen jeweils ein System durch H-Pegel am Eingang I_F aktiviert werden kann.

Die Steuerausgänge O_A , O_B und O_T haben beim C 504 D die gleiche Funktion wie beim C 502 D. Die Polarität wird beim C 504 D dagegen nicht verschlüsselt im MSD, sondern über den Steuerausgang O_S ausgegeben. Dieser führt L-Potential, wenn die Spannung an I_{HI} des angeschlossenen Analogprozessors positiver ist als die an I_{LO} vorliegende Spannung. Im entgegengesetzten Fall schaltet O_S auf H-Pegel. Die Polaritätsausgabe setzt mit dem Beginn der Arbeitsphase Referenzspannungsintegration ein. O_{EOC} gibt Auskunft über den momentanen Betriebszustand des A/D-Wandlersystems. Innerhalb der Arbeitsphasen Eingangs- und Referenzspannungsintegration führt O_{EOC} H-Potential. Ein Wechsel von H- in Richtung L-Pegel kennzeichnet das Ende eines Umsetzvorgangs, während ein Sprung des Pegels von L- auf H-Potential den Beginn der Arbeitsphase Eingangsspannungsintegration markiert.

Für ein A/D-Wandlersystem mit automatischer Umschaltung der Meßbereiche können sich die Steuerausgänge O_U und O_V als sehr hilfreich erweisen. O_U schaltet mit dem Beginn der Arbeitsphase Nullpunktkorrektur auf L-Pegel, wenn bei einer Meßwertauflösung von 4,5 oder 3,5 Digit der Betrag des Umsetzergebnisses größer als $N = 19\,999$ bzw. $N = 1\,999$ ist. Es wird also ein Überschreiten des erlaubten Meßbereichs signalisiert. Einen nicht ausgenutzten Meßbereich erkennt man daran, daß O_V mit Beginn der Arbeitsphase Nullpunktkorrektur L-Potential ausweist. Der Betrag des Meßergebnisses unterschreitet dann die Werte $N = 1\,000$ bzw. $N = 100$, wenn die Auflösung des A/D-Wandlersystems 4,5 bzw. 3,5 Digit beträgt. Soweit zu den zusätzlichen Funktionen, die der *C 504D* im Vergleich zum *C 502D* ermöglicht.

1.2.4. Die Grenz- und Kennwerte des C 504D

Tabelle 1.7. und Tabelle 1.8. nennen die Grenzwerte bzw. einige wichtige Haupt- und Nebenkenngrößen des Digitalprozessors *C 504D*.

1.3. Vorschriften und Empfehlungen für den praktischen Einsatz der Bauelemente C 500D bis C 504D

A/D-Wandlersysteme mit den Schaltkreisen *C 500D* bis *C 504D* erfordern nur sehr wenig externe Bauelemente, deren korrekte Dimensionierung allerdings Vorbedingung für eine genaue, zuverlässige und langzeitstabile Arbeitsweise ist.

1.3.1. Die Dimensionierung und die Auswahl der externen Komponenten der Analogprozessoren C 500D und C 501D

Den größten Einfluß auf die Genauigkeit und Langzeitstabilität des Meßergebnisses hat die vom A/D-Wandlersystem verwendete

Tabelle 1.7.
Grenzwerte des Digitalprozessors *C 504D*

Betriebsspannung	U_{CC}	max. 7 V
Ausgangsspannung aller Ausgänge	U_{OH}	max. U_{CC}
Oszillatoreingangsspannung	U_{IH}	max. 5,5 V
Starteingangsspannung	U_{IH}	max. 5,5 V
Freigabeeingangsspannung	U_{IH}	max. 9 V kurzzeitig
Komparatoreingangsspannung	U_{IH}	max. 5,5 V
Ausgangsstrom aller Ausgänge	I_{OL}	max. 10 mA
Ausgangsstrom des Ausgangs O_S	I_{OL}	max. 20 mA
Umgebungstemperatur		min. 0 °C max. 70 °C

Tabelle 1.8.
Ausgewählte Haupt- und Nebenkenngrößen des Digitalprozessors *C 504D*

Betriebsspannung		$4,75 \text{ V} \leq U_{CC} \leq 5,25 \text{ V}$
H-Eingangsspannung		$2 \text{ V} \leq U_{IH} \leq 5,5 \text{ V}$
L-Eingangsspannung		$0 \text{ V} \leq U_{IL} \leq 0,8 \text{ V}$
Betriebstemperaturbereich		$0 \text{ °C} \leq \theta_a \leq 70 \text{ °C}$
Stromaufnahme	I_{CC}	max. 55 mA ($U_{CC} = 5,25 \text{ V}$)
L-Ausgangsspannung	U_{OL}	max. 0,4 V ($I_{OL} = 6,4 \text{ mA}$)
H-Ausgangsspannung	$U_{OH(13)}$	max. 1 V ($I_{OL} = 18 \text{ mA}$)
L-Eingangsstrom	I_{IL}	min. 2,4 V ($I_{OH} = 0,16 \text{ mA}$)
H-Eingangsstrom	I_{IH}	max. 400 μA ($U_{IL} = 0,8 \text{ V}$)
Oszillatoreingang wie beim <i>C 502D</i>		max. 40 μA ($U_{IH} = 2 \text{ V}$)

Referenzspannung. Die interne Referenzspannung der Analogprozessoren *C 500D* und *C 501D* ist auf Grund ihres typischen Temperaturkoeffizienten von $TK_{U_{ref}} = (50 \text{ bis } 100) \cdot 10^{-6} \text{ K}^{-1}$ nur für Systeme mit einer Auflösung von 3,5 Digit brauchbar. Für A/D-Wandlersysteme mit einer Auflösung von 4,5 Digit sind Referenzspannungsquellen erforderlich, die einen um eine Größenordnung niedrigeren Temperaturkoeffizienten aufweisen. Nähere Hinweise zu dieser Problematik findet man im Abschnitt 1.5. Die Analogprozessoren *C 500D* und *C 501D* sind von $U_{ref} = 0,1$ bis 5 V arbeitsfähig, wobei allerdings im Referenz-

spannungsbereich von 0,1 bis 0,5 V Probleme mit der Auflösung des A/D-Wandlersystems bestehen. Wenn irgend möglich, sollte man deshalb höhere Referenzspannungen verwenden. Aus dem inneren Aufbau bzw. der Ablaufsteuerung der Digitalprozessoren C 502 D und C 504 D ergibt sich die Größe der Referenzspannung in A/D-Wandlersystemen mit den Bauelementen C 500 D bis C 504 D aus der nachstehenden Beziehung:

$$|U_{e\max}| = 2 U_{\text{ref}} \quad (12)$$

Entsprechend dieser Gleichung führt eine Referenzspannung von $U_{\text{ref}} = 1 \text{ V}$ zu dem Grundmeßbereich von $\pm U_e = 2 \text{ V}$. Er liefert ein Meßergebnis, dessen Zahlenwert dem Betrag der vorliegenden Eingangsspannung entspricht.

Der exakte Wert der Referenzspannung muß mit einem hochwertigem Trimpotentiometer in Grenzen veränderlich sein, damit das A/D-Wandlersystem kalibriert werden kann. Der zu diesem Zweck erforderliche Spannungsteiler darf nur aus Widerständen mit geringen Temperaturkoeffizienten bestehen. Diese Forderung ist auch für das notwendige Einstellpotentiometer zutreffend, so daß nur Cermettrimmer mit Spindeltrieb möglich sind, die gleichzeitig die notwendige Einstellsicherheit gewährleisten. Die Widerstandswerte des Referenzspannungsteilers sollten so festgelegt werden, daß der Ausgangswiderstand $R_a < 10 \text{ k}\Omega$ ist. Bezugspunkt für die Referenzspannung ist das analoge Massepotential des Analogprozessors. Es empfiehlt sich deshalb eine räumliche Anordnung für den Referenzspannungsteiler, bei der sich eine kurze Leitungslänge zwischen dessen Fußpunkt und dem analogen Massepotential ergibt.

Für C_R , C_Z und C_I eignen sich nur Folienkondensatoren mit sehr hohen Isolationswiderständen. Keramische Kondensatoren oder Elektrolytkondensatoren sind an dieser Stelle unbrauchbar. Die angesprochenen Kondensatoren müssen Werte von minimal $C_R = C_Z = C_I = 0,22 \mu\text{F}$ aufweisen. A/D-Wandlersysteme mit einer Umsetzrate von kleiner als 1 Messung/s und solche mit einer Meßwertauflösung von 4,5 Digit bedingen höhere Kapazitätswerte, die dann etwa $1 \mu\text{F}$

betragen sollten. Für C_R und C_Z sind MKC-Typen noch geeignet. Besonders hohe Anforderungen werden an den Integrationskondensator C_I gestellt, so daß für ihn unbedingt ein MKPI- oder KP-Typ verwendet werden sollte. Das gilt insbesondere für A/D-Wandlersysteme mit einer Auflösung von 4,5 Digit.

Der Wert des zur U/I-Wandlung erforderlichen Integratorwiderstands R_I braucht nur kurzzeitstabil zu sein. Ein Kohleschichtwiderstand reicht deshalb sicher aus. Vom Bauelementehersteller wird für R_I ein Wertebereich von 30 bis 100 k Ω empfohlen. Zweckmäßigerweise legt man den exakten Wert nach der Größe des Integrationskondensators C_I in Abhängigkeit von den Speisenspannungen und einer eventuell erforderlichen Gleichtaktaussteuerung des Analogprozessors so fest, daß der mögliche positive bzw. negative Spannungshub am Integrator seine zulässigen Extremwerte erreicht. Das ist mit der nachstehenden Gleichung für die Zeitkonstante des Integrators im C 500 D und C 501 D möglich:

$$R_I \cdot C_I \leq \frac{|U_{e\max}| \cdot t_i}{|U_{CC1/2}| - |U_{CM}| - 4 \text{ V}} \quad (13)$$

In dieser Beziehung sind $|U_{e\max}|$ der Betrag des oberen Grenzwerts der zulässigen Eingangsspannung, $|U_{CM}|$ der Betrag der maximal erlaubten Gleichtakteingangsspannung und $|U_{CC1/2}|$ die identischen Beträge der Versorgungsspannungen U_{CC1} bzw. $-U_{CC2}$. Ist die Verarbeitung von Gleichtaktspannungen mit der praktischen Schaltung nicht erforderlich, so entfällt in Gleichung (13) der Ausdruck $|U_{CM}|$. In diesem Fall muß der Anschluß I_{LO} des Analogprozessors mit dessen analogem Massepotential verbunden werden.

Die Ausgangsstufe des Komparators im C 500 D und C 501 D ist ein in Emitterschaltung arbeitender Transistor ohne Kollektorwiderstand. Dieser Arbeitswiderstand muß extern zwischen den Anschlüssen Komparatoreingang I_K und Versorgungsspannung U_{CC} des betreffenden Digitalprozessors geschaltet werden.

1.3.2. Applikationshinweise für A/D-Wandlersysteme mit den Bauelementen C 500 D bis C 504 D

Mit dem C 500 D bis C 504 D können hochempfindliche und sehr genau arbeitende A/D-Wandlersysteme verwirklicht werden. Die gegebenen Möglichkeiten kann man aber nur ausschöpfen, wenn neben einer korrekten Dimensionierung der externen Komponenten weitere Regeln beachtet werden, die sich besonders auf die Stromversorgung und die Leiterplatte beziehen. Die A/D-Wandlersysteme erfordern 3 Betriebsspannungen, die, um den Einfluß einer sich ändernden Netzspannung weitgehend auszuschließen, geregelt sein müssen. Die Ausgangsspannungen der Regler sollten frei von Oberwellen und Spikes sein, weil es meist unmöglich ist, Spannungsspitzen mit Hilfe von zusätzlichen Kondensatoren zu mindern. Schaltnetzteile, die ohne nachfolgenden analogen Spannungsregler betrieben werden, sind aus diesem Grund meist weniger geeignet. Zum Regeln der Versorgungsspannung der Digitalprozessoren eignen sich Festspannungsregler oder programmierbare Spannungsregler entsprechender Leistung. Dabei muß beachtet werden, daß dieser Regler auch den Betriebsstrom für das angeschlossene Display liefern muß, wenn als Digitalprozessor der C 502 D verwendet wird. Eine Stromversorgung des Displays aus der unstabilierten Eingangsspannung des Spannungsreglers für den Digitalprozessor ist ohne erheblichen zusätzlichen Bauelementeaufwand aufgrund der begrenzten Spannungsfestigkeit der Treibertransistoren für die Segmente des Displays nicht möglich. Die Dimensionierung der Segmentwiderstände R_s hängt maßgeblich von dem für das betreffende Display zur Erreichung einer vorgegebenen Helligkeit erforderlichen mittleren Segmentstrom I_s und der Flußspannung U_{FS} der Lumineszenzdioden in den 7-Segment-Lichtemitteranzeigen ab. Es gilt näherungsweise die Gleichung:

$$R_s = \frac{(U_{CC} - U_{FS}) \cdot 19\%}{I_s \cdot 100\%} \quad (14)$$

Die Versorgungsspannungen des Analogpro-

zessors sollten innerhalb des erlaubten Arbeitsbereichs möglichst nahe der Obergrenze gewählt werden, da mit zunehmender Speisespannung auch der mögliche Spannungshub am Integratorausgang des Analogprozessors zunimmt. Das ist vorteilhaft, weil sich dann Unsicherheiten der Schaltschwelle des Komparators weniger im Meßergebnis bemerkbar machen. Die beiden Versorgungsspannungen des Analogprozessors müssen in dessen unmittelbarer Nähe getrennt mit je einem Keramik Kondensator von $C = 22$ bis 100 nF und einem Elektrolytkondensator von $C = 22$ bis 47 μ F zum analogen Massepotential hin abgeblockt werden.

C 500 D und C 501 D verfügen über getrennte Anschlüsse für das analoge und digitale Massepotential, die intern voneinander isoliert sind. Der Anschluß für das digitale Massepotential wird nur als Bezugspunkt für den Komparatorausgang O_K und die beiden Steuereingänge I_A und I_B genutzt. Die Funktion der Analogprozessoren ist gewährleistet, wenn sich das digitale Massepotential innerhalb des Spannungsbereichs von $-U_{CC2}$ bis $U_{CC1} - 4$ V befindet. Im Normalfall besteht zwischen dem analogen und dem digitalen Massepotential kein Potentialunterschied. Beide Leitungen sollten sich dann sternförmig im Stromversorgungssteil an einem zentralen Massepunkt treffen. Die Leitungsführung muß so gestaltet sein, daß keine geschlossene Schleifen vorhanden sind. Es ist unbedingt darauf zu achten, daß über die Leitung des analogen Massepotentials keine Ströme des Digitalprozessors fließen. Weiterhin sollten die Leitungen zu den Analogeingängen des Analogprozessors möglichst kurz und vom analogen Massepotential umgeben sein. Eine unmittelbare Nachbarschaft von Leitungen mit analogen Signalen und solchen mit digitalen Pegeln muß man vermeiden. Nicht zu verhindernde Kreuzungen solcher Leitungen sind rechtwinklig zu gestalten. Kurze Verbindungen zu den entsprechenden Anschlüssen werden auch für C_Z , C_R und C_I gefordert. Darüber hinaus müssen diese Bauelemente räumlich möglichst weit entfernt von Leitungen mit digitalen Signalen angeordnet sein.

1.4. Schaltbeispiele für A/D-Wandlersysteme mit minimalem Aufwand

1.4.1. Stromversorgungseinrichtungen für A/D-Wandlersysteme mit den Bauelementen C 500 D bis C 504 D

Für die Regelung der Betriebsspannung des Digitalprozessors wurde in Bild 1.14 der Festspannungsregler N1 in bekannter Applikation verwendet. Der programmierbare Spannungsregler N2 liefert die positive Betriebsspannung des Analogprozessors, dessen negative Versorgungsspannung der OPV N3 regelt. Als Referenzspannung wird zu diesem Zweck die von N2 bereitgestellte Referenzspannung verwendet. Diese Spannungsquelle liefert auch die positive Versorgungsspannung von N3. R2 und R3 limitieren die maximal möglichen Lastströme auf etwa $I_{CC1} = -I_{CC2} = 40 \text{ mA}$, so daß ein zeitlich begrenzter Kurzschlußschutz besteht.

Bei der Schaltung nach Bild 1.15 werden sowohl für die Regelung der Versorgungsspannung des Digitalprozessors als auch für die positive Speisespannung des Analogprozessors programmierbare Spannungsregler mittlerer Leistung verwendet. Die zum Einstellen der geforderten Ausgangsspannungen notwendigen Spannungsteiler aus R2 und R3 bzw. R4 und R5 wurden so dimensioniert, daß auf Grund der durch diese Teiler gegebenen Vorbelastung die programmierbaren Spannungsregler N1 und N2 auch im Leerlauf betriebstüchtig sind. N3 arbeitet als nachgeführter Regler und stellt die negative Speisespannung für den Analogprozessor zur Verfügung. Als Referenzspannung wird zu diesem Zweck die Ausgangsspannung von N2 verwendet.

V1...V8 SY360/1 N2 MAA723
 V9 SC237 N3 B761D
 N1 MA7805

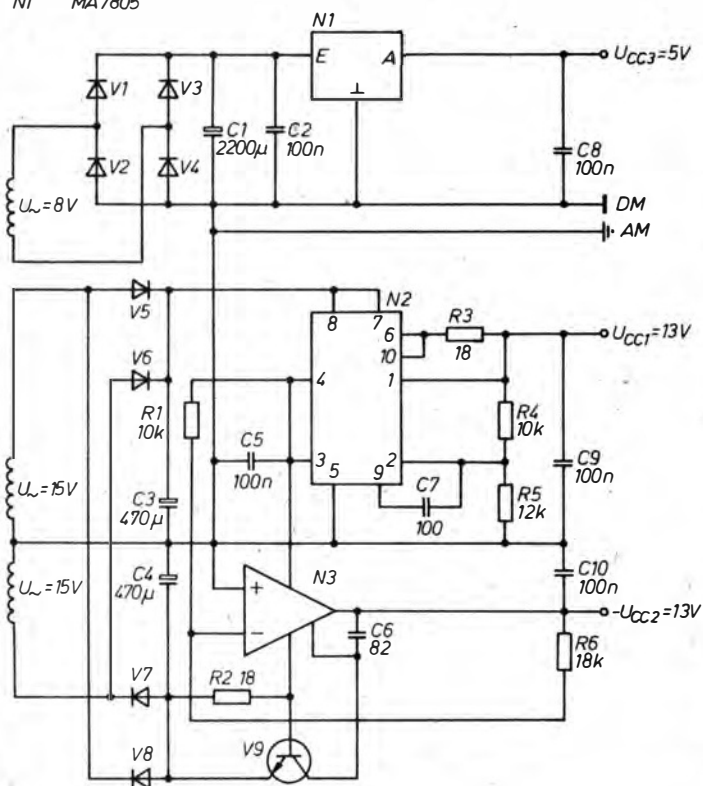


Bild 1.14
 Stromlaufplan der Baugruppe zur Erzeugung der Versorgungsspannungen $U_{CC1} = 13 \text{ V}$, $-U_{CC2} = 13 \text{ V}$ und $U_{CC3} = 5 \text{ V}$ des A/D-Wandlersystems

V1...V8 SY360/1
 N1, N2 B 3170 V
 N3 B 761 D

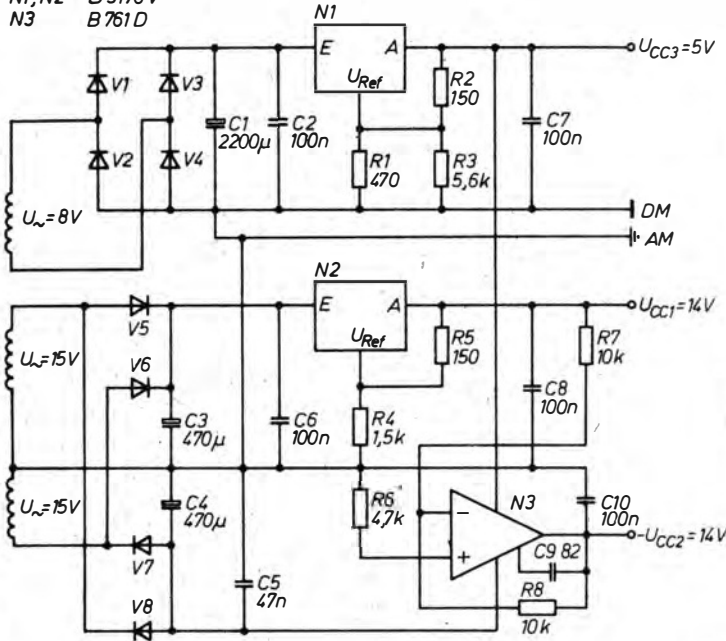


Bild 1.15
 Stromlaufplan der Baugruppe zur Erzeugung der Versorgungsspannungen $U_{CC1} = 14\text{ V}$, $-U_{CC2} = 14\text{ V}$ und $U_{CC3} = 5\text{ V}$ des A/D-Wandlersystems

1.4.2. Schaltbeispiele für Digitalvoltmeter mit geringem Schaltungsaufwand

Die externen Komponenten des Analogprozessors N1 in Bild 1.16 wurden so dimensioniert, daß bei einem Grundmeßbereich von $\pm U_e = 2\text{ V}$ Gleichtaktspannungen von ebenfalls $\pm U_{CM} = 2\text{ V}$ zulässig sind. Auf Grund der gewählten Auflösung kann man die in N1 integrierten Baueinheiten zum Erzeugen der Taktrechteckspannung und der Referenzspannung verwenden. Mit R6 läßt sich die Frequenz des Taktoszillators auf ihren Sollwert von $f_0 = 200\text{ kHz}$ abgleichen. Aus diesem Wert ergibt sich eine Umsetzrate von 2,5 Umsetzungen/s. Mit dem Trimpotiometer R1 wird der Grundmeßbereich kalibriert.

Bei dem in Bild 1.17 gezeigten Stromlaufplan für ein Digitalvoltmeter mit einem Grundmeßbereich von $\pm U_e = 2\text{ V}$ beträgt die Meßwertauflösung 4,5 Digit. Es wurde kein Gleichtakt-Eingangsspannungsbereich vorgesehen. Die Referenzspannung stellt das hochstabile Referenzelement N1 und der

Spannungsteiler aus R3 und R4 bereit. Die Schaltung arbeitet mit einem externen Taktgenerator, dessen Funktionsweise im Abschnitt 1.5. ausführlich erläutert wird. Die Sollfrequenz des Taktgenerators beträgt $f_0 = 200\text{ kHz}$ und kann mit R9 in Grenzen verändert werden.

Die gleichzeitige Darstellung und Ausgabe des Meßwerts ermöglicht das in Bild 1.18 vorgestellte Digitalvoltmeter. Es ist für einen Eingangsspannungsbereich von $\pm U_e = 2\text{ V}$ und eine Auflösung von 4,5 Digit dimensioniert worden. Ein Gleichtakt-Eingangsspannungsbereich wurde nicht vorgesehen. Die Referenz- und die Taktrechteckspannung erzeugen externe Baugruppen, die denen in der Schaltung nach Bild 1.17 entsprechen. Zum Darstellen des Meßwerts ist ein getrennter Decoder erforderlich. Für die 7-Segment-Lichtemitteranzeigen H1 bis H3 sollten Bauelemente mit hohem Wirkungsgrad benutzt werden, da der mittlere Segmentstrom hier nur $I_S = 7,5\text{ mA}$ beträgt.

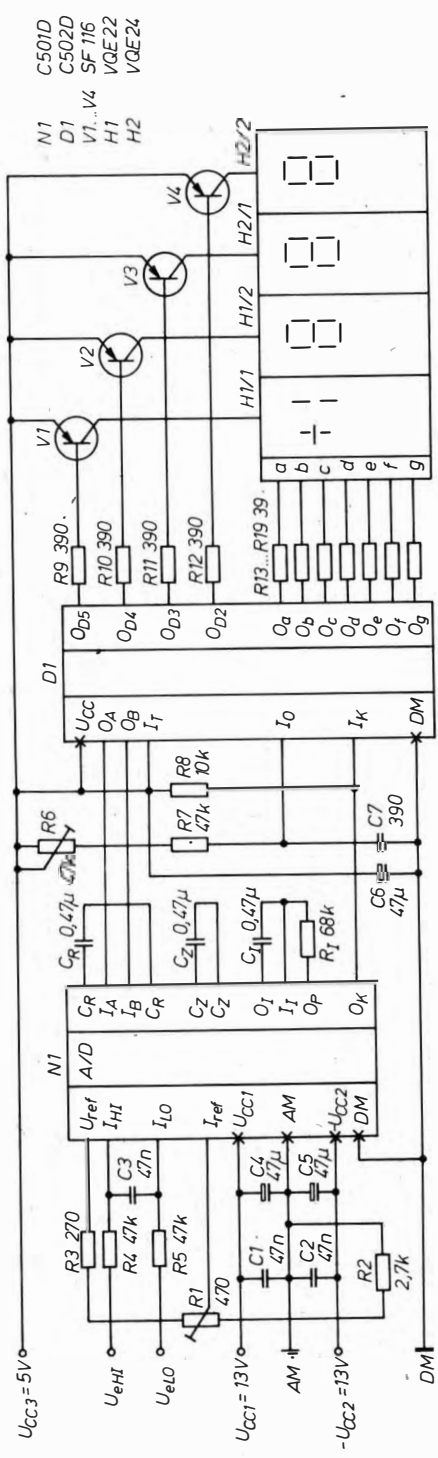


Bild 1.16 Stromlaufplan eines A/D-Wandlersystems mit minimalem Aufwand und einer Auflösung von 3,5 Digit

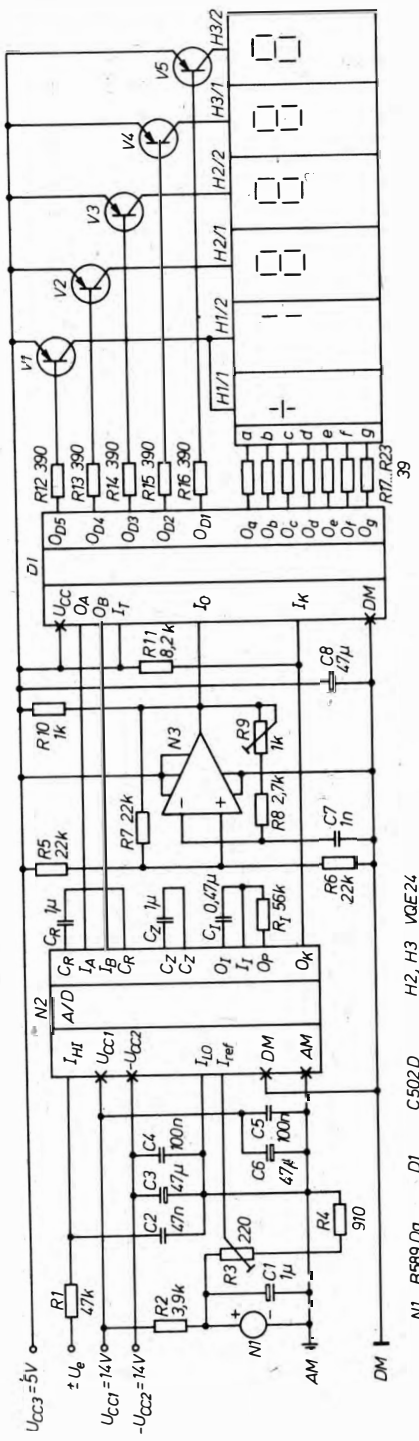


Bild 1.17 Stromlaufplan eines A/D-Wandlersystems mit minimalem Aufwand und einer Auflösung von 4,5 Digit

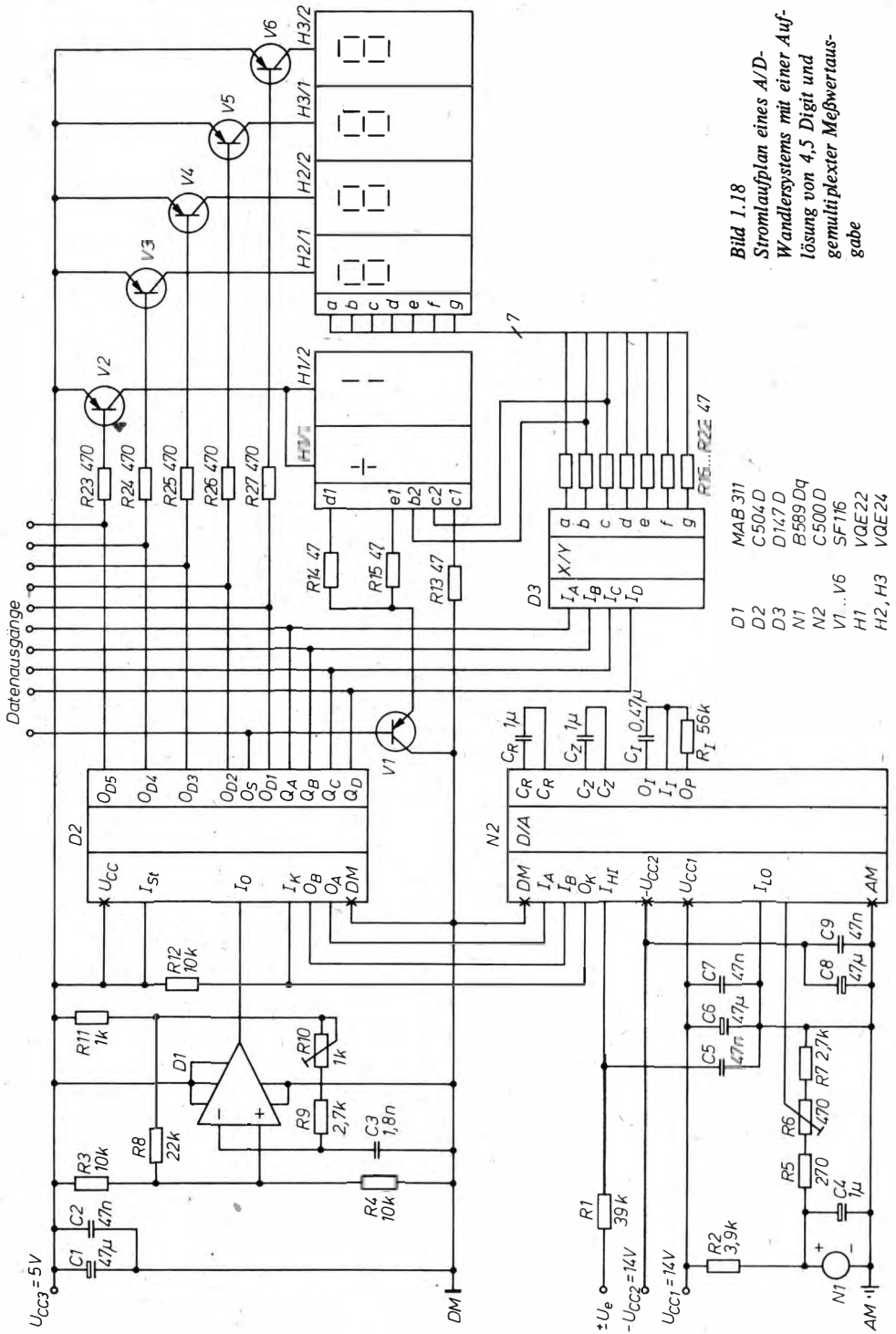


Bild 1.18
 Stromlaufplan eines A/D-
 Wandlersystems mit einer Auf-
 lösung von 4,5 Digit und
 gemultiplexter Meßwertaus-
 gabe

- D1 MAB 311
- D2 C504 D
- D3 D1:7 D
- N1 B589 Dq
- N2 C500 D
- V1...V6 SF116
- H1 V0E22
- H2, H3 V0E24

1.5. Schaltbeispiele für vorteilhafte Verbesserungen der A/D-Wandlersysteme mit Hilfe zusätzlicher aktiver externer Komponenten

Die potentiellen Anwender eines universell zusammenstellbaren Schaltkreissatzes für A/D-Umsetzer erwarten zu Recht, daß diese Bauelemente mit nur wenigen zusätzlichen externen Komponenten eine möglichst große Zahl ihrer praktischen Meßprobleme lösen. Die im vorstehenden Abschnitt kurz beschriebenen Applikationsbeispiele demonstrieren die Leistungsfähigkeit des Schaltkreissatzes, obwohl sich bei diesen Anwendungen die Anzahl der zusätzlichen Bauelemente auf ein Minimum beschränkte. In bestimmten Einsatzfällen sind aber Erweiterungen mit aktiven und passiven Bauelementen sehr wünschenswert, da sich dann neue Anwendungsgebiete oder verbesserte Eigenschaften der A/D-Wandlersysteme ergeben können. Zum Teil sind solche Maßnahmen vom Bauelementhersteller bereits beim Konzipieren der betreffenden IS vorgesehen worden, wenn man an die Möglichkeiten des Anschlusses eines externen Taktgenerators oder einer Referenzspannungsquelle denkt. Im folgenden Abschnitt werden einige erprobte Schaltbeispiele für solche vorteilhaften Erweiterungen vorgestellt. Dabei ist zu beachten, daß einige dieser zusätzlichen Baugruppen vom Hersteller zwingend vorgeschrieben werden, wenn das A/D-Wandlersystem mit einer Auflösung von 4,5 Digit arbeiten soll.

1.5.1. Aufbau und Einsatz externer Referenzspannungsquellen mit hoher Temperaturstabilität

Sowohl bei der Erläuterung des Dual-Slope-Verfahrens als auch innerhalb der Beschreibung des Aufbaus und der Funktionsweise der Analogprozessoren C 500D und C 501D wurde auf den großen Einfluß der Referenzspannung auf das Meßergebnis des A/D-Umsetzers hingewiesen. Das Zwei-Flanken-Verfahren in Verbindung mit der automatischen Nullpunktkorrektur und dem taktsyn-

chronen Zusammenarbeiten von A/D-Umsetzer und auswertendem Zähler eliminiert sehr weitgehend mögliche Fehlerquellen realer Bauelemente. Aus diesem Grund ist letztlich die Stabilität der benutzten Vergleichsspannung gegenüber Änderungen ihrer Versorgungsspannung und der Umgebungstemperatur primär für die Absolutgenauigkeit, die Langzeitstabilität und die Temperaturabhängigkeit des Meßergebnisses verantwortlich. Diese Tatsache ist insbesondere dann zu beachten, wenn das A/D-Wandlersystem mit einer Meßwertauflösung von 4,5 Digit arbeiten soll. Schon eine bei üblichen Anwendungen als klein bewertete Temperaturdrift der Referenzspannung bewirkt eine Temperaturabhängigkeit des Meßergebnisses, die dessen große Auflösung in Frage stellt. Aus diesem Grund schließt auch der Bauelementehersteller die Verwendung der integrierten Referenzspannungsquelle bei einer Meßwertauflösung von 4,5 Digit von vornherein aus.

Der Temperaturkoeffizient der in den Analogprozessoren integrierten Referenzspannungsquelle liegt bei etwa $TK_{U_{ref}} = (50 \text{ bis } 100) \cdot 10^{-6} \text{ K}^{-1}$. Benennt man mit ΔN die Anzahl der LSB, um die der Zifferwert des umgesetzten Meßwerts im Temperaturintervall $\Delta\vartheta_U$ zu- oder auch abnimmt, und mit N die für den Vollausschlag gültige Stufenzahl, dann erhält man für ΔN :

$$\Delta N = TK_{U_{ref}} \cdot \Delta\vartheta_U \cdot N. \quad (15)$$

Als Mindestwert für eine erlaubte Änderung der Umgebungs- und damit auch der Arbeitstemperatur des A/D-Wandlers sollte $\Delta\vartheta_U = 10 \text{ K}$ angesetzt werden. Aus Gleichung (15) folgt dann, daß der Temperaturkoeffizient der internen Referenzspannungsquelle einen maximalen Meßfehler von 2 LSB bzw. 20 LSB verursachen kann, wenn die Auflösung 3,5 Digit bzw. 4,5 Digit beträgt. Die oben angenommene Temperaturschwankung hat einen vergleichsweise niedrigen Wert. Im Interesse einer ausreichenden Meßgenauigkeit sollte man deshalb unbedingt der Empfehlung des Bauelementherstellers folgen, die interne Referenzspannungsquelle nur in Applikationen mit einer Meßwertauflösung von 3,5 Digit zu verwenden.

Tabelle 1.9.

Ausgewählte Kenngrößen des Referenzelements B 589 D

	B 589 D	B 589 Dm	B 589 Dp	B 589 Dq
Ausgangsspannung U_o , bei $\vartheta_u = 25^\circ\text{C}$ und $I_{CC} = 0,5\text{ mA}$	min. 1,2 V für alle Typen max. 1,25 V für alle Typen			
Änderung der Ausgangsspannung $ U_o $, bei $\vartheta_u = 25^\circ\text{C}$ und $I_{CC} = 50\ \mu\text{A}$ bis 5 mA	min. 0 mV für alle Typen max. 5 mV für alle Typen			
Temperaturkoeffizient $TK_{U_{ref}}$ der Ausgangsspannung, bei $\vartheta_u = 25^\circ\text{C}$ und $I_{CC} = 0,5\text{ mA}$ sowie $\Delta\vartheta_u = 40\text{ K}$	max. 100 ppm/K	max. 50 ppm/K	max. 25 ppm/K	max. 10 ppm/K

Für A/D-Wandlersysteme mit dem C 500D und einer Meßwertauflösung von 4,5 Digit sind nur externe Referenzelemente geeignet, deren Temperaturkoeffizient den Wert $TK_{U_{ref}} = 10 \cdot 10^{-6}\text{ K}^{-1}$ unterschreitet. Es gibt 2 Möglichkeiten, diese Bedingungen zu erfüllen. Zunächst kann man Referenzelemente einsetzen, deren typischer Temperaturkoeffizient dem geforderten entspricht. Als weitere Lösung bietet sich die Thermostatierung eines Referenzelements an, das ohne diese Maßnahme eigentlich nicht brauchbar wäre. Die 2. Variante ist oft dann ein vorteilhafter Ausweg, wenn die speziellen Referenzelemente mit hoher Konstanz nicht verfügbar sind. An dieser Stelle sei aber davon abgeraten, den gesamten Baustein C 500D in einem Thermostat zu betreiben. Diese an sich verlockende Idee ist deshalb nicht praktikabel, weil mit zunehmender Arbeitstemperatur die Eingangsbiassströme der internen OPV wachsen, was zusätzliche Fehler und andere Nachteile mit sich bringen kann.

Das integrierte Referenzelement B 589Dq weist einen Temperaturkoeffizienten von typisch $TK_{U_{ref}} = 10 \cdot 10^{-6}\text{ K}^{-1}$ auf. Es kann deshalb auch ohne Thermostaten die erforderliche Referenzspannung bereitstellen. Das Bauelement arbeitet nach dem sogenannten Bandabstands-Prinzip [5]. Kennzeichen dieser Methode zum Erzeugen einer temperaturstabilen Referenzspannung ist, daß der mit einem negativen Temperaturkoeffizienten behafteten Flußspannung einer Diode bzw. Basis-Emitter-Spannung eines Transistors eine etwa betragsgleiche Spannung mit entsprechendem positivem Temperaturkoeffizienten addiert wird. Im Ergebnis der Ad-

dition steht dann eine Summenspannung mit sehr niedrigem Temperaturkoeffizienten zur Verfügung. Das Bauelement B 589Dq wurde als Zweipol ausgelegt (Bild 1.19). Tabelle 1.9. enthält die wichtigsten technischen Daten dieser Referenzspannungsquelle, deren Ausgangsspannung $U_{ref} = 1,23\text{ V}$ beträgt. Die typische Applikation des Referenzspannungselements B 589Dq zeigt Bild 1.20. Mit R1 stellt man den durch N1 fließenden Strom ein. Dabei muß beachtet werden, daß durch R1 auch der Strom des Spannungsteilers aus R2 bis R4 fließt. Für den ausschließlich durch das Referenzelement N1 fließenden Strom I_{N1} gilt deshalb:

$$I_{N1} = \frac{U_{CC1} - U_{ref}}{R1} - \frac{U_{ref}}{R2 + R3 + R4} \quad (16)$$

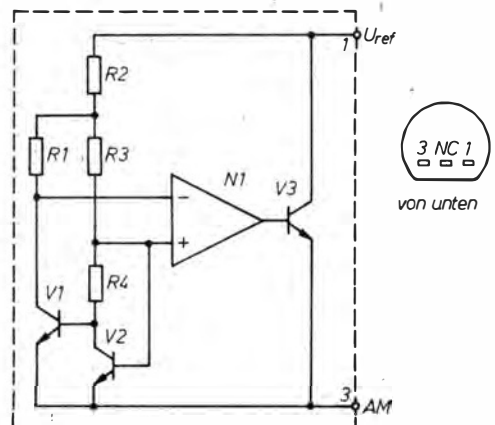


Bild 1.19

Innschaltung und Anschlußbelegung des Referenzelements B 589 D

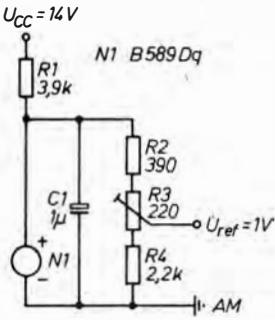


Bild 1.20
Erzeugung der Referenzspannung $U_{ref} = 1V$ für das A/D-Wandlersystem mit Hilfe des integrierten Referenzelements B 589 Dq

Entsprechend den Angaben des Herstellers beeinflusst der durch das Referenzelement fließende Strom geringfügig die Lage des Temperaturbereichs, in dem der Temperaturkoeffizient sein Minimum erreicht. Erste Untersuchungen in [2] zeigten, daß bei einem Strom von $I_{N1} = 5\text{ mA}$ das TK-Minimum innerhalb des Arbeitstemperaturbereichs von $\vartheta_U = 20$ bis 30°C zu finden ist. Man sollte deshalb den Betriebsstrom durch N1 entsprechend festlegen.

Auf Grund ihres typischen Temperaturkoeffizienten von $TK_{U_{ref}} = 10 \cdot 10^{-6}\text{ K}^{-1}$ lassen sich die Typen *MAC 01* und *MAB 01* (Bild 1.21) ebenfalls ohne Thermostaten nut-

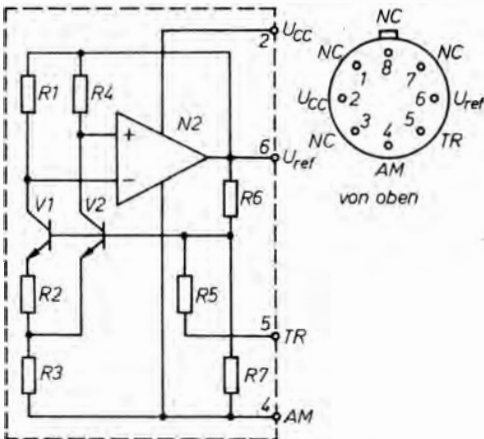


Bild 1.21
Innenschaltung und Anschlußbelegung der integrierten Referenzelemente *MAC 01* bzw. *MAB 01*

Tabelle 1.10.

Ausgewählte Kenngrößen der Referenzelemente *MAC 01* und *MAB 01*

Betriebsspannung	U_{cc}	min. 12 V max. 40 V
Ausgangsspannung	$U_{o_{ref}}$	min. 9,95 V nom. 10,0 V max. 10,05 V
Temperaturkoeffizient	$TK_{U_{ref}}$	nom. 10 ppm/K
		max. 25 ppm/K
Ruhestrom	I_{cc}	nom. 1 mA, bei $I_o = 0\text{ mA}$ max. 1,4 mA, bei $I_o = 0\text{ mA}$

zen. Diese Referenzelemente sind, wie die Festspannungsregler, als Dreipol anzuschließen und verfügen über einen zusätzlichen Anschluß zur Feineinstellung der Referenzspannung. Der Nennwert der Ausgangsspannung der Bauelemente *MAC 01* und *MAB 01* beträgt $U_{ref} = 10,00\text{ V}$, weitere technische Daten findet man in der Tabelle 1.10. Die Widerstände der Spannungsteiler für die Referenzspannung gemäß Bild 1.20 und Bild 1.22 müssen einen niedrigen Temperaturkoeffizienten aufweisen. Es eignen sich Typen der Baureihe *BR 23* nach *TGL 36 521*. Für das jeweilige Einstellpotentiometer sind unbedingt *Cermet*-Spindeltrimmer einzusetzen. Nur diese Justierpotentiometer haben einen hinreichend geringen Temperaturkoeffizienten und erlauben auf Grund ihrer Bauform eine ausreichend reproduzierbare und bequeme Einstellung der Referenzspannung. Die Spannungsteiler sollten so dimensioniert sein, daß der vom Referenzspannungseingang des *C 500D* aus gesehene Quellwiderstand den geforderten Wert von $R_Q = 10\text{ k}\Omega$ unterschreitet.

Im Amateurbereich stehen vielfach die bisher angesprochenen Referenzelemente noch nicht zur Verfügung. Einen Ausweg kann dann die Thermostatierung eines Referenzelements geringerer Güte bieten, das meist leichter erhältlich ist. Diese Methode erfordert aber einen sorgfältig ausgelegten Thermostaten, wenn das angestrebte Ergebnis den Erwartungen entsprechen soll. Es genügt keinesfalls ein Temperaturregler, der nur die Schwankungen der Umgebungstemperatur von dem Referenzelement fernhält. Vielmehr muß die Konstanz der Betriebs-

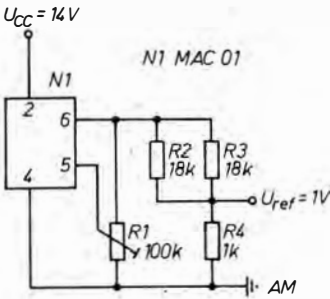


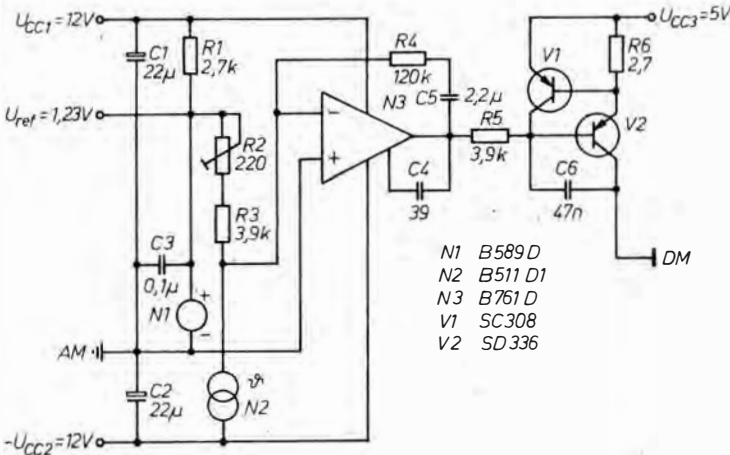
Bild 1.22
Stromlaufplan der Anwenderschaltung zum Erzeugen der Referenzspannung $U_{ref} = 1\text{ V}$ mit Hilfe der Referenzelemente MAC 01 oder MAB 01

temperatur sehr hoch sein, damit der gewünschte Effekt auch eintritt. Dabei spielt der Absolutwert der Arbeitstemperatur des Thermostaten keine dominierende Rolle, solange diese Temperatur innerhalb des Bereichs liegt, der für das zu thermostatisierende Referenzelement gilt.

Ein Beispiel soll das Gesagte verdeutlichen: Verfügbar sei ein Referenzelement mit einem Temperaturkoeffizienten von $TK_{U_{ref}} = 100 \cdot 10^{-6} \text{ K}^{-1}$, der mit Hilfe eines Thermostaten auf $TK_{U_{ref}} = 10 \cdot 10^{-6} \text{ K}^{-1}$ vermindert werden soll. Das erreicht man jedoch nur mit einem Thermostaten, dessen Innentemperatur sich bei möglichen und erlaubten Änderungen der Versorgungsspannung und der Umgebungstemperatur um maximal $\pm \vartheta_{Th} = 0,1 \text{ K}$ von ihrem Sollwert weg bewegt. Solche Werte sind meist nur zu si-

chern, wenn der Thermostat aus einer stabilisierten Speisespannungsquelle mit Strom versorgt wird. Weiterhin muß man ihn thermisch gut isolieren. Das bereitet aber aufgrund des meist geringen Volumens dieser Baueinheit häufig keine großen Probleme. Der notwendige Regler sollte nicht als Zweipunktregler mit Hysterese betrieben werden, weil dann Regelschwingungen unvermeidlich sind. Sehr gut eignen sich P-, PI- und PID-Regler.

Den Stromlaufplan eines Thermostaten für ein Referenzelement des Typs B 589D – sein Temperaturkoeffizient beträgt typisch $TK_{U_{ref}} = 100 \cdot 10^{-6} \text{ K}^{-1}$ – zeigt Bild 1.23. Die eigentliche Regelschaltung ist mit dem als PI-Regler betriebenen OPV N3 realisiert. Als Temperaturfühler N2 fungiert der integrierte Temperatursensor B 511D2, dessen Konstantstrom den Istwert der Thermostattemperatur repräsentiert. Aus der Arbeitsspannung des zu thermostatisierenden Referenzelements N1 leiten R2 und R3 einen Strom ab, der den Sollwert der Regeleinrichtung darstellt. Als Heizelement nutzt man den pnp-Transistor V2, dessen montagefreundliches Flachgehäuse TO 126 für die hier vorgesehene Anwendung besonders geeignet ist. Der Transistor V2 sowie die Bauelemente N1 und N2 befinden sich auf bzw. in einem Quader aus Aluminium mit den Abmessungen von $8 \text{ mm} \times 8 \text{ mm} \times 20 \text{ mm}$ (Bild 1.24). Die thermische Isolierung in Richtung der Leiterplatte besteht aus PUR-Schaumstoff und aus einer Kappe des gleichen Materials,



- N1 B 589 D
- N2 B 511 D1
- N3 B 761 D
- V1 SC 308
- V2 SD 336

Bild 1.23
Stromlaufplan eines Miniaturthermostaten zur Regelung der Arbeitstemperatur eines Referenzelements auf einen konstanten Wert

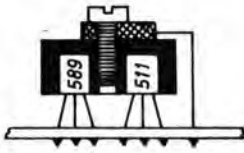


Bild 1.24
Mechanische Anordnung der funktionswichtigen Bauelemente des Miniaturthermostaten

wobei die Wandstärke $a = 10$ mm betrug. N3 und die übrigen funktionswichtigen Bauelemente befinden sich außerhalb des zu thermostatierenden Raums.

Die Stromversorgung des eigentlichen Temperaturreglers besteht aus den stabilisierten Speisespannungen $U_{CC1} = -U_{CC2} = 12$ V, die auch als Versorgungsspannungen für den Analogprozessor C 500D genutzt werden. Der Betriebsstrom des Heiztransistors V2 kann maximal etwa $I_{CV2} = 240$ mA betragen. Es ist deshalb zweckmäßig, für dessen Stromversorgung die stabilisierte Speisespannung des Digitalprozessors C 502D zu verwenden. Der Temperatursensor N2 stellt eine Stromquelle dar, deren jeweiliger Arbeitsstrom die Umgebungstemperatur des Sensors bestimmt. Die Betriebstemperatur des Thermostaten wurde beim Erprobungsmuster auf den Wert $\vartheta_{Th} = 50^\circ\text{C}$ festgelegt. Bei dieser Temperatur liefert der Temperaturfühler einen Strom von $I_{N2} = 305$ μA .

Nach dem Einschalten des Thermostaten liegt dessen Arbeitstemperatur zunächst noch unter dem gewünschten Wert. Der mit Hilfe von R2 und R3 aus der Referenzspannung abgeleitete Vergleichsstrom übersteigt den vom Temperatursensor bereitgestellten Strom erheblich. Den sich deshalb ergebenden positiv gerichteten Differenzstrom verstärkt N3, und seine Ausgangsspannung weist einen negativen Wert auf. Über R5 fließt Basisstrom in den Heiztransistor V2. Den sich daraufhin einstellenden Kollektorstrom limitiert die Anordnung aus dem Widerstand R6 und dem Transistor V1 auf etwa $I_{CV2} = 240$ mA. Die aus diesem Kollektorstrom und der Versorgungsspannung $U_{CC3} = 5$ V resultierende Heizleistung von etwa $P_{HV2} = 1,2$ W erwärmt rasch den Aluminiumquader, der die zunehmende Temperatur an den Sensor V2 weiterleitet. Dessen Strom vergrößert sich nun so lange, bis die

Temperatur des Thermostaten einen Wert erreicht, bei dem die Beträge der Ströme durch R2 und R3 sowie durch den Temperatursensor identisch sind. Die Ausgangsspannung des OPV N3 steigt dann in positiver Richtung, wodurch sich der Basis- und damit auch der Heizstrom des Transistors V2 mindern. Schließlich erreicht der Thermostat den eingeschwungenen Zustand, in dem die Temperatur ϑ_{Th} dem mit R2 gewählten Sollwert entspricht. Er konnte beim Erprobungsmuster zwischen 43 und 60°C eingestellt werden. Innerhalb eines Umgebungstemperaturbereichs ϑ_u von 10 bis 30°C waren die verbleibenden Temperaturänderungen kleiner als $\vartheta_{Th} = 0,1$ K. Der Thermostat ist deshalb für die vorgesehene Aufgabe verwendbar.

Eine weitere Möglichkeit zum Erzeugen einer hochkonstanten und von der Umgebungstemperatur weitgehend unabhängigen Referenzspannung wird in [6] vorgeschlagen. Die dort angeführte Lösung wurde geringfügig modifiziert; es wird der auch für den Amateur leicht zugängliche Spannungsregler MAA 723 verwendet. Bild 1.25 zeigt den Stromlaufplan, bei dem zum besseren Verständnis die inneren Funktionsblöcke des Spannungsreglers N1 mit dargestellt worden sind. Diese temperaturgeregelt Referenzspannungsquelle muß aus einer stabilisierten Speisespannungsquelle mit einer Nennspannung U_{CC1} zwischen 12 und 15 V mit Strom versorgt werden, wobei die typische Stromaufnahme etwa 15 bis 25 mA beträgt. Der Spannungsregler MAA 723 beinhaltet u. a. einen Referenzspannungsgenerator mit einer typischen Ausgangsspannung von $U_{ref} = 7,15$ V und einem mittleren Temperaturkoeffizient mit dem Wertebereich $TK_{U_{ref}} = 50 \cdot 10^{-6}$ bis $150 \cdot 10^{-6} \text{ K}^{-1}$. Für den vorgesehenen Zweck sind brauchbare Werte für den Temperaturkoeffizienten mit Hilfe einer Thermostatisierung des Spannungsreglers zu erreichen.

Die besondere Schaltungslösung des Stromlaufplans nach Bild 1.25 besteht darin, daß sich das Referenzelement, der Temperatursensor, der Regelverstärker und das Heizelement auf dem gleichen Chip befinden. Diese Tatsache verspricht gute Ergebnisse. Der eigentliche Regelverstärker $A1_{N1}$ des

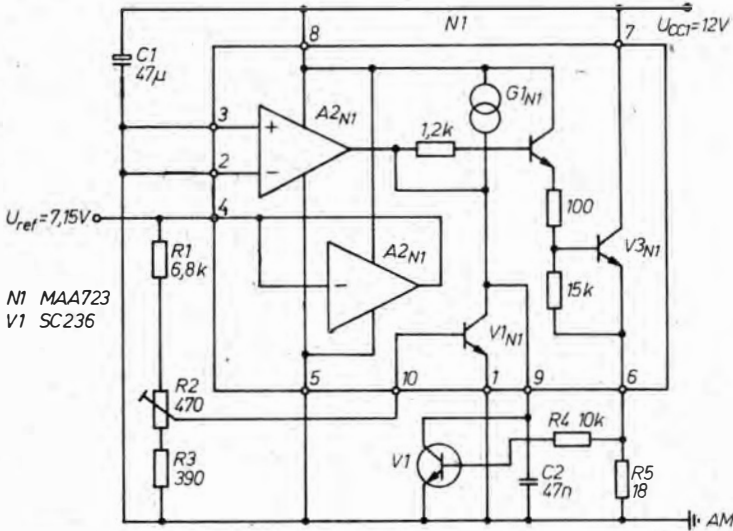


Bild 1.25
Stromlaufplan eines
Referenzspannungsge-
nerators mit einem, auf
konstante Betriebstem-
peratur geregelten
Spannungsstabilisator
MAA 723

Spannungsreglers bleibt ungenutzt, weshalb seine beiden Eingänge mit Massepotential verbunden sind. Als Regelverstärker und Temperatursensor wirken der Transistor $V1_{N1}$ und die Stromquelle $G1_{N1}$, die eine hohe Regelverstärkung ermöglicht. Der Regler arbeitet als Proportionalregler. Eine mögliche Schwingneigung im hochfrequenten Bereich wird durch $C2$ wirkungsvoll unterbunden. Das Heizelement ist der Transistor $V3_{N1}$. Seine Verlustleistung bewirkt die Erwärmung des Chips auf die gewünschte Temperatur.

Das Zusammenspiel der einzelnen Baugruppen kann man folgendermaßen erläutern: Der Spannungsteiler $R1$ bis $R3$ stellt am Schleifer des Trimpotentiometers $R2$ eine stabile Vergleichsspannung zur Verfügung. Ihre Größe entspricht der Basis-Emitter-Spannung, die für den Transistor $V1_{N1}$ bei der gewünschten Arbeitstemperatur gilt. Im Einschaltmoment ist diese noch zu niedrig, und der Transistor $V1_{N1}$ leitet deshalb nicht. Der Strom der Quelle $G1_{N1}$ fließt in die *Darlington*-anordnung, die aus den Transistoren $V2_{N1}$ und $V3_{N1}$ besteht. Deren Stromverstärkung verursacht einen Kollektorstrom in $V3_{N1}$, den $R4$, $R5$ und $V1$ auf den zulässigen Wert von etwa $I_{CV3_{N1}} = 36 \text{ mA}$ begrenzen. Die aus diesem Kollektorstrom und der Versorgungsspannung resultierende Verlustleistung erwärmt den

Chip rasch. Als Folge davon sinkt die zur Steuerung von $V1_{N1}$ nötige Basis-Emitter-Spannung schließlich so weit ab, daß dieser Transistor zu leiten beginnt. Er übernimmt dadurch gerade den Teil des Stroms der Quelle $G1_{N1}$, der nicht erforderlich ist, um die Chiptemperatur als Basisstrom für den Transistor $V2_{N1}$ aufrechtzuerhalten. Es stellt sich ein durch eine hohe Konstanz der Chiptemperatur gekennzeichneter Gleichgewichtszustand ein. Voraussetzung ist jedoch eine gute thermische Isolierung des Bauelements mit Hilfe einer geeigneten Kappe aus PUR-Schaumstoff. Der Absolutwert der sich einstellenden Chiptemperatur hat keine funktionelle Bedeutung, so daß ein einfaches Verfahren für das Einstellen des Trimpotentiometers $R2$ möglich ist. Zu diesem Zweck verändert man die Stellung des Schleifers von $R2$ in der Weise, daß nur ein sehr geringer Kollektorstrom im Heiztransistor $V3_{N1}$ fließt und deshalb dann die Chiptemperatur ϑ_{Ch} etwa dem Wert der vorliegenden Umgebungstemperatur entspricht. Die sich bei dieser Einstellung ergebende Basis-Emitter-Spannung von $V1_{N1}$ wird notiert. Anschließend verringert man mit $R2$ die Spannung über der Summe aus dem Teilwiderstand von $R2$ plus $R3$ um z. B. $\Delta U = 40 \text{ mV}$, was einer Erhöhung der Chiptemperatur gegenüber der Raumtemperatur von etwa $\vartheta_{Ch} - \vartheta_U = 20 \text{ K}$ entspricht.

1.5.2. Freilaufende und quarzstabilisierte externe Taktgeneratoren

Den im *C 502D* und *C 504D* enthaltenen Taktoszillator sollte man nur dann benutzen, wenn die Auflösung des A/D-Wandlersystems maximal 3,5 Digit beträgt. In Applikationen mit Auflösungen von 4 Digit oder 4,5 Digit bietet sich grundsätzlich ein externer Taktgenerator an. Ursache für diese Vorschrift des Herstellers ist offensichtlich die begrenzte Kurzzeitstabilität des integrierten Oszillators. Erkennbar sind kurzzeitige Frequenzänderungen der integrierten Taktquelle z. B. daran, daß das LSB keinen stabilen Meßwert ausgibt, obwohl die Eingangss- und die Referenzspannung des Analogprozessors konstant und frei von überlagerten Störwechselspannungen sind. Die Frequenz der Rechteckspannung des externen Taktgenerators sollte sowohl kurz- als auch langzeitstabil sein. Die 1. Eigenschaft ist prinzipiell wichtig, weil nur dadurch eine der Auflösung entsprechende genau arbeitende A/D-Umsetzung möglich ist. Die Langzeitstabilität der Taktfrequenz führt automatisch zu einer hohen Konstanz der Integrationszeit t_i . Zweckmäßigerweise wählt man sie so, daß ihre Dauer gleich einem ganzzahligen Vielfachen der Periodendauer der Netzfrequenz entspricht. Grund- und Oberwellen der 220-V-/50-Hz-Netzwechselspannung, die in der Praxis sehr häufig die zu messenden Gleichspannungen überlagern, haben dann im Idealfall keinen Einfluß auf das Meßergebnis. Eine gute Langzeitstabilität des Taktgenerators erhält nach dessen Kalibrierung diese sehr wünschenswerte Eigenschaft des A/D-Wandlersystems auch für einen längeren Zeitraum.

Als Taktgeneratoren sind sowohl quarzstabilisierte als auch freischwingende astabile Oszillatoren brauchbar. Die erstgenannte Art erfüllt automatisch die oben angesprochenen Forderungen. Erheblich preisgünstiger sind allerdings astabile Kippschaltungen mit entsprechenden Eigenschaften. Allgemein kann man feststellen, daß ein Oszillator sehr kurzzeitstabil ist, wenn seine Schwingfrequenz nur wenig von Änderungen der Umgebungstemperatur oder der Ver-

sorgungsspannung abhängt. Solche Generatoren weisen dann auch eine gute Langzeitstabilität der Taktfrequenz auf. Geht man von praktikablen Umsetzraten zwischen 0,5 und 5 Messungen/s aus, so liegt der Bereich der Oszillatorfrequenz f_0 der externen Taktgeneratoren zwischen 40 und 400 kHz. Sehr günstige Mittelwerte sind Frequenzen von 166,66 und 200 kHz, die bei Integrationszeiten von $t_i = 120$ ms bzw. $t_i = 100$ ms Umsetzraten von 2 Messungen/s bzw. 2,5 Messungen/s ermöglichen.

Der Bauelementehersteller schlägt als externen Taktgenerator den Zeitgeberschaltkreis *B 555D* vor, der für solche Aufgaben vorgesehen ist und auch geeignet erscheint. Wenn vom Autor trotzdem andere Lösungen für den Taktgenerator favorisiert werden, so sind vorwiegend 2 Gründe maßgebend. Einmal verfügt der Zeitgeberschaltkreis *B 555D* über eine leistungsstarke Endstufe. Sie ist für den hier vorliegenden Anwendungsfall ohne Bedeutung, hat aber den Nachteil, daß die Stromaufnahme I_{CC} des *B 555D* im Moment des Umschaltens für eine Zeitdauer von etwa $t = 100$ ns auf Werte der Größenordnung von 100 bis 300 mA steigt. Diese steilen Stromimpulse können zu unerwünschten Störungen des A/D-Wandlersystems führen, wenn dies nicht von der Leiterplatte und dem unbedingt erforderlichen Stützkondensator unterbunden wird. Ferner bedingt die interne Schaltungsstruktur des Zeitgeberbausteins, daß er bei den hier zur Diskussion stehenden Arbeitsfrequenzen, zumindest den höheren, im oberen Bereich seiner Funktionsfähigkeit arbeiten muß. Das zeigt sich insbesondere bei den Werten, die für die frequenzbestimmenden Bauelemente *R2* bis *R4* und *C2* in dem Generator notwendig waren (Bild 1.26). Für die Frequenz f_0 der von diesem Generator erzeugten Rechteckspannung gilt die Beziehung:

$$f_0 = \frac{1,44}{C2(2R2 + R3 + R4)} \quad (17)$$

Mit den Bauelementewerten gemäß Bild 1.26 liefert die Beziehung (17) einen Frequenzbereich, den die praktische Ausführung bei weitem nicht ermöglicht. Sie konnte mit dem Einstellpotentiometer *R3* zwischen $f_{0\min} = 182$ kHz und $f_{0\max}$

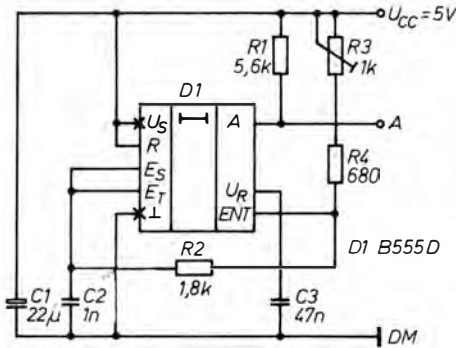


Bild 1.26
Stromlaufplan eines externen Taktgenerators mit dem Zeitgeberbauelement B 555 D

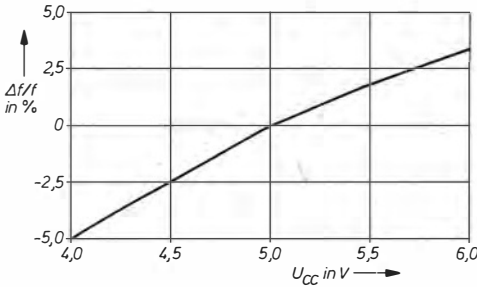


Bild 1.27
Relative Abhängigkeit der Oszillatorfrequenz von der Speisespannung bei dem im Bild 1.26 dargestellten Taktgenerator.

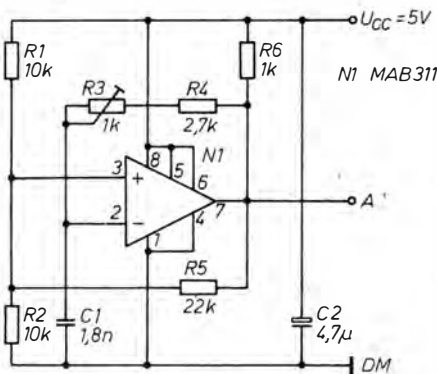


Bild 1.28
Stromlaufplan eines externen Taktgenerators mit dem mittelschnellen Komparator MAB 311

= 217 kHz abgestimmt werden. Ursache für die beachtlichen Abweichungen sind vorwiegend die Schaltzeiten der in dem Zeitgeber benutzten Komparatoren. Ihr verzögertes Ansprechen bewirkt, daß die Hysterese zunimmt und damit die Arbeitsfrequenz des Generators sinkt. Die Versorgungsspannung hat auf die Umschaltzeiten der angesprochenen Komparatoren offensichtlich Einfluß, der sich in einer beachtlichen Abhängigkeit der Taktfrequenz von der Speisespannung äußert. Bild 1.27 zeigt das typische Ergebnis entsprechender Messungen an mehreren Exemplaren des Zeitgebers B 555 D, der dieses Verhalten im Bereich niedriger Frequenzen nicht aufweist. Aus diesem Grund erscheint das Bauelement B 555 D vorwiegend dann als externer Taktgenerator brauchbar, wenn die Taktfrequenz niedriger als $f_0 = 100$ kHz ist.

Als geeignet erwies sich für einen externen astabilen Taktgenerator ein Schaltungskonzept, das als aktives Bauelement einen mittelschnellen Komparator hat. Bild 1.28 zeigt eine Variante, bei der die Frequenz f_0 der bereitgestellten Rechteckspannung zwischen 176 und 232 kHz mit R3 abstimmbare war. Der hier verwendete Komparator hat keine im Gegentakt arbeitende Endstufe, und die oben angesprochenen Probleme entfallen. Die Ausgangsstufe des auch mit einer 1poligen Versorgungsspannung betriebsfähigen Komparators N1 arbeitet in Emitter-schaltung und erfordert den Kollektorwiderstand R6. Der Komparator bildet zusammen mit R1, R2, R5 und R6 einen Schmitt-Trigger. Der Spannungsteiler aus R1 und R2 bewirkt, daß die Ein- bzw. Ausschaltspannungen des Triggers etwa symmetrisch zu $U_{CC1}/2$ liegen, wenn man den Einfluß des Widerstands R6 vernachlässigt. Das RC-Glied aus R3, R4 und C1 erweitert den Schmitt-Trigger zu einem sicher anschwingenden astabilen Generator.

Seine Arbeitsweise ist schnell beschrieben: Nach dem Zuschalten der Versorgungsspannung hat der frequenzbestimmende Kondensator C1 keine Ladung. Der invertierende Eingang von N1 liest L-Pegel, der zu H-Potential am Ausgang des Taktgenerators führt. Über R6, R4 und R3 lädt sich in der Folgezeit C1 entsprechend der e-Funktion

in positiver Richtung auf. Dieser Vorgang endet, wenn die Spannung über C1 die Ausschaltspannung $U_{\text{aus}} = 2,9 \text{ V}$ des Schmitt-Triggers erreicht. Er kippt sofort in den 2. stabilen Zustand, der den L-Pegel am Ausgang kennzeichnet. Über R3 und R4 sowie die Kollektor-Emitter-Strecke des integrierten Endstufentransistors von N1 fließt jetzt nach Massepotential Strom, der C1 entlädt. Das Sinken der Spannung über C1 wird mit dem Erreichen der Einschaltspannung $U_{\text{ein}} = 2,1 \text{ V}$ beendet. Der Schmitt-Trigger wechselt erneut seinen Ausgangspegel, und die beschriebenen Vorgänge beginnen von vorn. Das Ergebnis dieser Arbeitsweise ist eine weitgehend symmetrische Rechteckspannung am Ausgang A, deren Frequenz mit der nachstehenden Gleichung näherungsweise bestimmt werden kann:

$$f_0 = \frac{1}{2(R3 + R4) C1 \ln(R1/R5 + 1)} \quad (18)$$

Aus Bild 1.29 ersieht man, daß Änderungen der Versorgungsspannung einen erheblich geringeren Einfluß auf die Frequenz der Ausgangsrechteckspannung haben, als das beim Generator mit dem Zeitgeberbaustein B 555 D der Fall war. Die Umgebungstemperatur kann, klammert man die Temperaturabhängigkeit der Bauelemente des frequenzbestimmenden RC-Glieds aus, nur über die von ihr abhängigen Offset- und Kollektor-Emitter-Restsparnung des Komparators bzw. seiner Endstufe die Generatorfrequenz beeinflussen. Die temperaturbedingten Änderungen dieser Größen sind, bezogen auf die Triggerhysterese, sehr klein. Entsprechend gering ist damit die Drift der Taktfrequenz mit der Betriebstemperatur.

Steht der Komparator MBA 311 nicht zur Verfügung, dann kann man auch den nicht frequenzkompensierten OPV B 625 D mit TTL-gerechter Endstufe verwenden, wenn die zu erzeugende Taktfrequenz $f_0 = 166,66 \text{ kHz}$ ist. Einen erprobten Stromlaufplan stellt Bild 1.30 vor. Bild 1.31 zeigt den Zusammenhang zwischen der Versorgungsspannung und der Taktfrequenz. Die Funktionsweise dieses Generators ist identisch mit der des im Bild 1.28 vorgestellten Oszillators. Man muß allerdings den großen Einfluß von R4 auf die Schaltgeschwindigkeit

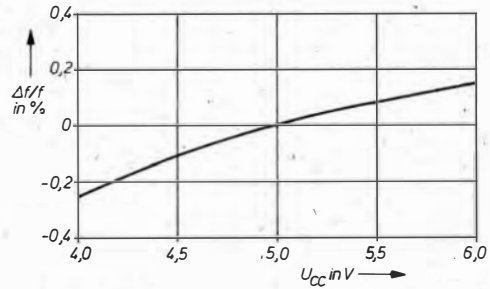


Bild 1.29
Relative Abhängigkeit der Oszillatorfrequenz von der Speisespannung des Taktgenerators gemäß Bild 1.28

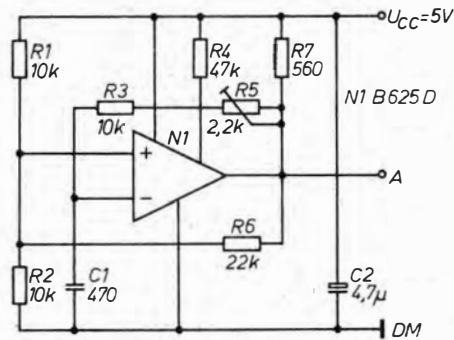


Bild 1.30
Stromlaufplan eines externen Taktgenerators mit dem OPV B 625 D

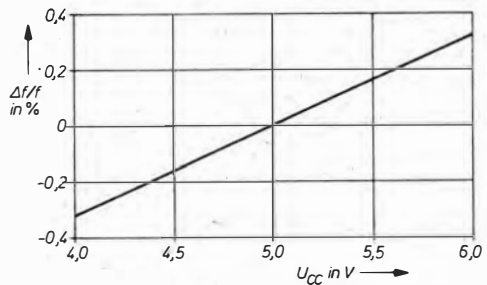


Bild 1.31
Relative Abhängigkeit der Oszillatorfrequenz von der Versorgungsspannung des Taktgenerators nach Bild 1.30

keit des als Komparator benutzten OPV N1 beachten. Ein niedriger Wert für R4 bedingt zwangsläufig eine starke Sättigung des in Emitterschaltung arbeitenden Endstufen-

transistors von N1. Dadurch vermindert sich die mögliche Arbeitsgeschwindigkeit des OPV drastisch. Man sollte deshalb R4 individuell auswählen, ein Verfahren, das im Amateurbereich durchaus anwendbar ist. Die Taktfrequenz f_0 konnte beim Erprobungsmuster mit R5 zwischen 150 und 176 kHz verändert werden.

Alle Probleme bezüglich der Lang- und Kurzzeitstabilität der Frequenz des Taktgenerators entfallen, wenn man sich trotz der höheren Kosten für einen quarzstabilisierten Oszillator entscheidet. Im Regelfall erübrigt sich auch dessen Kalibrierung, da die relative Abweichung der tatsächlichen Schwingzur Nennfrequenz des Quarzes die erlaubte Toleranz der 200-V-/50-Hz-Netzspannung meist unterschreitet. Quarzstabilisierte Taktgeneratoren sind besonders leicht mit CMOS-Invertern realisierbar. Eine mögliche Anordnung stellt Bild 1.32 vor. Den eigentlichen Oszillator verwirklicht das als Inverter betriebene NOR-Gatter D1/1. Die 3 übrigen NOR-Gatter D1/2 bis D1/4 sind ein- und ausgangseitig parallelgeschaltet und wirken als Pufferstufe. Im eigentlichen Generator legt R1 den statischen Arbeitspunkt des Gatters D1/1 ein- und ausgangseitig etwa auf $U_{CC1}/2$ fest. Im Rückkopplungsweig bewirken R2 und C2 eine zusätzliche Phasendrehung um $\varphi = 180^\circ$. Der Quarz schwingt auf seiner Parallelresonanzfrequenz, und man kann die Schwingungsschaltung deshalb und wegen des aus C1 und C2 gebildeten kapazitiven Spannungsteilers auch als *Colpitts*-Oszillator auffassen.

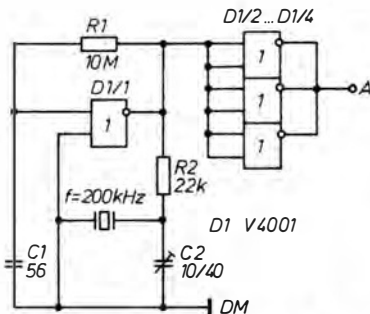


Bild 1.32
Quarzstabilisierter
Taktgenerator

1.5.3. Möglichkeiten zur Realisierung von netzsynchronen Taktgeneratoren in PLL-Technik

Das für viele praktische Meßaufgaben wichtigste Merkmal der Dual-Slope-A/D-Wandler ist deren integrierende Arbeitsweise. Sie wirkt sich immer dann vorteilhaft aus, wenn die zu messende Gleichspannung von Störwechselfspannungen überlagert ist. Naturgemäß sind besonders oft solche Störwechselfspannungen anzutreffen, die als Quelle das 220-V-/50-Hz-Wechselspannungsnetz haben. Die überlagerten Grund- und Oberwellen dieser Wechselspannung können zu einer nicht konstanten Anzeige des Meßwerts im LSD führen. Der Vorteil integrierender A/D-Wandler ist, daß durch die geeignete Wahl der Integrationszeit die von diesen Störwechselfspannungen verursachten Meßfehler weitgehend ausgeschaltet werden können. Dabei hängt der Grad der erreichbaren Stördämpfung davon ab, wie genau die Integrationszeit der Eingangsspannung gleich dem ganzzahligen Vielfachen der Periodendauer der in den Meßeingang eingekoppelten Störwechselfspannung entspricht. Für das A/D-Wandlersystem ist also ein Taktgenerator erforderlich, der eine netzsynchrone Rechteckspannung liefert, deren Frequenz sich automatisch so einstellt, daß die oben genannte Bedingung erfüllt wird.

Geeignet sind für diese Aufgabe phasengeregelte Oszillatoren in PLL-Technik. Die Digitalprozessoren C 502 D und C 504 D unterstützen die Verwirklichung eines solchen Taktgenerators in willkommener Weise. Beide Bauelemente verfügen über den sogenannten 20 K Teiler Ausgang O_T , an dem eine Rechteckspannung mit einer um den Faktor $K = 1 : 20\,000$ erniedrigten Taktfrequenz anliegt. Bevor 2 mögliche Schaltungslösungen für solche netzsynchronen Taktgeneratoren näher beschrieben werden, noch einige grundsätzliche Anmerkungen zu dem Problem Störwechselfspannungen.

Bei der Integration einer von Störwechselfspannungen überlagerten Gleichspannung entsteht die meßtechnisch schwer erfassbare Fehlerspannung U_F . Sie kann man sich so vorstellen, daß die Integratorausgangsspannung nach dem Ablauf der Integrationszeit

t_i entweder größer oder kleiner als die Spannung am Ausgang des Integrators ist, die bei störfreier Gleichspannung meßbar wäre. Der nichtintegrierbare Rest der Störwechselfspannung entspricht der Spannungserhöhung bzw. -verringerung. Da das Zähl- bzw. Meßergebnis des A/D-Umsetzers von der Größe der Ausgangsspannung des Integrators nach der Meßspannungsintegration abhängt, muß entsprechend Gleichung (7) das Ergebnis N fehlerhaft sein, wenn die Störwechselfspannung nicht vollständig integriert wird.

Zur Berechnung der Fehlerspannung U_F soll die Eingangsgleichspannung von einer sinusförmigen Wechselfspannung $u_s(t)$ mit der Störfrequenz f_s überlagert sein (Bild 1.33);

$$u_s(t) = \hat{u}_s \cdot \sin(\omega_s t + \varphi). \tag{19}$$

In dieser Gleichung stehen \hat{u}_s und φ für den Spitzenwert der störenden Wechselfspannung bzw. den Phasenwinkel zwischen dem Nulldurchgang von $u_s(t)$ und dem Beginn der Integrationszeit t_i . Zur Berechnung der Fehlerspannung kann man von dem nachstehenden Ansatz ausgehen:

$$U_F = \frac{1}{t_i} \int_0^{t_i} u_s(t) dt. \tag{20}$$

Die Lösung des Integrals liefert:

$$U_F = \frac{\hat{u}_s}{\pi f_s t_i} \cdot \sin \pi \cdot f_s t_i \cdot \sin(\pi f_s t_i + \varphi). \tag{21}$$

Die maximale Fehlerspannung ergibt sich in Abhängigkeit vom Phasenwinkel φ , wenn

der Faktor $\sin(\pi f_s t_i + \varphi)$ den Wert ± 1 annimmt:

$$U_{Fmax} = \pm \frac{\sin \pi \cdot f_s t_i}{\pi f_s t_i} \cdot \hat{u}_s. \tag{22}$$

Die Stördämpfung D eines integrierenden A/D-Umsetzers nach der Dual-Slope-Methode kennzeichnet die nachstehende Beziehung:

$$D = 20 \cdot \log \frac{|\hat{u}_s|}{|U_{Fmax}|}. \tag{23}$$

Ein Einsetzen der Beziehung (22) in die Gleichung (23) liefert schließlich für die Stördämpfung des A/D-Wandlers in Abhängigkeit von der Frequenz der sinusförmigen Störwechselfspannung den Zusammenhang:

$$D = 20 \cdot \log \frac{\pi f_s t_i}{|\sin \pi \cdot f_s t_i|}. \tag{24}$$

Bild 1.34 zeigt die grafische Auswertung der Gleichung (24). Dieser Darstellung entnimmt man, daß die Störunterdrückung mit zunehmender Frequenz des Störsignals wächst. Der Dual-Slope-A/D-Umsetzer und auch andere integrierend arbeitende A/D-Wandler haben theoretisch bei den Frequenzen der Störwechselfspannungen eine unendlich große Störspannungsunterdrückung, für die gilt:

$$f_s = n/t_i, \text{ mit } n = 1, 2, 3 \dots \tag{25}$$

Für beliebige Frequenzen der Störwechselfspannung nimmt oberhalb von $f_s = 1/t_i$ die Unterdrückung um 6 dB/Oktave bzw. 10 dB/Frequenzdekade zu.

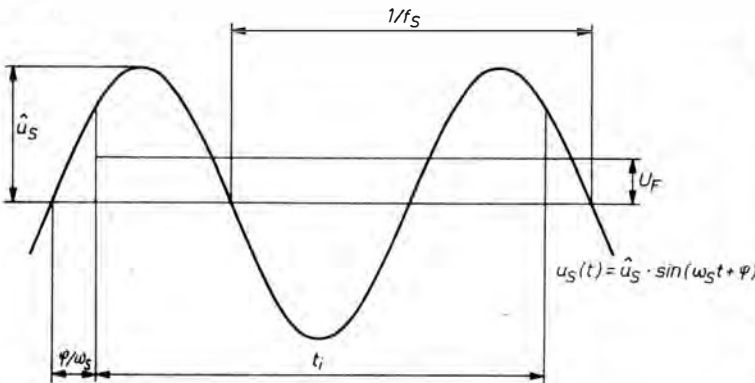


Bild 1.33
Kenngrößen zur Berechnung der Fehlerspannung U_F

Wählt man entsprechend der Gleichung (25) die Integrationszeit t_i gleich oder einem ganzzahligen Vielfachen der Periodendauer der häufigsten Störfrequenz, dann interessiert in der Praxis vor allem die mögliche Unterdrückung in der Nähe der Polstellen (Bild 1.34). Die dort vorhandenen Dämpfungseigenschaften können näherungsweise mit einer relativ einfachen Rechnung ermittelt werden. Für den Betrag der maximalen Fehlerspannung gilt hinreichend genau die Näherung:

$$U_{F\max} = \frac{\hat{u}_s \cdot |\Delta T_s|}{t_i \cdot n} \quad (26)$$

$|\Delta T_s|$ benennt den Betrag der Abweichung der Periodendauer der Störwechselfspannung vom Sollwert $T_s = t_i/n$, bei dem die Dämpfung gegen unendlich strebt. Anstelle von $|\Delta T_s|$ läßt sich mit ausreichender Genauigkeit auch schreiben:

$$|\Delta T_s| = |\Delta f_s| \cdot t_i^2 \quad (27)$$

Bild 1.35 zeigt die grafische Auswertung dieser Näherung für einige typische Werte des Verhältnisses n . Man entnimmt diesem Bild z. B., daß bei einer Integrationszeit von $t_i = 0,1$ s die Dämpfung nur $D = 40$ dB beträgt, wenn die Frequenz des 220-V-/50-Hz-Wechselspannungsnetzes um 1% vom Frequenzsollwert abweicht. Da aber auch größere Ablagen der Frequenz durchaus möglich sind, muß die Integrationszeit des A/D-Wandlersystems der Periodendauer der Netzfrequenz nachgeführt werden, wenn die Störunterdrückung extrem hoch sein soll. Das ist bei Dual-Slope-A/D-Umsetzern leicht zu verwirklichen, weil deren Taktfrequenz nur kurzzeitstabil zu sein braucht, eine Eigenschaft, die aber auch von der Netzfrequenz angenommen werden kann.

Die Frequenz des Taktgenerators nach Bild 1.36 steuert eine Phasenregelschleife in Abhängigkeit von der gerade vorliegenden Periodendauer des 220-V-/50-Hz-Wechselspannungsnetzes, so nach, daß Gleichung (25) erfüllt wird. Der spannungsgesteuerte Taktgenerator erhält zu diesem Zweck seine Steuerspannung über einen Tiefpaß, der seinerseits das Ausgangssignal des digitalen Phasenvergleichers integriert. Dieser verarbeitet 2 frequenzgleiche Rechteckspannungen, die mit Hilfe entsprechender Frequenzteiler zum einen aus der Netzspannung und zum anderen aus der Ausgangsspannung des spannungsgesteuerten Taktgenerators abgeleitet werden. Dabei hängt es von der für den digitalen Phasenvergleichers verwendeten Anordnung ab, ob diese ausschließlich symmetrische Eingangrechteckspannungen oder auch solche mit beliebigem Tastverhältnis zuläßt.

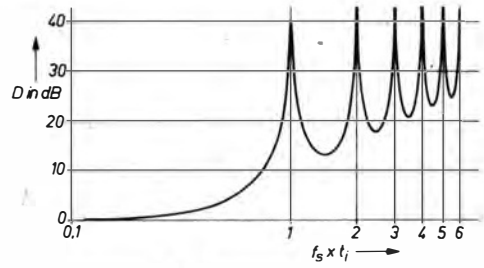


Bild 1.34
Abhängigkeit der Stördämpfung D von dem Produkt $f_s t_i$

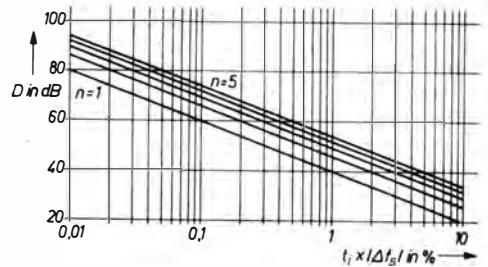


Bild 1.35
Stördämpfung D in der Nähe der Polstellen

ung (25) erfüllt wird. Der spannungsgesteuerte Taktgenerator erhält zu diesem Zweck seine Steuerspannung über einen Tiefpaß, der seinerseits das Ausgangssignal des digitalen Phasenvergleichers integriert. Dieser verarbeitet 2 frequenzgleiche Rechteckspannungen, die mit Hilfe entsprechender Frequenzteiler zum einen aus der Netzspannung und zum anderen aus der Ausgangsspannung des spannungsgesteuerten Taktgenerators abgeleitet werden. Dabei hängt es von der für den digitalen Phasenvergleichers verwendeten Anordnung ab, ob diese ausschließlich symmetrische Eingangrechteckspannungen oder auch solche mit beliebigem Tastverhältnis zuläßt.

Die praktische Verwirklichung der in Bild 1.36 vorgestellten Prinziplösung bereitet

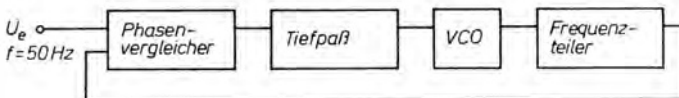


Bild 1.36
Übersichtsschaltplan eines netzsynchronen Taktgenerators

keine Schwierigkeiten, wenn die integrierte PLL-Schaltung *V4046D* zur Verfügung steht. Dieser Schaltkreis beinhaltet alle erforderlichen Baugruppen. Die garantierte obere Arbeitsfrequenz des im *V4046D* integrierten spannungsgesteuerten Oszillators liegt bei einer Versorgungsspannung von $U_{DD} = 5V$ bei $f_0 = 400\text{ kHz}$ und somit in dem Bereich, der für das hier besprochene A/D-Wandlersystem erforderlich ist. Zwischen der VCO-Steuerspannung – sie darf innerhalb von U_{SS} und U_{DD} liegen – und der Frequenz der abgegebenen Rechteckspannung besteht ein auf 1% genauer linearer Zusammenhang. Weiterhin kann der spannungsgesteuerte Oszillator mit Hilfe von 2 Widerständen und einem Kondensator so programmiert werden, daß die VCO-Frequenz nur Werte innerhalb eines eng begrenzten Bereichs annehmen kann. Der spannungsgesteuerte Oszillator liefert eine symmetrische Rechteckspannung. Die Oszilatorendstufe kann die bei L- und H-Pegel vorliegende Belastung durch den Oszillatoreingang der Digitalprozessoren *C502D* oder *C504D* übernehmen. Die direkte Kopplung bereitet deshalb keine Schwierigkeiten.

Neben dem VCO enthält der *V4046D* 2 voneinander unabhängige Phasendetektoren. Den 1. verwirklicht ein EXCLUSIV-OR-Gatter. Diese einfache Anordnung verlangt symmetrische Eingangsrechteckspannungen und kann nur einen relativ eng begrenzten Fangbereich des Phasenregelkreises sicherstellen, liefert dafür aber eine gute Rauschunterdrückung. Der 2. im *V4046D* vorhandene Phasendetektor hat in dieser Hinsicht etwas schlechtere Eigenschaften. Von Vorteil ist aber der extrem große Fangbereich, dessen Grenzen mit denen des VCO-Steuerbereichs übereinstimmen. Eine Anordnung aus D-Flip-Flop und Gattern realisiert diesen Pha-

sendetektor. Er verfügt über einen Sample-and-hold-Ausgang mit Tri-state-Verhalten, an dem das als Tiefpaß wirkende Schleifenfilter des Phasenregelkreises angeschlossen wird. Solange die VCO-Frequenz die Vergleichsfrequenz unterschreitet, liefert der Ausgang des 2. Phasenvergleichers permanent H-Potential, das im entgegengesetzten Fall auf L-Pegel wechselt. Besteht schließlich infolge des nachgesteuerten Oszillators zwischen den zu vergleichenden Frequenzen kein Betragsunterschied mehr, so gibt der Phasendetektor einen der Phasenlage proportionalen Impuls ab. Dabei bewirkt eine nacheilende Phase positiv und eine voreilende Phase negativ gerichtete Impulse, wobei der Bezugspunkt für die genannten Polaritäten $U_{DD}/2$ ist. Als Eingangsspannungen für den 2. Phasendetektor sind Rechteckspannungen mit beliebigen Tastverhältnissen zulässig.

Die nachstehend beschriebenen Schaltbeispiele für netzsynchrone Taktgeneratoren benötigen als Eingangssignal eine rechteckförmige Spannung. Ihre Frequenz muß gleich der Netzfrequenz oder ihr proportional sein. Bild 1.37 zeigt einen vielfach bewährten Stromlaufplan für diese Aufgabe. Hier leitet die Diode *V5* die vom Brückengleichrichter mit den Dioden *V1* bis *V4* bereitgestellte 100-Hz-Halbwellenspannung dem Ladekondensator *C1* des Stabilisierungsteils für die Versorgungsspannung $U_{CC3} = 5V$ zu, die der Spannungsregler *MA7805* verwendet. Die Begrenzerschaltung aus *R1* und *R2* sowie die Diode *V6* formen die an der Anode von *V5* meßbare Halbwellenspannung in eine trapezförmige Spannung um, die der Triggerschaltkreis *D1* in eine Rechteckspannung überführt. Die Diode *V6* limitiert die Eingangsspannung von *D1* auf den erlaubten Wert. *R3* bewirkt

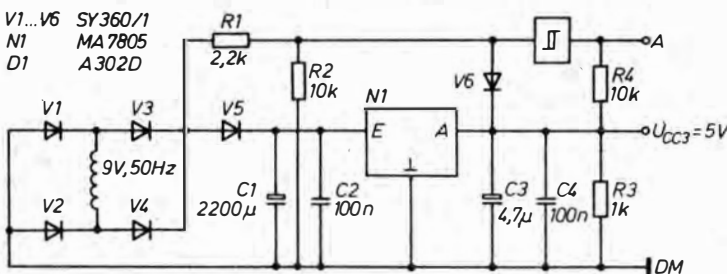


Bild 1.37
 Bereitstellung der Synchronisationsspannung

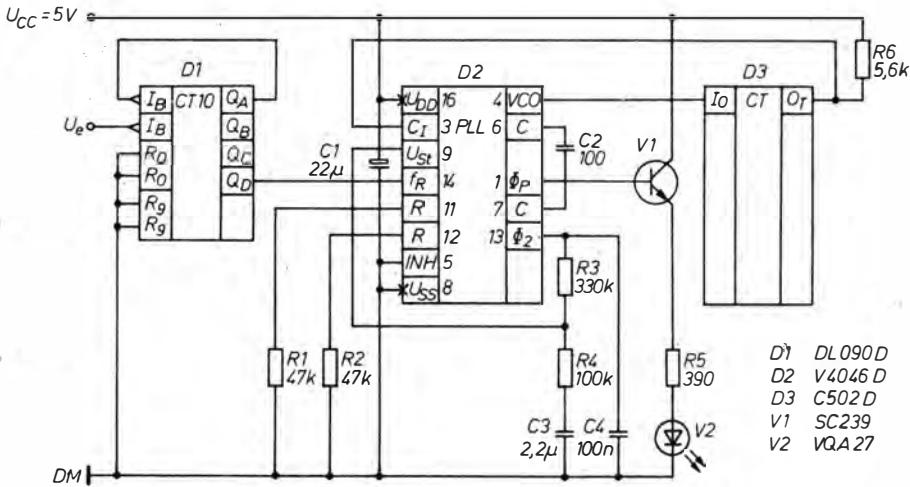


Bild 1.38
Stromlaufplan eines netzsynchronen Taktgenerators
mit dem PLL-Schaltkreis V4046

eine Vorbelastung des Stabilisators N1, damit die Begrenzerschaltung auch dann funktionsfähig bleibt, wenn der Spannungsregler N1 ohne angeschlossene Last, z. B. während der Erprobung, betrieben wird.

Nur 2 integrierte Schaltkreise und einen Transistor benötigt ein netzsynchroner Taktgenerator (Bild 1.38). Der spannungsgesteuerte Oszillator der PLL-Schaltung D2 arbeitet mit der Nennfrequenz von $f_0 = 200$ kHz, die zu einer Integrationszeit von $t_i = 100$ ms des A/D-Wandlersystems führt. Den Steuerbereich des VCO legen R1 und R2 fest. Sie können zusammen mit C2 entsprechend den Angaben z. B. in [9] und [10] dimensioniert werden. Die dort angegebenen Kennlinien und Gleichungen erlauben nur ein wenig genaue Vorhersage der frequenzbestimmenden Bauelemente. Ursache ist dafür u. a. die Versorgungsspannung, die nahe dem erlaubten Minimalwert liegt, so daß Bauelementetoleranzen einen großen Einfluß ausüben. Weiterhin wirkt sich die zwischen den Anschlüssen des externen Kondensators C2 vorhandene Schaltkreiskapazität relativ stark aus, da die vergleichsweise hohe Arbeitsfrequenz einen kleinen Wert für C2 bedingt. Erheblich schneller erreicht man das gewünschte Ziel experimen-

tell. Für den hier in Frage kommendeⁿ Frequenzbereich von etwa 40 bis 400 kHz erweist sich $C_2 = 100$ pF als sehr brauchbar. Für R1 und R2 sind Werte zwischen 10 k Ω und 1 M Ω erlaubt. Dabei legt R1 den mit der Steuerspannung möglichen Variationsbereich und R2 den Frequenzversatz der VCO-Frequenz fest. Ausgehend von den vorgegebenen Werten für $f_{o\max}$ und $f_{o\min}$ bildet man die Differenz $f_{o\max} - f_{o\min}$. Experimentell wird anschließend bei eingelötetem C2 R1 so lange innerhalb des zulässigen Wertebereichs verändert, bis die Oszillatorfrequenz bei H-Pegel am Steuereingang des VCO gleich der oben errechneten Differenzfrequenz ist. Danach wählt man bei eingebautem R1 den Wert von R2 so (der Steuereingang des VCO führt immer noch H-Potential), daß sich am Ausgang des Oszillators die Frequenz $f_{o\max}$ messen läßt. Anschließend kann bei komplett bestücktem VCO durch wechselseitiges Anlegen von L- und H-Pegel dessen möglicher Steuerbereich geprüft und gegebenenfalls noch einmal korrigiert werden. Bei der angegebenen Dimensionierung der externen Komponenten ließ sich das Erprobungsmuster zwischen $f_{o\min} = 160$ kHz und $f_{o\max} = 250$ kHz durchstimmen.

Für den Phasenvergleich wurde der auch als Breitband-Phasendetektor bezeichnete 2. Komparator im Baustein D2 verwendet, der ein beliebiges Tastverhältnis der rechteckförmigen Eingangsspannungen zuläßt.

Aus der Ausgangsspannung des Triggers D1 gemäß Bild 1.37 leitet der Frequenzteiler D1 im Bild 1.38 die netzsynchrone und als Referenz wirkende Eingangsspannung ab, deren Frequenz $f = 10$ Hz betrug. Als 2. Eingangsspannung erhält der Breitband-Phasendetektor die vom C 502 D um den Faktor $K = 1:20\,000$ erniedrigte Oszillatorfrequenz, die als rechteckförmige Spannung mit einem Tastverhältnis von 1:4 am 20 K Teilerausgang O_T zur Verfügung steht. Die Frequenz dieser Rechteckspannung beträgt ebenfalls 10 Hz, wenn der VCO von D2 auf seiner Nennfrequenz von $f_0 = 200$ kHz schwingt.

Am Ausgang des Phasendetektors ist das mit R3, R4, C3 und C4 verwirklichte Schleifenfilter angeschlossen. Es erzeugt aus der impulsförmigen Ausgangsspannung des Phasendetektors die Steuerspannung für den VCO. Für C3 und C4 sind nur Bauelemente mit einem möglichst hohen Isolationswiderstand geeignet. Man sollte deshalb bevorzugt Folienkondensatoren benutzen. Für C3 ist eventuell auch ein Elektrolytkondensator verwendbar, wenn dessen unvermeidlicher Reststrom niedrig ist. Es eignen sich deshalb meist nur Tantalkondensatoren für C3. Der normalerweise nicht erforderliche Kondensator C4 mindert kurzzeitig Frequenzsprünge des VCO und sollte nicht größer als C3/10 dimensioniert werden. Die Werte der Bauelemente des Schleifenfilters sind zwar nicht kritisch, haben aber erheblichen Einfluß auf das Regelverhalten der PLL-Schaltung.

Die aus R3 und C3 resultierende Zeitkonstante bestimmt maßgeblich die Einstellzeit des VCO. Eine große Zeitkonstante verursacht ein entsprechend langsames Einstellen auf den neuen Istwert der VCO-Frequenz, so daß möglicherweise nicht auf kurzzeitige und schnelle Frequenzänderungen reagiert werden kann. Wählt man dagegen die Zeitkonstante zu klein, dann äußert sich dieser Umstand in einer nicht konstanten VCO-Frequenz, weil nicht ausreichend viele Perioden nach einer erfolgten Nachführung gemittelt werden können. Für die hier zur Diskussion stehende Anwendung sind längere Einstellzeiten günstiger, da kurzzeitige Änderungen der Frequenz des 220-V-/50-Hz-Wechselspannungsnetzes meist auszuschließen sind.

Das Verhältnis R3 zu R4 hat maßgebenden Einfluß auf die Dämpfung der Regelschleife. Ein großer Wert R3/R4 verursacht nur eine geringe Dämpfung. Das kann sich in einer Schwingneigung oder zumindest in Form eines starken Überschwingens der Regelschleife infolge einer erzwungenen Änderung der VCO-Frequenz äußern. Aus diesem Grund sollte man den Wert R4 = 0 vermeiden. Im entgegengesetzten Fall bewirkt ein kleines Verhältnis R3/R4 ein träges Verhalten der Regelanordnung, das ebenfalls unerwünscht sein dürfte, weil es dann erheblich länger dauert, bis sich die Frequenz des VCO auf den neu geforderten Wert einstellt. Vorteilhaft ist deshalb ein Verhältnis, bei dem nach einer sprunghaften Änderung der Referenzfrequenz die Steuerspannung des VCO rasch und mit einem nur minimalen Überschwingen entsprechend reagiert. Man kann das mit Hilfe eines Oszilloskops, das die Steuerspannung des VCO darstellt, kontrollieren. Man darf beide aber nur über einen zwischengeschalteten Impedanzwandler verbinden, der als aktives Bauelement einen OPV mit FET-Eingangsstufe hat, damit der Steuereingang des VCO nicht in unzulässiger Weise durch den Eingangswiderstand des Oszilloskops belastet wird.

Eine weitere Kontrollmöglichkeit bietet ein zusätzlicher Ausgang des Phasendetektors. Bei korrekter Arbeitsweise des PLL-Schaltkreises führt der mit der Basis des Transistors V1 verbundene Ausgang von D2 praktisch ständig H-Pegel, der nur im Takt der zu vergleichenden Frequenzen für eine Zeit von etwa $t = 20$ μ s auf L-Potential wechselt, um anschließend wieder auf H-Pegel zu schalten. Ständiges Leuchten der Lumineszenzdiode V2 signalisiert also den eingestellten Zustand und damit die korrekte Arbeitsweise der Regeleinrichtung. Schaltet dagegen der Transistor die Diode V2 wechselseitig aus und ein, so liegt eine Störung vor, für die als Ursachen z. B. eine zu große Ablage der Referenzfrequenz vom Nennwert, ein großer Leckstrom des Kondensators C3, ein außerhalb des Bereichs schwingender VCO usw. in Frage kommen.

Der PLL-Schaltkreis V 4046 D steht dem Amateur noch nicht immer zur Verfügung. In diesem Fall kann die Anordnung nach

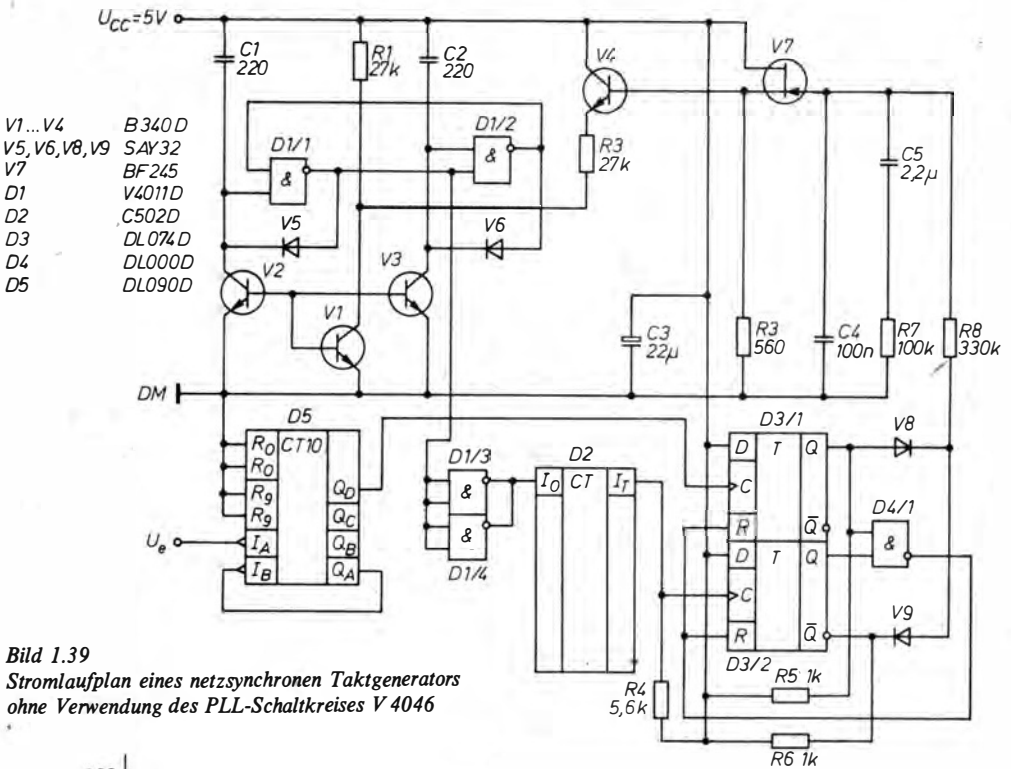


Bild 1.39
Stromlaufplan eines netzsynchronen Taktgenerators ohne Verwendung des PLL-Schaltkreises V 4046

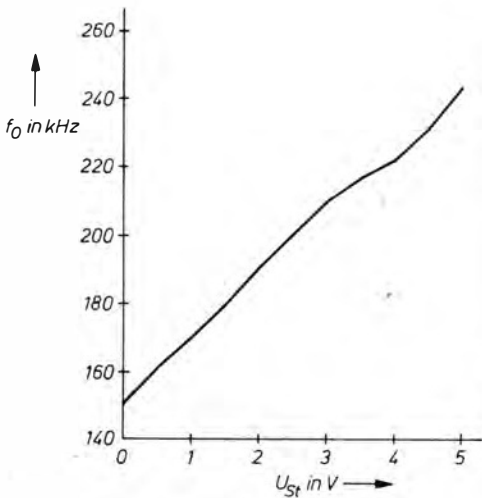


Bild 1.40
Steuerkennlinie des spannungsgesteuerten Taktgenerators nach Bild 1.39

Bild 1.39 benutzt werden. Hier verwirklichen die beiden CMOS-NAND-Gatter D1/1 und D1/2 ein RS-Flip-Flop. Dieses wird durch C1 und C2, die Dioden V5 und V6 und das

Transistor-Array V1 bis V4 zu einem spannungsgesteuerten Taktgenerator erweitert. Seine Nennfrequenz betrug bei der Steuerungsspannung von $U_{St} = 2,5\text{ V}$ $f_o = 200\text{ kHz}$ (Bild 1.40). Zur Funktionsbeschreibung des Taktgenerators soll angenommen werden, daß die Ausgänge der Gatter D1/1 und D1/2 H- bzw. L-Pegel aufweisen. Die Transistoren V1 bis V3 arbeiten als Stromspiegel. Der durch R1 und R2 fließende Strom stellt den Kollektorstrom des als Diode betriebenen Transistors V1 dar. Seine Basis-Emitter-Spannung wirkt auch als solche für die Transistoren V2 und V3. Sie haben die gleichen Abmessungen und Sperrschichttemperaturen wie V1, mit dem sie sich zusammen auf einem Chip befinden. Die Kollektorströme der Transistoren V2 und V3 sind deshalb praktisch identisch mit dem Kollektorstrom des Transistors V1. In dem oben vorausgesetzten Schaltzustand des RS-Flip-Flop fließt der Kollektorstrom des Transistors V2 über die Diode V5 zum positiven Potential

der Versorgungsspannung. Die Spannung über C1 ist also gleich der Flußspannung der Diode V5. Im Gegensatz dazu lädt der Kollektorstrom des Transistors V3 den Kondensator C2 auf. Dieser Vorgang äußert sich in einer zeitlinear sinkenden Spannung am Kollektor des Transistors V3. Erreicht die dort meßbare Spannung schließlich einen Wert, den das Gatter D1/2 als Umschaltspannung interpretiert, so wechselt es seinen Schaltzustand am Ausgang von vorher L- auf H-Pegel. Das führt auch zum Umschalten des Gatters D1/1 am Ausgang auf L-Potential. Über die Diode V6 und den Ausgangswiderstand des Gatters D1/2 entlädt sich C2, während gleichzeitig der Kollektorstrom des Transistors V2 die Aufladung des Kondensators C1 startet. Erreicht schließlich die Spannung am Kollektor von V2 die Umschaltspannung des Gatters D1/1, so kippt das RS-Flip-Flop in die zu Beginn angenommene Lage, und die beschriebenen Vorgänge beginnen von vorn. Das Ergebnis dieser Funktion stellt eine weitgehend symmetrische Rechteckspannung dar, die die Pufferstufe aus den beiden parallelgeschalteten Gattern D1/3 und D1/4 dem Oszillatoreingang des Digitalprozessors D2 zuleitet.

Die niedrigste Arbeitsfrequenz des VCO legt man mit Hilfe von R1 fest. Das Gate des Transistors V7 ist zu diesem Zweck mit dem Massepotential zu verbinden, damit durch R2 kein Strom fließt. Den Größtwert der Oszillatorfrequenz stellt man anschließend mit R2 ein. Das Gate des Transistors V7 muß dabei mit der Speisespannung U_{CC1} verbunden sein. Der Sourcewiderstand R3 des

Transistors V7 wurde so dimensioniert, daß an ihm ein Spannungsabfall von etwa $U_{R3} = 1,3 \text{ V}$ auftritt, wenn das Gate von V7 mit dem Massepotential verbunden ist. Dieser Spannungsabfall kompensiert die Basis-Emitter-Spannungen der Transistoren V1 und V4, so daß der Steuerbereich des VCO bei $U_{St} = 0 \text{ V}$ beginnt.

Eingangsrechteckspannungen mit beliebigem Tastverhältnis kann der mit den D-Flip-Flop D3/1 und D3/2, dem Gatter D4/1 und den Dioden V8 und V9 aufgebaute breitbandige Phasendetektor verarbeiten. Die jeweils zuerst eintreffende positive Flanke der zu vergleichenden Rechteckspannungen setzt den Ausgang Q des betreffenden D-Flip-Flop auf H-Potential. Das bleibt so lange erhalten, bis das zunächst noch nicht getriggerte D-Flip-Flop ebenfalls getaktet wird und auch dessen Ausgang Q auf H-Potential schaltet. Dieser Zustand währt aber nur kurzzeitig, da dann beide Eingänge des Gatters D4/1 H-Pegel lesen und deshalb die beiden D-Flip-Flop über deren R-Eingänge sofort in die Lage zurückstellen, in der die Ausgänge Q von D3/1 und D3/2 L-Pegel führen.

Bild 1.41 verdeutlicht das Verhalten des Phasendiskriminators bei unterschiedlicher Phasenlage der zu vergleichenden Rechteckspannungen mit identischer Frequenz. In dieser Darstellung benennt $U_{V8/V9}$ die Spannung, die sich am Verbindungspunkt der Dioden V8 und V9 einstellt. Diese Dioden haben Schalterfunktionen und bewirken dadurch ein Verhalten des Phasendetektors gemäß Bild 1.39, der dem des breitbandigen

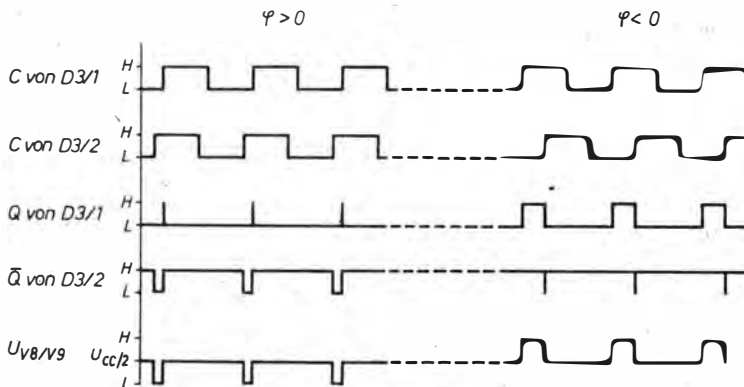


Bild 1.41
Ein- und Ausgangs-
signale des phasen-
empfindlichen Gleich-
richters im Bild 1.39

Detektors im Baustein *V 4046 D* sehr weitgehend entspricht. Die Gesamtfunktionsweise des netzsynchronen Taktgenerators nach Bild 1.39 unterscheidet sich nicht von der im Bild 1.38 vorgestellten Lösung mit dem integrierten PLL-Schaltkreis *V 4046 D*. Dort gegebene Hinweise treffen voll und ganz auf den Stromlaufplan Bild 1.39 zu, so daß sich weitere Erläuterungen erübrigen.

1.5.4. Varianten für Eingangsspannungsteiler und Schutz der Meßspannungseingänge vor Überspannungen

Universelle Digitalvoltmeter erfordern an ihrem Eingang einen Spannungsteiler, der außerdem frequenzkompensiert sein muß, wenn mit Hilfe eines AC/DC-Konverters auch die Messung von z. B. sinusförmigen Wechselspannungen möglich sein soll. Für den Eingangsspannungsteiler eignen sich nur Widerstände mit ausreichender Spannungsfestigkeit, niedrigem Temperaturkoeffizienten und hoher Langzeitstabilität. Zusätzlich müssen die Teilwiderstände des Eingangsspannungsteilers eine der Auflösung des Digitalvoltmeters entsprechende extrem geringe Relativtoleranz zueinander aufweisen, wenn die im Grundmeßbereich des A/D-Wandlersystems mögliche Genauigkeit auch in den mit dem Spannungsteiler möglichen Meßbereichen erreicht werden

soll. Diese Forderungen bedingen Widerstände der Baureihe BR 23 mit einem Temperaturkoeffizienten $TK < 50 \cdot 10^{-6}$ und der minimalen Nenngröße von 23.412. Bauelemente dieser Güte sind im Amateurbereich äußerst schwer erhältlich. Deshalb sind fast immer Kompromisse notwendig, die leider oft die Qualität des Digitalvoltmeters mindern. Zusätzliche Probleme bereitet dem Amateur auch die Tatsache, daß ihm häufig nur Widerstände im Wertebereich der Normreihe E 12 zugänglich sind. Die erforderlichen Teilwiderstände müssen deshalb dann oft aus 2 oder mehreren Widerständen zusammengesetzt werden. Das läßt sich vermeiden, wenn man die Einzelwiderstände des benötigten Spannungsteilers entsprechend Bild 1.42 auswählt. Die Werte der dort benutzten Widerstände sind in der Normreihe E 12 vorhanden, und bis auf jeweils eine Ausnahme sind keine Parallel- oder Reihenschaltungen notwendig. Die Teiler gemäß Bild 1.42 weisen allerdings den Nachteil auf, daß sie nicht über einen signifikanten Gesamtwiderstand von z. B. $R_{ges} = 10 \text{ M}\Omega$ verfügen. Diese Forderung erfüllen die im Bild 1.43 dargestellten Eingangsspannungsteiler, für die ebenfalls nur Widerstände aus der Normreihe E 12 erforderlich sind.

Solange dem Amateur keine industriell gemessenen Widerstandssätze mit geringer Relativtoleranz für dekadische Spannungsteiler zur Verfügung stehen, wird er

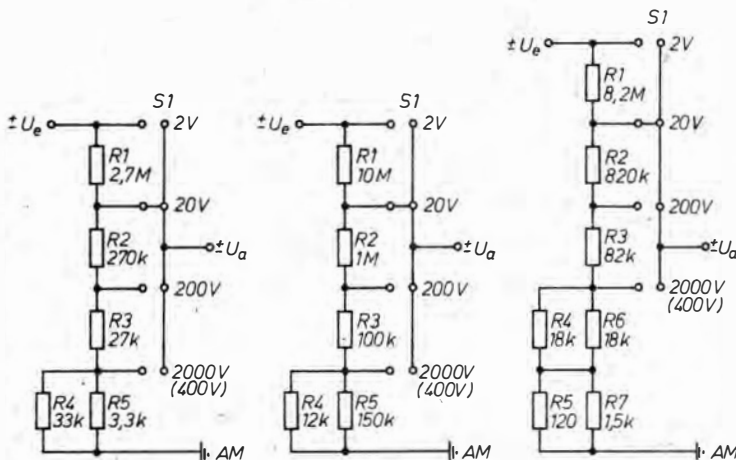


Bild 1.42
Eingangsspannungsteiler mit Widerstandswerten aus der Normreihe E 12

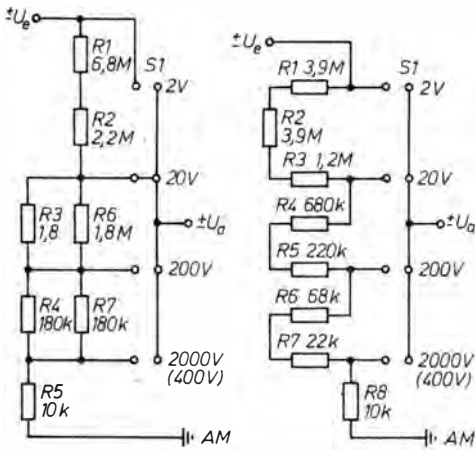


Bild 1.43 Eingangsspannungsteiler mit Widerstandswerten aus der Normreihe E 12 und signifikantem Gesamtwiderstand

ständen dekadisch gestaffelt sein müssen. Das damit verbundene Beschaffungsproblem vereinfacht sich erheblich, wenn man die in Bild 1.45 vorgestellte Lösung verwendet. Hier trägt der Meßbereichumschalter die zusätzliche Schaltebene S1/1, die jedem Meßbereich des A/D-Wandlersystems einen individuellen Referenzspannungsteiler mit Kalibriermöglichkeit zuordnet. Das hat den Vorteil, daß alle erforderlichen Einstellpotentiometer wertgleich sind. Man ist außerdem nicht an einen bestimmten Wert für R6 bis R9 gebunden, solange die Ausgangsimpedanz der Referenzspannungsteiler $R_{a,ref} = 10\text{ k}\Omega$ unterschreitet. Der mit R6 bis R9 mögliche Kalibrierbereich muß den Toleranzen der Einzelwiderstände des Eingangsspannungsteilers aus R1 bis R5 entsprechen.

Der in Bild 1.45 gezeigte Eingangsspannungsteiler eignet sich auch für Wechselspannungsmeßbereiche. Die den einzelnen Teilwiderständen des Spannungsteilers parallelgeschalteten Kondensatoren C2 bis C7 stellen die geforderten Teilverhältnisse hinreichend auch für Wechselspannungen sicher, wenn man C2 bis C7 so abgleicht, daß die folgende Gleichung erfüllt wird:

$$R1 \cdot C2 = R2 (C3 + C4) = R3 (C5 + C6) = \frac{R4 \cdot R5}{R4 + R5} \cdot C7 \quad (28)$$

Nachteilig wirkt sich auf das Einhalten dieser Beziehung die, wenn auch kleine Eingangskapazität des in den Wechselspannungsmeßbereichen verwendeten Vorverstärkers bzw. Impedanzwandlers aus. Deren Eingangskapazität hat ihren größten Einfluß bei dem Teilverhältnis von 10:1, so daß deshalb die aus C3 bis C7 resultierende Kapazität groß gegenüber der angesprochenen Eingangskapazität sein sollte.

Bisher veröffentlichte der Hersteller des A/D-Wandlersystems in seinen Datenunterlagen keinen Hinweis auf den maximal erlaubten Strom durch die Klemmdioden an den Meßeingängen der Analogprozessoren C 500 D bzw. C 501 D. Dieser Umstand und der für den Vorverstärker bzw. Impedanzwandler in den Wechselspannungsmeßbereichen ohnehin erforderliche Schutz vor zu großer Eingangsspannung erzwingt eine ge-

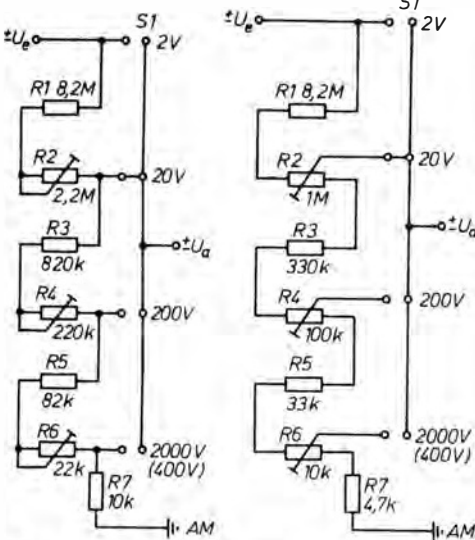


Bild 1.44 Eingangsspannungsteiler mit individueller Kalibrierung der einzelnen Teilverhältnisse

versuchen, durch individuelles Kalibrieren der einzelnen Teilwiderstände die notwendige Genauigkeit des Eingangsspannungsteilers zu erreichen. Bild 1.44 zeigt 2 dann oft angewandte Methoden. Sie bedingen hochwertige Trimpotentiometer, deren Werte entsprechend den erforderlichen Teilwider-

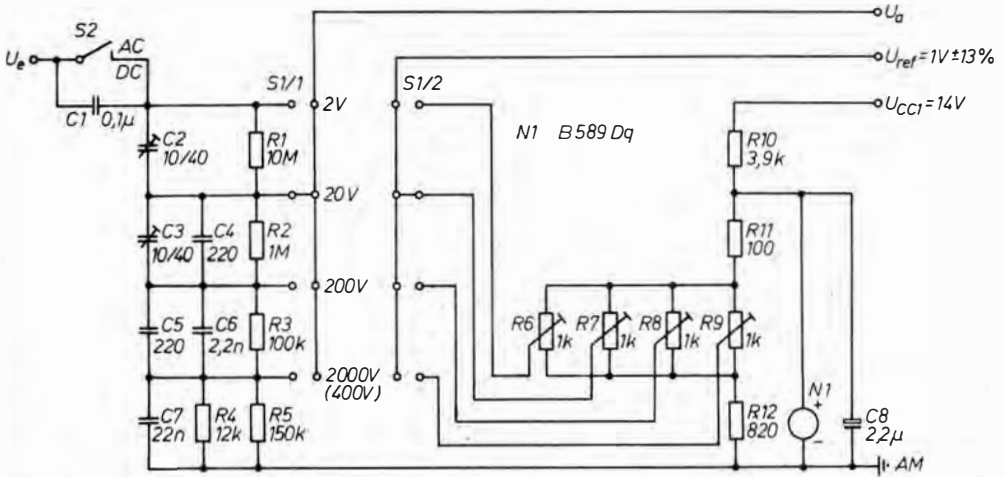


Bild 1.45
Universeller Eingangsspannungsteiler mit individueller Kalibrierung der einzelnen Meßbereiche

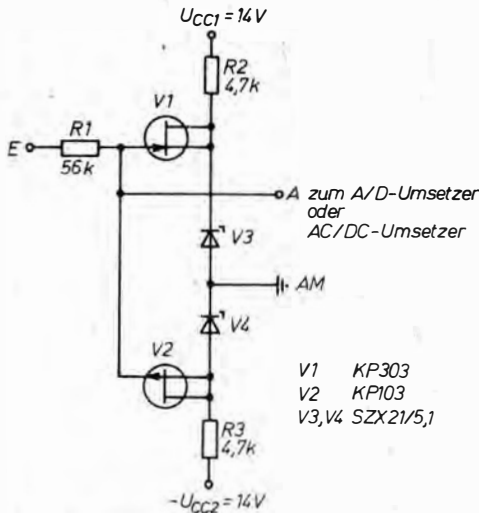


Bild 1.46
Schutz der Meßeingänge mit Hilfe vorgespannter Dioden

eignete Schutzschaltung mit externen Bauelementen. Dabei sollte die gewählte Anordnung den mit den Analogprozessoren C 500 D oder C 501 D möglichen Eingangswiderstand nur wenig mindern. Bild 1.46 und Bild 1.47 stellen 2 brauchbare Lösungen für diese Aufgabe vor. Die SFET V1 und V2 werden im Stromlaufplan nach Bild 1.46 als

vorgespannte Dioden verwendet. Der Sperrstrom der Gate-Kanaldiode vom SFET ist für diese Funktion ausreichend niedrig und mindert den Eingangswiderstand nur geringfügig. Die Arbeitsspannungen der Z-Dioden V3 und V4 sind so auszuwählen, daß der Ansprechpunkt der Schutzschaltung oberhalb des Spitzenwertes der maximal erlaubten sinusförmigen Wechselspannung liegt.

Sehr gute Eigenschaften weist eine aktive Schutzschaltung auf, deren Funktion in den ohnehin für die Wechselspannungsmessbereiche erforderlichen Impedanzwandler integriert wurde. Bild 1.47 zeigt den Stromlaufplan dieser Schutzschaltung, die keine speziellen Dioden oder SFET mit extrem niedrigen Sperrströmen erfordert. Der OPV N1 arbeitet als Impedanzwandler mit einer

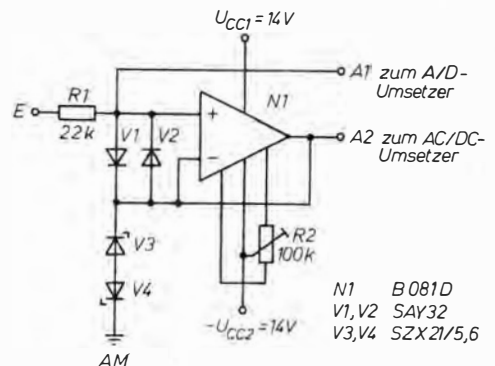


Bild 1.47
Stromlaufplan einer aktiven Schutzschaltung

Spannungsverstärkung von $v_{u_{N1}} = 1$. Die mit R2 durchzuführende Kompensation der Offsetspannung von N1 bewirkt, daß zwischen dessen Eingangs- und Ausgangsspannung kein Versatz vorhanden ist. Die in Reihe geschalteten Z-Dioden V3 und V4 limitieren die Ausgangsspannung des dauerkurzschlußfesten OPV. Innerhalb des normalen Bereichs der Eingangsspannungen leiten die beiden Z-Dioden nicht. Die Spannung am Ausgang von N1 ist dann zwangsläufig mit der Spannung am nichtinvertierenden Eingang identisch. Über den beiden antiparallelschalteten Dioden V1 und V2 liegt dann keine Spannung, so daß durch sie weder ein Sperr- noch ein Flußstrom fließen kann. Das ändert sich, wenn die Eingangsspannung Werte annimmt, bei denen der OPV N1 die Z-Dioden V3 und V4 in den leitenden Zustand steuert. Die Spannung am invertierenden Eingang erreicht dann schnell den durch die Summe aus der Z-Spannung und der Flußspannung der betreffenden Z-Dioden vorgegebenen Grenzwert und kann nicht weiter zunehmen. Dadurch leitet dann aber, je nach der Polarität der zu großen Eingangsspannung, eine der beiden Dioden V1 oder V2, die das weitere Ansteigen der Spannung am nichtinvertierenden Eingang des OPV N1 unterbinden. Den dabei in Richtung des analogen Massepotentials fließenden Strom begrenzt R1, dessen zulässige Verlustleistung der maximal erlaubten Eingangsspannung entsprechen muß. Für N1 sollte man nur solche Typen verwenden, deren Eingangsruhestrom sehr gering ist. Weiterhin wird eine niedrige Offsetspannungsdrift verlangt, damit sich bei Temperaturänderungen nicht der Eingangswiderstand des A/D-Wandlersystems vermindert.

1.5.5. Die Erzeugung einer 0 im MSD

Solange bei A/D-Wandlersystemen mit den Bauelementen C 501 D und C 502 D bzw. C 500 D und C 502 D die Zahlenwerte der Meßergebnisse bei Auflösungen von 3,5 Digit bzw. 4,5 Digit kleiner als $N = 999$ bzw. $N = 9999$ sind, unterdrückt die im Digitalprozessor C 502 D verwendete Decodierlogik

die Ausgabe des Ziffernwerts 0 im MSD. Diese Eigenschaft bereitet dem Anwender Probleme, wenn das darzustellende Meßergebnis aus ergonomischen Gründen in allen Meßbereichen mit der gleichen Dimension versehen werden soll. Es kann dann leicht der Fall eintreten, daß der darzustellende Ziffernwert nur aus Nachkommastellen besteht. Bild 1.48 demonstriert das z. B. bei einem Widerstandsmeßgerät gewünschte Anzeigeformat. Ohne zusätzliche Maßnahmen kann eine solche Meßwertdarstellung mit dem Digitalprozessor C 502 D nicht empfohlen werden, weil er ein Ziffernbild erzeugt, Bild 1.49 demonstriert das deutlich, das sich nicht eindeutig vom Ablesenden interpretieren läßt. In solchen Applikationen muß man deshalb mit einer externen Zusatzschaltung erreichen, daß im MSD die Ziffer 0 ausgegeben wird, wenn der gerade vorliegende Meßwert das bedingt.

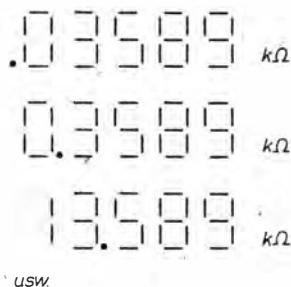


Bild 1.48
Anzeigeformat eines Displays mit Darstellung einer 0 im MSD

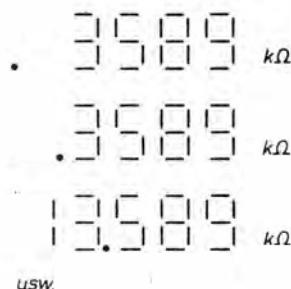


Bild 1.49
Anzeigeformat eines Displays ohne Darstellung einer 0 im MSD

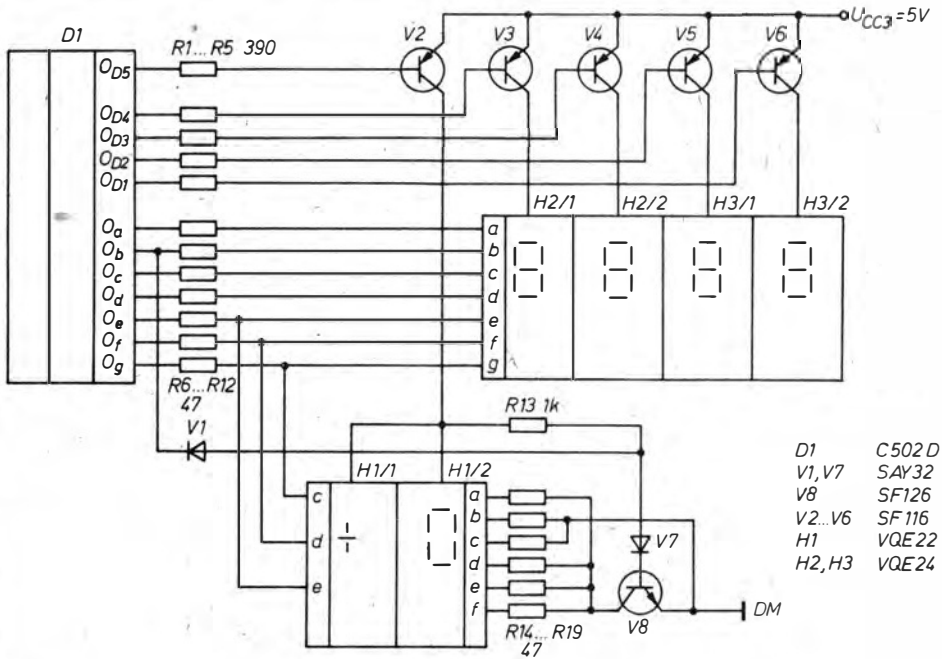


Bild 1.50
Stromlaufplan zur Erzeugung einer 0 im MSD

Im Stromlaufplan nach Bild 1.50 erhalten die Anzeigesegmente b und c des MSD H1/2 immer Betriebsstrom, wenn der Digitalprozessor D1 in den leitenden Zustand gesteuert wird. Gleichzeitig fließt über R13 und die Diode V7 in den zusätzlichen Transistor V8 ein Basisstrom. Bedingung ist dafür allerdings, daß der in dem Digitalprozessor integrierte Treibertransistor für das Segment b sperrt. Das ist aber immer dann der Fall, wenn im MSD die Ziffer 0 erscheinen muß. Der deshalb jetzt leitende Transistor V8 verbindet R14 und R17 bis R19 mit dem Massepotential, und es ergibt sich das gewünschte Anzeigebild. Bedingt dagegen der auszugebende Meßwert die Darstellung der Ziffer 1 im MSD, so leitet der in D1 integrierte Treibertransistor des Segments b, wenn der Digitaltreiber V2 für das MSD aktiviert wird. Die Diode V1 übernimmt den Basisstrom des Transistors V8, er sperrt, und im MSD wird die Ziffer 1 angezeigt.

1.6. Schaltbeispiele für ein Digitalvoltmeter mit einem Grundmeßbereich von $\pm U_e = 3,0000 \text{ V}$

Wird der Baustein C 502 D durch einen geeigneten Zähler mit Steuerteil ersetzt, dann kann der von diesem Digitalprozessor vorgegebene Grundmeßbereich nach oben vergrößert werden. Die höhere prozentuale Meßwertauflösung ist an bestimmte Betriebsbedingungen des Analogprozessors C 500 D gebunden. Der nachstehende Abschnitt gibt dazu Hinweise und erläutert eine mögliche Lösungsvariante für einen entsprechenden Steuerteil. Er betreibt einen in seiner Kapazität erweiterten Zähler und den Analogprozessor C 500 D so, daß sich ein Grundmeßbereich von $\pm U_e = 3,0000 \text{ V}$ mit automatischer Anzeige der Polarität einstellt.

Die mit den Analog- und Digitalprozessoren C 500 D, C 501 D bzw. C 502 D und C 504 D möglichen A/D-Wandlersysteme verfügen über Grundmeßbereiche von $\pm U_e = 2,0000 \text{ V}$ oder $\pm U_e = 2,000 \text{ V}$, wenn die Auflösung 4,5 bzw. 3,5 Digit beträgt. Diese vorgegebenen Grundmeßbereiche ver-

ursachen im Zusammenhang mit der dekadischen Meßbereichsumschaltung Schwierigkeiten beim Festlegen des größtmöglichen Gleich- und Wechselspannungsmessbereichs. Orientiert man sich an der täglichen Praxis, dann sollte ein universelles Digitalvoltmeter zumindest die Möglichkeit bieten, die Spannung des 220-V-/50-Hz-Wechselspannungsnetzes problemlos und ohne zusätzliche Tasteiler zu ermitteln. Ausgehend von den oben genannten Grundmeßbereichen bedingt diese Forderung Meßbereiche von $\pm U_e = U_{e, \text{eff}} = 2000,0 \text{ V}$ oder $\pm U_e = U_{e, \text{eff}} = 2000 \text{ V}$. Solche Meßbereiche führen aber häufig zu Problemen, die ihre Ursache in der endlichen Spannungsfestigkeit der Widerstände des Eingangsspannungsteilers, der Eingangsbuchsen, des Meßbereichsumschalters usw. haben. Vielfach schränken deshalb die Hersteller kommerzieller Digitalvoltmeter die maximal erlaubte Eingangsspannung für die höchsten Spannungsmessbereiche ein, die dann oft nur im unteren Drittel benutzt werden dürfen. Die geschilderte Situation verbesserte sich beachtlich, wenn der Grundmeßbereich des A/D-Wandlersystems z. B. $\pm U_e = 3,0000 \text{ V}$ beträgt. Eine dekadische Meßbereichsumschaltung liefert in diesem Fall die größten Spannungsmessbereiche $\pm U_e = U_{e, \text{eff}} = 300,00 \text{ V}$, die den Meßproblemen des Anwenders oft sehr entgegenkommen. Die Bauelemente des Eingangsteils des Digitalvoltmeters unterliegen dann keiner extremen Spannungsbeanspruchung, und die oben angeführte Einschränkung erübrigt sich. Zusätzlich resultieren Vorteile aus dem kleineren Aufwand für die Meßbereichsumschaltung; die Anzahl der notwendigen Bereiche verringert sich um einen, und es ergibt sich die vielfach erwünschte 10fach höhere Auflösung in den größten Spannungsmessbereichen des Digitalvoltmeters.

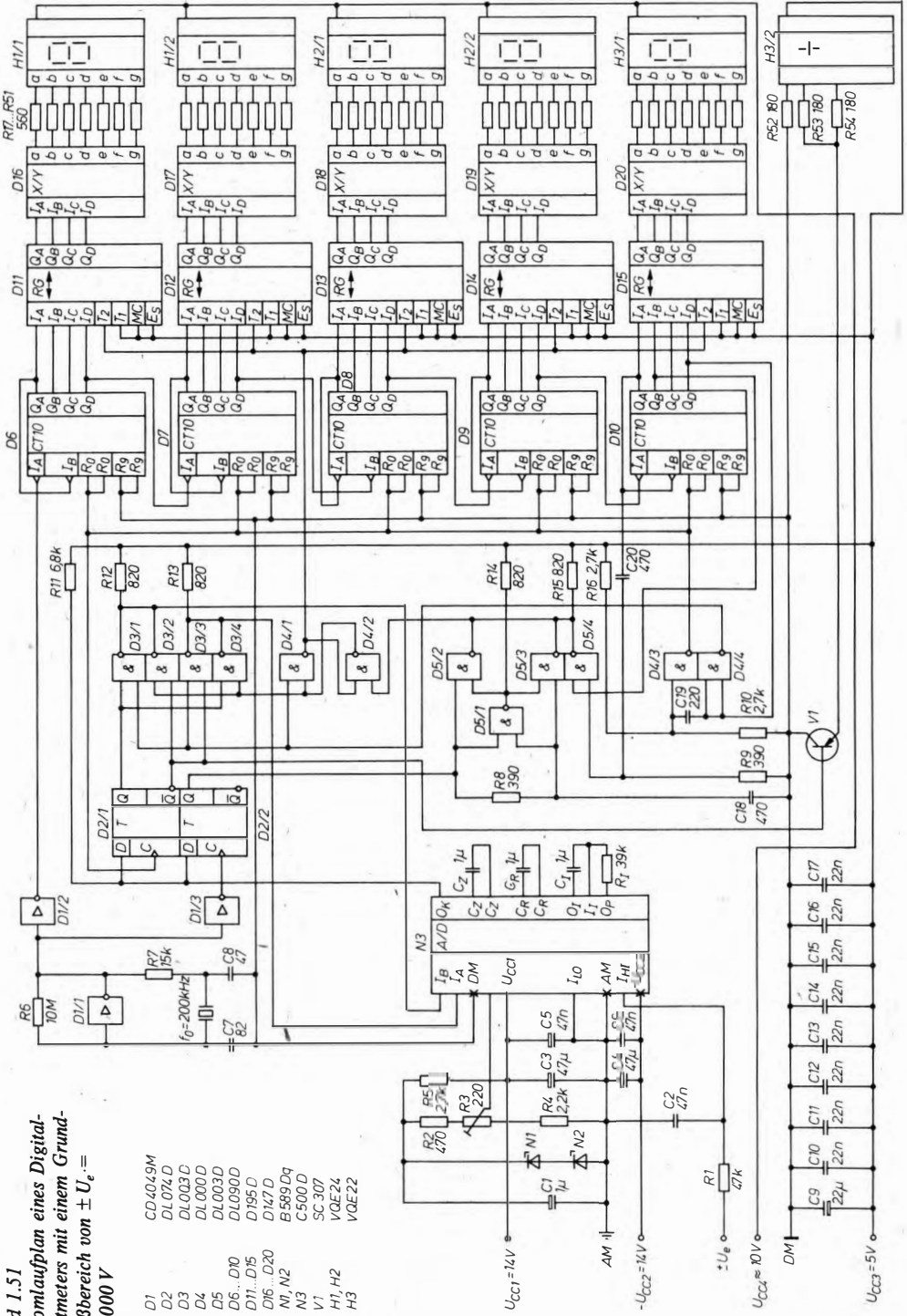
Die von der Organisation der Digitalprozessoren C 502 D und C 504 D vorgegebene Zählkapazität während der Arbeitsphase Referenzspannungsintegration stellt das Haupthindernis bei einer Ausdehnung des Grundmeßbereichs eines A/D-Wandlersystems mit dem Analogprozessor C 500 D dar. Die im C 502 D und C 504 D integrierten Zähler sind extern nicht erweiterbar. Aus

diesem Grund ist prinzipiell ein entsprechender Impulszähler notwendig. Weiterhin benötigt man eine Logik, die aus dem Taktsignal, dem Schaltzustand des im Analogprozessor befindlichen Komparators und dem momentanen Betriebszustand des Zählers die Steuersignale A und B für den Analogprozessor erzeugt.

Jedes Erweitern des Grundmeßbereichs eines A/D-Umsetzers vergrößert dessen in Prozenten vom Endwert angegebene Auflösung, wenn die Empfindlichkeit im LSD konstant bleibt. Das angestrebte Erweitern des Grundmeßbereichs um den Faktor 1,5 führt zu keinen Linearitätsproblemen, wenn die externe Beschaltung und die Betriebsbedingungen des Analogprozessors C 500 D den veränderten Verhältnissen angepaßt werden. Zu beachten sind in diesem Zusammenhang zunächst alle in Abschnitt 1.1. und Abschnitt 1.3. gegebenen Hinweise, die den Betrieb des Analogprozessors C 500 D mit einer Auflösung von 4,5 Digit betreffen und die auch hier gelten. Weiterhin ist es zweckmäßig, den C 500 D an seinen für ihn erlaubten Obergrenzen der Versorgungsspannungen zu betreiben. In gewissen Grenzen steigt dann die mögliche Ausgangsaussteuerungsfähigkeit des für die Integration der Eingangs- und der Referenzspannung benutzten OPV. Das ist sehr erwünscht, weil im Interesse einer guten Linearität des A/D-Wandlersystems der Spannungshub am Ausgang des Integrators an der Obergrenze des Grundmeßbereichs seine durch die Arbeitsweise des Analogprozessors, die Versorgungsspannungen und die Schaltungsauslegung des OPV vorgegebenen Grenzwerte erreichen sollte. Anzustreben ist außerdem eine Betriebsweise des Analogprozessors C 500 D, bei der dieser keine Gleichtakteingangsspannungen zu verarbeiten hat. Den für diesen Fall sonst reservierten Spannungshub am Ausgang des Integrators setzt man für die Meß- und Referenzspannungsintegration. Im Amateurbereich kann individuell noch der vom Hersteller des C 500 D vorgesehene Toleranzbereich der Ausgangsaussteuerbarkeit des OPV für den Integrator genutzt werden.

Der Aufbau und die Funktion der Anordnung nach Bild 1.51 sollen mit Hilfe von

Bild 1.51
Stromlaufplan eines Digital-
voltmeters mit einem Grund-
meßbereich von $\pm U_e =$
3,0000 V



- D1 CD4049M
- D2 DL074D
- D3 DL003D
- D4 DL000D
- D5 DL003D
- D6..D10 DL090D
- D11..D15 D195D
- D16..D20 D147D
- N1, N2 B589,04
- N3 C500D
- V1 SC-307
- V2 VQE24
- V3 VQE22

Bild 1.52 näher erläutert werden. Die Stromversorgung des Analogprozessors N3 und des Referenzspannungsgenerators aus N1 und N2 erfolgt mit den Speisespannungen $U_{CC1} = -U_{CC2} = 14\text{ V}$. Beide Versorgungsspannungen müssen stabilisiert sein. Die Stromversorgung des digitalen Schaltungsteils übernimmt die ebenfalls zu stabilisierende Speisespannung $U_{CC3} = 5\text{ V}$. Die Eingangsspannung des zu diesem Zweck erforderlichen Spannungsreglers nutzt man gleichzeitig als Betriebsspannung $U_{CC4} = 10\text{ V}$ für die 7-Segment-Lichtemitteranzeigen, so daß sich die Verlustleistung des betreffenden Spannungsreglers entsprechend verringert. Der Digitalteil gliedert sich in den Taktgenerator, die Logikbaugruppe, die für den Betrieb des Analogprozessors C 500 D notwendigen Pegel an dessen Eingängen I_A und I_B erzeugt und die Polarität der zu messenden Eingangsspannung ermittelt sowie einen 5stelligen Zähler, der neben Steuerfunktionen den Meßwert ermittelt, speichert und darstellt.

Der Analogprozessor N3 wird so beschaltet, daß alle Bedingungen für den Betrieb des Analogprozessors mit hoher Auflösung erfüllt sind. Die erforderliche Referenzspannung beträgt 2 V . Die beiden in Serie geschalteten Referenzelemente N1 und N2 sowie der Spannungsteiler aus R2 bis R4 stellen den genannten Spannungswert bereit. Er kann mit dem Spindelpotentiometer R3 in Grenzen zum Zweck der Kalibrierung variiert werden. Im Hinblick auf eine hinreichende Meßgenauigkeit können für N1 und N2 nur B 589 Dq verwendet werden. Für R2 bis R4 sind nur Bauelemente mit einem geringen Temperaturkoeffizienten brauchbar. Unterliegt das Digitalvoltmeter im praktischen Einsatz größeren Schwankungen der Umgebungstemperatur, dann kann es nützlich sein, wenn sich N1, N2, R3 und R4 in einem Thermostaten befinden.

Der 5stellige Zähler wurde mit konventionellen MSI-Schaltkreisen verwirklicht und zeichnet sich nicht durch Besonderheiten aus. Alle Dekaden verfügen über Zwischen-

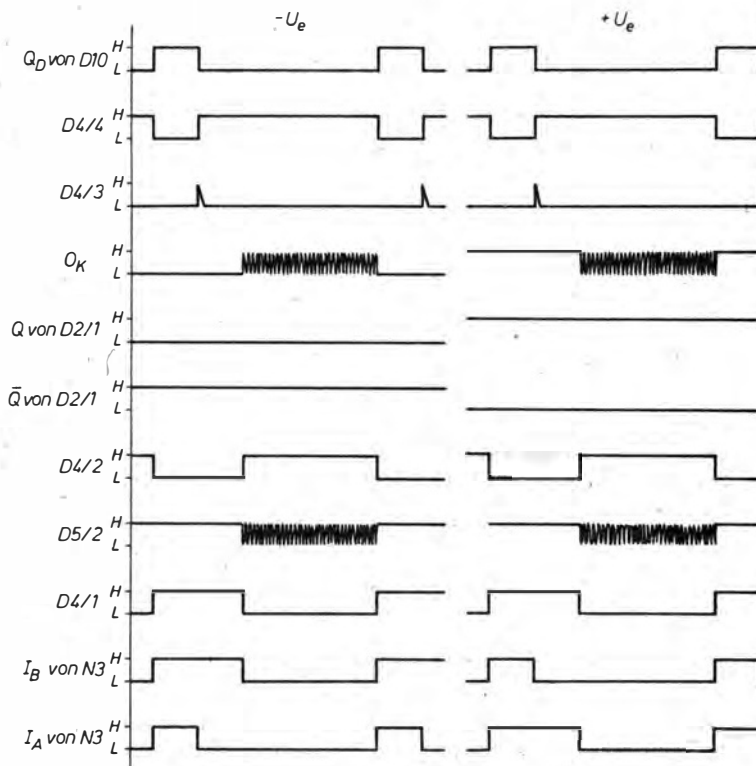


Bild 1.52
Pegelplan zur Schaltung
nach Bild 1.51

speicher, deren Inhalte über die Decoder die 7-Segment-Lichtemitteranzeigen H1 bis H3 ständig darstellen. Die Zwischenspeicher arbeiten mit parallel ladbaren Schieberegistern, deren Schiebetrieb unterbunden wurde. Ein neuer Meßwert wird mit einem Pegelwechsel von H- in Richtung L-Potential am Anschluß T2 der Bausteine D11 bis D15 übernommen. Der 5stellige Zähler greift über die Ausgänge Q_A , Q_B und Q_D des MSD in den Funktionsablauf des Steuerteils aus den Bauelementen D2 bis D5 ein. Als Taktgenerator für den Zähler und den Steuerteil fungiert der mit dem Inverter D1/1 verwirklichte Quarzoszillator, dessen Ausgangssignal die beiden Pufferstufen D1/2 und D1/3 dem Impulzzähler bzw. dem Steuerteil zuleiten. Die Funktionsweise des Taktoszillators wurde im Abschnitt 1.5.2. näher beschrieben. Die Frequenz der vom Taktgenerator bereitgestellten symmetrischen Rechteckspannung betrug $f_0 = 200 \text{ kHz}$. Aus ihr resultiert eine Integrationszeit der Eingangsspannung von $t_i = 0,1 \text{ s}$.

Zu Beginn der Beschreibung eines Funktionsablaufs soll angenommen werden, daß der Stand des 5stelligen Zählers $N = 79999$ beträgt. Die nächstfolgende negativ gerichtete Taktflanke am Eingang I_A von D6 erzeugt den Zählerstand $N = 80000$. Dabei wechselt der Ausgang Q_D des MSD-Zählers D10 von vorher L auf H-Potential. Diesen Pegelwechsel invertiert das als Inverter betriebene Gatter D4/4. Das L-Potential am Ausgang von D4/4 führt zum Setzen des mit den Gattern D4/1 und D4/2 aufgebauten RS-Flip-Flop, bei dem die Ausgänge von D4/1 und D4/2 jetzt H- bzw. L-Pegel aufweisen. In der bisher beschriebenen Konstellation weist zumindest ein Eingang der Gatter D3/1 bis D3/4 L-Potential auf. Die jeweils miteinander verbundenen Ausgänge von D3/1 und D3/2 bzw. D3/3 und D3/4 führen deshalb H-Pegel, der direkt den Steuereingängen I_B und I_A des Analogprozessors N3 zugeleitet wird. Dieser integriert daraufhin die anliegende Eingangsspannung mit unbekannter Amplitude und Polarität. In diesem Schaltzustand verharrt der Steuerteil bis zum Zählerstand $N = 99999$. Die dann folgende negativ gerichtete Taktflanke am Aus-

gang von D1/2 ergibt den Zählerstand $N = 00000$. Das Potential am Ausgang Q_D des MSD-Zählers D10 wechselt dabei von H- auf L-Pegel. Das mit dem Spannungsteiler aus R10 und R16 und C19 gebildete Differenzierglied erzeugt aus dem Pegelwechsel einen negativ gerichteten Impuls am Eingang des als Inverter betriebenen Gatters D4/3, das an seinem Ausgang einen positiven Impuls mit einer Dauer von etwa $t = 150 \text{ ns}$ liefert. Er bewirkt das Rückstellen des Zählers. Dieser Vorgang gewinnt an Bedeutung in der Anlaufphase des Umsetzers, weil der Zähler des eingeschwungenen A/D-Wandlersystems beim Eintreffen des angesprochenen Rückstellimpulses ohnehin den Stand $N = 00000$ aufweist. Die Vorderflanke des Rückstellimpulses triggert das D-Flip-Flop D2/1. Es übernimmt deshalb den am Ende der Meßspannungsintegration vorliegenden Ausgangspegel des im Analogprozessor N3 befindlichen Komparators. Eine positive Polarität der zu messenden Eingangsspannung bewirkt H-Potential am Ausgang Q von D2/1 und L-Pegel am Ausgang \bar{Q} des genannten D-Flip-Flop. Liegt negative Polarität vor, so ergeben sich an den Ausgängen von D2/1 die entsprechenden komplementären Potentiale.

Aus dem Schaltzustand des D-Flip-Flop D2/1 nach dem Ende der Arbeitsphase Meßspannungsintegration kann deshalb unmittelbar ein Steuersignal für die Polaritätsanzeige gewonnen werden. R52 verbindet das waagerechte Segment des Vorzeichens ständig mit dem Potential der Digitalmasse. Das Segment c leuchtet deshalb immer. Liegt der arithmetische Mittelwert der zu messenden Eingangsspannung im positiven Bereich, dann legt der Emitterfolger mit dem Transistor V1 die Widerstände R53 und R54 ebenfalls praktisch auf Massepotential, wenn man die Basis-Emitter-Spannung des Transistors V1 vernachlässigt. Die Segmente d und e des Vorzeichens leuchten zusätzlich auf, und es wird das positive Vorzeichen dargestellt. Die sich anschließenden Erklärungen gehen von dieser Polarität der Eingangsspannung aus. Nach dem Ende der Integration der unbekanntenen Eingangsspannung führt der Inverter D4/4 an seinem Ausgang H-Pegel. Die Potentiale an den Gatterausgängen

von D3/1 und D3/3 sind aus diesem Grund jetzt eine Funktion des Schaltzustands des D-Flip-Flop D2/1. Wie bereits erläutert, führt eine positive Eingangsspannung zu H-Pegel am Ausgang Q- und L-Potential am Ausgang \bar{Q} des D-Flip-Flop D2/1. Diese Pegelverteilung bewirkt zusammen mit dem H-Potential am Ausgang des Inverters D4/4, daß sich nur die beiden Eingänge des Gatters D3/1 auf H-Potential befinden. Dadurch erhält jetzt der Steuereingang I_B des Analogprozessors N3 L-Pegel, während der Steuereingang I_A auf H-Potential verbleibt. Entsprechend der Funktionsweise des Analogprozessors bewirkt diese Pegelverteilung an den Steuereingängen I_A und I_B die Referenzspannungsintegration mit negativ gepolter Referenzspannung. Der Steuerteil verharrt in diesem Schaltzustand so lange, bis die Arbeitsphase Referenzspannungsintegration mit dem erstmaligen Pegelwechsel am Ausgang O_K des Komparators in N3 endet. Mit jeder positiv gerichteten Taktflanke am Ausgang des Inverters D1/3 fragt das D-Flip-Flop D2/2 das Ausgangspotential des Komparators ab und speichert das Ergebnis bis zur folgenden Abfrage. Ein Wechsel des Komparatorschaltzustands bewirkt deshalb eine taksynchrone Änderung des Potentials am Ausgang Q von D2/2.

Der Ausgang dieser D-Flip-Flop ist direkt mit der Anordnung aus R8, C18 und den Gattern D5/1 bis D5/3 verbunden. Die genannten Gatter verwirklichen ein EXCLUSIV-NOR. Es liefert im Zusammenwirken mit dem Verzögerungsglied aus R8 und C18 bei jedem Wechsel des Komparatorausgangspiegels einen negativ gerichteten Impuls an den parallelschalteten Ausgängen der Gatter D5/2 bis D5/4. Wichtig ist, daß diese Impulse sowohl bei einem Wechsel von H- nach L- als auch von L- nach H-Potential entstehen, so daß am Ende der Arbeitsphase Referenzspannungsintegration das RS-Flip-Flop aus den Gattern D4/1 und D4/2 grundsätzlich zurückgesetzt wird. Dabei schaltet der Ausgang von D4/1 von vorher H- auf L-Potential. Alle Takteingänge T_2 der als Zwischenspeicher verwendeten Schieberegister sind mit dem Ausgang des Gatters D4/1 verbunden. Die Speicher übernehmen also am Ende der Referenzspannungsinte-

gration den zu diesem Zeitpunkt vorhandenen Zählerstand. Diese Übernahme endet vor dem Eintreffen der nächstfolgenden Taktflanke am Eingang I_A des LSD-Zählers D6, so daß das korrekte Meßergebnis übernommen wird, obwohl der 5stellige Zähler permanent durchläuft.

Unmittelbar nach dem Rückstellen des RS-Flip-Flop führt der Ausgang des Gatters D4/2 H-Potential. Gleichen Pegel weist zu diesem Zeitpunkt auch der Ausgang des Inverters D4/4 auf. Jeweils ein Eingang der Gatter D3/1 bis D3/4 liegt also auf H-Potential. Deshalb erhalten die Steuereingänge I_A und I_B des Analogprozessors N3 jetzt beide L-Pegel, unabhängig vom momentanen Schaltzustand des D-Flip-Flop D2/1. Das bewirkt ein sofortiges Umschalten von N3 in die Arbeitsphase Nullpunktkorrektur, die automatisch spätestens bei dem Zählerstand $N = 30\,000$ beginnt. Zu diesem Zeitpunkt wechselt nämlich das Potential am Ausgang Q_A des MSD-Zählers von L- auf H-Pegel, während gleichzeitig der Ausgang Q_B schon das letztgenannte Potential aufweist. C20 und R9 differenzieren den positiv gerichteten Pegelsprung am Ausgang Q_A von D10, so daß am Ausgang des Gatters D5/4 ein negativ gerichteter Impuls mit einer Dauer von etwa 250 ns vorliegt. Das RS-Flip-Flop aus den Gattern D4/1 und D4/2 wird deshalb auch dann zurückgesetzt, wenn z. B. auf Grund einer zu großen Eingangsspannung die Referenzspannungsintegration nicht in der maximal vorgegebenen Zeit vor oder bei dem Zählerstand $N = 29\,999$ endet. Die Meßwertausgabe von $\pm U_e = 3,0000$ kennzeichnet also den Überlauf des Wandlersystems.

Entsprechend den vorstehenden Ausführungen verlängert eine nur geringe Eingangsspannung die Phase der Nullpunktkorrektur. Zusammenfassend läßt sich feststellen, daß die Integration der zu messenden Eingangsspannung innerhalb einer Zeitspanne von $n = 20\,000$ Taktperioden erfolgt. Über maximal $n = 30\,000$ Taktperioden läuft die Integration der positiven oder negativen Referenzspannung, die automatisch nach $n = 30\,000$ Taktperioden stoppt. Je nach der Größe der zu messenden Spannung stehen für die Phase der Nullpunktkorrektur mini-

mal $n = 50\,000$ und maximal $n = 80\,000$ Taktperioden zur Verfügung. Aus diesen Angaben und der Taktfrequenz von $f_0 = 200\text{ kHz}$ ergeben sich 2 Messungen/s. Vor der Kalibrierung des A/D-Wandlersystems sollte man sich mit einer Kontrollmessung überzeugen, daß der Betrag der Ausgangsspannung des Integrators von N3 bei den positiven und negativen Grenzwerten der zu messenden Eingangsspannung etwa dem erwünschten Wert von $U_{aI\max} = 9\text{ V}$ entspricht. Größere Abweichungen müssen durch entsprechendes Ändern des Widerstands R_I korrigiert werden. Nähere Hinweise zum Dimensionieren der Komponenten des Analogprozessors N3 findet der Leser im Abschnitt 1.3. Die sich anschließende Kalibrierung erfordert ein hinreichend genaues Spannungsnormale oder ein Vergleichsgerät mit entsprechender Genauigkeit und Auflösung. Nach dem Kalibrieren des Grundmeßbereichs mit Hilfe von R_3 kann man den Meßeingang des Digitalvoltmeters mit dem Referenzspannungseingang I_{ref} des Analogprozessors N3 verbinden. Das Display sollte dann den Meßwert $U_e = 2,0000\text{ V}$ darstellen. Größere Abweichungen deuten auf eine zu geringe Güte der Kondensatoren C_R und C_I oder auf Übergangswiderstände der Leiterplatte hin.

1.7. Literatur

- [1] R. Erlekampf/M. Kramer/H.-J. Mönig: Mikroelektronik in der Amateurpraxis 1. Berlin 1980
- [2] Datenblatt B 589 D, VEB Halbleiterwerk Frankfurt/Oder
- [3] Integrierte Schaltkreise 1985, Tesla Roznov, Tesla Piestany
- [4] B. Kahl, C 500 D-Reihe – Ein Schaltkreissatz für Digitalvoltmeter mit 4,5 Digit Anzeige. Tagungsmaterialien des 11. Mikroelektronik-Bauelemente-Symposiums 1985 in Frankfurt/Oder
- [5] U. Tietze/Ch. Schenk, Halbleiter-Schaltungstechnik. Heidelberg 1983
- [6] Linear Manual II, Texas Instruments Deutschland GmbH
- [7] H. Kühne, Netzsynchroner Taktgenerator für Analog-Digital-Umsetzer nach

dem Dual-Slope-Verfahren. In: radio fernsehen elektronik 24 (1975) H. 22, S. 735 bis 737

- [8] G. Günzel, Störspannungen am Meßeingang digital arbeitender Fernwirkgeräte und ihre Unterdrückung. Archiv Technisches Messen, 425. Lieferung (1971) H. 6, S. R61 bis R66
- [9] CMOS data Bock 1977, Fairchild Camera and Instrument Corporation
- [10] CMOS Databock 1978, National Semiconductor Corporation
- [11] E. Kühn, Handbuch TTL- und CMOS-Schaltkreise. Berlin 1985
- [12] K. Schlenzig/ D. Jung, Mikroelektronik für Praktiker. Berlin 1985
- [13] B. Kahl, Analog-Digitalwandlersystem C 500. In: radio fernsehen elektronik 35 (1986) H. 3, S. 182 bis 186 und H. 4, S. 243 bis 247
- [14] B. Kahl, A/D Wandlersystem C 500 D – Reihe. Information – Applikation – Mikroelektronik. H. 32. Frankfurt (Oder): Kammer der Technik 1986