

4.2.3 Zentrale Steuerung ZST 1810/2 (siehe Anlage 4, Blätter 2 und 3)

Auf der Leiterkarte ZST 1810/2 befinden sich der Mikroprozessor 8085 (IS 3) mit seinen steckbaren Programmspeicher-Bausteinen auf Platz IS 14 und IS 22. Der Programmspeicher der ZST 1810/2 ist bis auf den maximal vorgesehenen Adressbereich von 48 KByte erweiterbar. Dies kann mit einem einzelnen 32 KByte EPROM auf Platz IS 14 oder einer Kombination von zwei EPROMs auf den Plätzen IS 14 (32 KByte) und IS 22 (16 KByte) erfolgen.

Der Prozessor wird mit einem 5,9904-MHz-Quarz betrieben. Damit ergibt sich eine Clockfrequenz von 2,9952 MHz.

Weil Daten- und Adreßbus beim Mikroprozessor 8085 A im Zeitmultiplexbetrieb arbeiten, erfolgt zur Trennung der Signale eine Zwischenspeicherung der niederwertigen 8 Bits des Adreßbusses (AD 0...AD 7) in einem 8-bit-D-Register 54LS374 (IS 13). Gesteuert wird das D-Register durch den im Prozessor erzeugten ALE-Impuls. Die höherwertigen 8 Bits (A8...A15) sind direkt mit den Adreßbusleitungen verbunden. Der Adreß-/Datenbus des Mikroprozessors ist über einen bi-direktionalen Bustreiber 54LS245 (IS 12) mit den Datenbusleitungen verbunden. Dieser Bus-Transceiver wird benötigt, um den Prozessor im Freilauf (freerun) für die Signaturenanalyse (für Servicezwecke) betreiben zu können. Gleichzeitig erhält der Datenbus damit ein höheres Fan-out, das beim Anschluß von zusätzlichen Schaltungen (Schnittstellen, Speicher usw.) benötigt wird. Die Richtungssteuerung des Bus-Transceivers IS 12 erfolgt vom Prozessor aus über die \overline{RD} -Leitung.

Für die Signaturenanalyse läßt sich der Datenbus durch Umstecken der Brücke ST 13 (Öffnen der Verbindung zur Masse) vom Prozessor „abtrennen“. Mit Hilfe der beiden NAND-Gatter 54LS26 (IS 9) – mit Open-Collector-Ausgängen – erhält der Prozessor seine Anweisungen dann nicht von den Programmspeichern (EPROMs), sondern immer denselben Befehl F3H (siehe Befehlsliste im Datenbuch 8085 A) für den Freilauf. In diesem Betrieb erscheinen am Adreßbus laufend die Adressen von 0000H bis FFFFH.

Aus den 8 höherwertigen Adreßbits A8...A15 des Prozessors decodiert die Anordnung IS 28...IS 32 12 Chip-Select-Signale, die für die folgenden Bausteine den Zugriff auf den Datenbus freigeben. Jedes Select-Signal gilt für einen Adreßbereich, definiert durch seine Anfangsadresse bis zur Anfangsadresse des folgenden Chip-Select.

Anfangsadresse Hexadezimal	IS	Bezeichnung
0 0 0 0	14	EPROM 27128
4 0 0 0	22	EPROM 2732
8 0 0 0	20	CMOS-RAM 6116
8 8 0 0	4 (8)	RAM-8155
8 9 0 0	4 (4)	I/O-8155
8 A 0 0	25 (6,8)	Drehimpulsgeber
8 B 0 0	7	Tastatur 8279
8 C 0 0	17	ADC
8 D 0 0	23	Latch
9 0 0 0	ST 2/ 20b	Schnittstelle 1
B 0 0 0	ST 2/ 19b	Schnittstelle 2