

Das Chip-Select-Signal \overline{CS} des CMOS-RAM IS 20 wird über die Transistoren TS 7/C und TS 1/B abhängig vom RESET-OUT-Signal des Prozessors so beeinflusst, daß erst nach Ende seines Reset-Zustandes Daten in das CMOS-RAM ein- oder ausgelesen werden können. Außerdem greift auf TS 1/B noch der vom Ausgang des Spannungsüberwachungs-Bausteins 8212 (IS 18) angesteuerte TS 2/C zu, wenn die Versorgungsspannung unter 4,5 V absinkt.

Das CMOS-RAM IS 20 wird dann von der +5 V-Versorgung getrennt und erhält seine Versorgungsspannung über die Diode GR 1 von der eingebauten Batterie G1 oder von einer externen Batterie (Anschluß EXBATT). Der Kondensator C 8 dient zur kurzzeitigen Überbrückung bei Batteriewechsel. Der Spannungsüberwachungsbaustein (IS 18) steuert im Normalbetrieb durch TS 2, TS 6 und TS 10 den $\overline{RESET\ IN}$ des Prozessors auf „H“-Pegel und mit TS 2 und TS 1 die Freigabe CS „L“ des CMOS-RAM.

Sinkt die Versorgungsspannung unter 4,5 V, dann arbeitet der Mikroprozessor eventuell nicht mehr exakt. Infolge der zu kleinen Spannung geht der Ausgang des Spannungsdetektors IS 18 auf den Wert der positiven Versorgungsspannung. Damit wird über die Transistoren TS 2, TS 6, TS 10 und den Widerstand R 137 der Kondensator C 78 kurzgeschlossen (schnellere Entladung als Aufladung) und damit der $\overline{RESET\ IN}$ -Eingang des Prozessors auf LOW gezogen. IS 3 befindet sich jetzt im Reset-Zustand und TS 1 sperrt. Der Anschluß 18 (\overline{CS}) des CMOS-RAM (IS 20) erhält nun über R 7 HIGH-Potential. Damit kann in die RAM-Bausteine weder geschrieben noch aus ihnen etwas gelesen werden, d.h., ihr Inhalt bleibt bei Spannungsabfall oder -ausfall erhalten. Der Widerstand R 7 ist an die Versorgung der CMOS-RAM angeschlossen, die jetzt über die eingebaute Batterie (G 1) anstatt über TS 3 (Normalbetrieb) erfolgt.

Da beim Transistor TS 2 sowohl an der Basis (durch die Spannung am Ausgang von IS 18) wie auch am Emitter die positive Versorgungsspannung liegt, sperrt dieser Transistor, sein Kollektor liegt auf 0 V. Steigt die Versorgungsspannung an, wird beim Erreichen von etwa 4,8 V der Kurzschluß von C 78 aufgehoben. Gleichzeitig steuert IS 18 den Transistor TS 2 so an, daß HIGH-Potential am Kollektor entsteht. Das gelangt jedoch durch R 62 und C 78 verzögert zum Prozessor, damit sich die negative Hilfsspannung aufbauen kann (siehe Datenbuch 8085 A).

Sobald der Kollektor von TS 2 auf HIGH-Potential (>4,8 V) liegt, wird über TS 4 auch der Transistor TS 3 in den leitenden Zustand gebracht und der RAM-Baustein erhält seine Spannung wieder von der 5-V-Versorgung.

TS 3 wird im Sättigungsbereich betrieben, damit die abfallende Restspannung klein ist und die CMOS-RAM dieselbe Versorgungsspannung erhalten wie die maximale Ansteuerspannung beträgt.

TS 4 dient dazu, daß bei Umschaltung auf Batterieversorgung über die leitende Kollektor-Basis-Strecke von TS 3 kein Strom fließen kann.

Über das Chip-Select-Signal (Adresse 8C00H) kann vom Prozessor aus ein 8-bit-CMOS-Analog/Digital-Wandler (IS 17) angesprochen werden. Die Analogspannung (UADC) wird den Anschlüssen 6 und 8 über den Tiefpaß R 38, C 20 zugeführt. Da als Referenzspannung für den A/D-Wandler die positive Versorgungsspannung verwendet wird, ist beim Meßbetrieb die analoge Masse (Anschluß 8) mit der digitalen Masse (Anschluß 10) zu verbinden. Der Takt für den A/D-Wandler wird über R 34 und C 18 erzeugt.

Der kombinierte Peripherie-Baustein 8155 (IS 4) wird über das Chip-Select-Signal (Adresse 8800H) angesprochen. Er enthält ein statisches 256-Byte-RAM, zwei 8-bit-Ein-/Ausgabe-Ports (A und B) und ein 6-bit-Ein-/Ausgabe-Port (C). Port C ist direkt auf die Steckerleiste ST 1 geführt.

Port B wird als Adreß-Ausgabeport (für externen Geräte-Steuerbus) verwendet. Um das Fan-out zu erhöhen und Rückwirkungen zu vermeiden, sind die Ausgänge dieses Ports über die AND-Gatter von zwei Bausteinen 54LS08 (IS 5 und IS 6) auf die Steckerleiste ST 3 geführt.