

Port A dient als Datenport für den Geräte-Steuerbus. Seine Ein-/Ausgänge gelangen über den bi-direktionalen Bus-Treiber 54LS245 (IS 16) zur Steckerleiste ST 3. Die Richtungssteuerung erfolgt mit Bit PB 6 vom B-Port.

Zusätzlich zu dem RAM und den Ein-/Ausgabe-Ports ist in IS 4 noch ein programmierbarer Zeitgeber (14-bit-Zähler) integriert. Er erhält seinen Takt am TIMER-IN-Anschluß entweder direkt als Prozessor-Clock CLK-OUT (2,99 MHz) oder frequenzgeteilt als 2 kHz \overline{BD} aus dem dem Anzeigebaustein 8279 (IS 7). Zwischen beiden Quellen schaltet Latch IS 23 (5, 6) die Umschalter IS 27 (3, 6, 11). Der Ausgang des programmierbaren Zeitgebers von IS 4 (TIMER OUT) führt zum Interrupt-Eingang RST 6,5 des Prozessors IS 3.

Auf der Leiterkarte ZST 1810/2 ist noch der Tastatur- und Anzeige-Baustein 8279 (IS 7) untergebracht. Er wird vom Chip-Select-Signal (Adresse 8B00H) angesprochen. Der Tastaturteil enthält eine Abtast-Schnittstelle für eine Tasten-Matrix mit bis zu 64 Tasten. Die Ausgänge SL 0 ... SL 3 gehen zur Steckerleiste ST 1 und von dort zur Bedienfeldtreiberkarte zur Bildung sowohl der Abtast-Signale für die Tastenmatrix-Spalten wie auch der Ansteuer-signale der LED-Gruppen. Die Eingänge RL 0 ... RL 7 sind ebenfalls auf ST 1 geführt und erhalten die Rückmelde-Signale von den Zeilen der Tastenmatrix auf der Leiterkarte BEO 1810.

Der Anzeigeteil besitzt eine Schnittstelle mit den Ausgängen OUT A 0 ... OUT A 3 und OUT B 0 ... OUT B 3. Die Ausgabe der Signale geschieht im Multiplexverfahren. Sie gelangen über die Steckerleiste ST 1 mit den Bezeichnungen AD 0 ... AD 7 zur Bedienfeldtreiberkarte zur Bildung der Ansteuersignale der Ziffern-Segmente und Indikator-LEDs innerhalb der LED-Gruppen.

Drei weitere Anschlüsse führen zu ST 1:

- Ein Ausgang \overline{BD} , Signal zum Dunkeltasten der Anzeige.
- Ein Eingang SHIFT, der beim Schließen der entsprechenden Taste einen Impuls erhält, der zusätzlich gespeichert wird.
- Ein Eingang CNTL (Eingang für Übernahmesteuerung), der auch mit der Steckerleiste ST 1 verbunden ist, hier aber nicht weiter benutzt wird.

Der Interrupt-Ausgang von IS 7 geht auf HIGH-Pegel, wenn sich Daten im IS-7-internen FIFO-RAM befinden bzw. wenn sich Änderungen in der angeschlossenen Tastatur ergeben. Über ein NOR-Gatter IS 10 besteht für den Interrupt-Ausgang eine Verknüpfung mit dem Anschluß ST 3, Kont. 13 (ACLK). Da der Ausgang von IS 10 über IS 2 auf den RST-5,5--Eingang des Prozessors führt, kann sowohl ein HIGH-Pegel vom IS-7-Interrupt-Ausgang als auch vom Anschluß ST 3, Kont. 13, einen Interrupt für den Prozessor bedeuten.

Das Bit 0 und das Bit 1 des Datenbusses (D 0 und D 1) können von den Signalen ACLK und ADRR beeinflußt werden, wenn der Prozessor über das Chip-Select-Signal (Adresse 8100H) die Tri-State-Bustreiber IS 25 (6, 8) anspricht. Das ist der Fall, wenn der Drehimpulsgeber betätigt wird.

Ein Timer SE 555 (IS 1) liefert über die Steckbrücke ST 9 einen Takt von 200 ms \pm 20% auf den TRAP-Eingang.

Der Interrupt-Eingang RST 7,5 des Prozessors führt über einen Inverter IS 2 (10) zur Steckerleiste ST 2. Dieser Eingang ist für die externe Daten-Schnittstelle vorgesehen. Da der Interrupt-Eingang INTR nicht wie alle anderen Interrupt-Eingänge maskierbar ist, besteht über IS 10 eine Verknüpfung der Leitung von ST 2 mit dem Signal SOD (1-bit-Ausgang von IS 3). Dadurch wird auch der INTR-Interrupt über den Prozessor maskierbar.

Alle Interrupt-Eingänge und der HOLD-Eingang von IS 3 sind über invertierende Glieder auf ST 2 geführt. Der HOLD-Eingang von IS 3 ist zusätzlich mit der Signatureanalyse-Brücke ST 13 verknüpft, damit sich der Prozessor im Signatureanalyse-Betrieb nicht im HOLD-Zustand befinden kann.

Die Diode GR 2 wirkt bei Überspannung infolge eines Defekts der Stromversorgung als Kurzschluß und schützt damit die nachfolgenden Schaltungen.