

```
1
2  PROCESS(CLK_100,clrn)
3
4  BEGIN
5      IF(clrn = '0') THEN
6          --zählt von 127 bis 0 im BCLK
7          takt wenn ENABLE RX DAT freigegeben
8          COUNT_INT <= 0;
9
10         ELSIF falling_edge(CLK_100) THEN      ----MASTER CLOCK
11         ausserhalb der Architecture arbeite ich mit rissing_edge(clk_100)
12         --hier mit
13         falling edge, weil in bild x
14         IF(EN_TX_DAT='1')
15
16         IF((BCLK_EN='1') AND (EN_TX_DAT='1'))THEN      --BIT
17         CLK Enable = 12.5 Mhz
18
19         -- Das
20         EN_TX_DAT Enable wird 1, wenn Initialisierung abgeschlossen ist
21         (kommt von ausen)
22
23         COUNT_INT <= COUNT_INT - 1;
24
25         END IF;
26
27     END IF;
28 END PROCESS ;
29
30 -----
31 -----
32
33 PROCESS(CLK_100,clrn)
34
35 BEGIN
36
37     IF(clrn='0')THEN
38
39
40
41     LRCOUT_int <= '0';
42
43     ELSIF(falling_EDGE(CLK_100))THEN
44
45     IF((BCLK_EN='1') AND (EN_TX_DAT='1'))THEN
46
47
48         IF (COUNT_INT = 64) THEN      -- LRCout toggelt bei
49         0 und 64 wie im BILD_3
50
51         LRCOUT_int <= not(LRCOUT_int);
52
53         ELSIF (COUNT_INT = 0) THEN
54
55         LRCOUT_int <= not(LRCOUT_int);
```

```
53
54         END IF;
55
56     END IF;
57
58
59 END IF;
60
61
62 END PROCESS;
63
64 LRCOUT <= LRCOUT_int;
65 -----
66
67 PROCESS(CLK_100,clrn)
68
69 BEGIN
70
71 IF(clrn = '0')THEN
72
73
74 Q_SIG_int<= (others =>'0');
75 I_SIG_int<= (others =>'0');
76
77 ELSIF(rising_EDGE(CLK_100))THEN
78
79     IF((BCLK_EN='1') AND (EN_TX_DAT='1'))THEN
80
81         IF(LRCOUT_int='1')THEN
82             -----MUXER
83             I_SIG_int <= I_SIG_int(I_SIG_int'high-1 downto 0)&
DOUT;             --linker Kanal
84
85
86             ELSIF(LRCOUT_int='0')THEN
87
88
89             Q_SIG_int <= Q_SIG_int(Q_SIG_int'high-1 downto 0)&
DOUT;             --rechter Kanal
90
91
92
93
94         END IF;
95
96
97
98
99
100     END IF;
101
102 END IF;
103
104
105
106 END PROCESS;
107
108 -----
```

```
-----
109
110 PROCESS(CLK_100,clrn)
111 BEGIN
112 IF(clrn = '0')THEN
113
114 I_SIG_EX_int <=(others=>'0');
115 SIG_int<= (OTHERS=>'0');
116
117 ELSIF(falling_EDGE(CLK_100))THEN
118
119 IF((BCLK_EN='1') AND (EN_TX_DAT='1') )THEN
120
121 IF(COUNT_INT=96)THEN
122
123 I_SIG_OUT<=I_SIG_int;
124
125 ELSIF(COUNT_INT=32)THEN
126
127 Q_SIG_OUT<=Q_SIG_int;
128
129 END IF;
130
131 END IF;
132
133 END IF;
134
135 END PROCESS;
136
137
138
139 PROCESS(CLK_100)
140 BEGIN
141
142 IF(falling_EDGE(CLK_100))THEN
143
144 IF((BCLK_EN='1') AND (LRCOUT_EXTERN = '1' )THEN
145
146 I_SIG_TX<= I_SIG_out;
147 Q_SIG_TX<= Q_SIG_out;
148
149 END IF;
150 END PROCESS;
151
152
```