



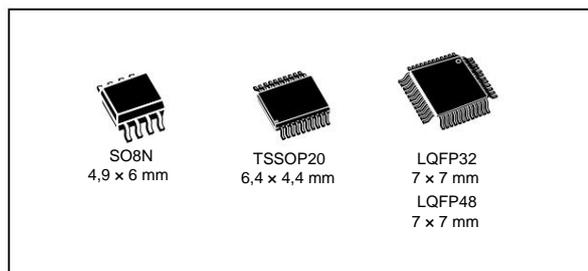
STM32G030x6/x8

Arm® Cortex®-M0+ 32-Bit-MCU, bis zu 64 KB Flash, 8 KB RAM,
2x USART, Timer, ADC, Komm.-I/Fs, 2,0–3,6V

Datenblatt - Produktionsdaten

Merkmale

- Kern: Arm® 32-Bit Cortex®-M0+ CPU, Frequenz bis zu 64 MHz
- -40°C bis 85°C Betriebstemperatur
- Erinnerungen
 - Bis zu 64 KBytes Flash-Speicher mit Schutz
 - 8 KBytes SRAM mit HW-Paritätsprüfung
- CRC-Berechnungseinheit
- Reset und Energieverwaltung
 - Spannungsbereich: 2,0 V bis 3,6 V
 - Ein-/Ausschalt-Reset (POR/PDR)
 - Energiesparmodi: Schlaf, Stopp, Standby
 - VBAT- Versorgung für RTC und Backup-Register
- Uhrzeitverwaltung
 - 4 bis 48 MHz Quarzoszillator
 - 32 kHz Quarzoszillator mit Kalibrierung
 - Interner 16 MHz RC mit PLL-Option
 - Interner 32 kHz RC-Oszillator ($\pm 5\%$)
- Bis zu 44 schnelle I/Os
 - Alles auf externe Interrupt-Vektoren abbildbar
 - Mehrere 5 V-tolerante I/Os
- 5-Kanal-DMA-Controller mit flexibler Zuordnung
- 12-Bit, 0,4 μ s ADC (bis zu 16 ext. Kanäle)
 - Bis zu 16 Bit mit Hardware-Oversampling
 - Konvertierungsbereich: 0 bis 3,6V
- 8 Timer: 16-Bit für erweiterte Motorsteuerung, vier 16-Bit Allzweck-Timer, zwei Watchdogs, SysTick-Zeitgeber
- Kalender-RTC mit Alarm und regelmäßigem Aufwachen aus Stop/Standby



- Kommunikationsschnittstellen
 - Zwei I2C-Bus-Schnittstellen unterstützen Fast-Mode Plus (1 Mbit/s) mit zusätzlicher Stromsenke, eine unterstützt SMBus/PMBus und Wakeup aus dem Stop-Modus
 - Zwei USARTs mit synchronem Master/Slave-SPI; einer unterstützt ISO7816-Schnittstelle, LIN, IrDA-Fähigkeit, automatische Baudratenerkennung und Wakeup-Funktion
 - Zwei SPIs (32 Mbit/s) mit 4 bis 16 Bit programmierbarer Bitframe, einer davon gemultiplext mit I2S- Schnittstelle
- Entwicklungsunterstützung: Serial Wire Debug (SWD)
- Alle Verpackungen ECOPACK 2 konform

Tabelle 1. Geräteübersicht

Referenz	Teilenummer
STM32G030x6	STM32G030C6, STM32G030F6, STM32G030J6, STM32G030K6
STM32G030x8	STM32G030C8, STM32G030K8

Inhalt

1	Einleitung . . .	
2	Beschreibung . . .	
3	Funktionsübersicht	12
	3.1 Arm® Cortex®-M0+ -Kern mit MPU	12
	3.2 Speicherschutzzeitung	12
	3.3 Eingebetteter Flash-Speicher	12
	3.4 Eingebettetes SRAM	13
	3.5 Startmodi	14
	3.6 Berechnungseinheit für zyklische Redundanzprüfung (CRC)	14
	3.7 Stromversorgungsmanagement	14
	3.7.1 Stromversorgungsschemata	14
	3.7.2 Stromversorgungsüberwachung	15
	3.7.3 Spannungsregler	15
	3.7.4 Energiesparmodi	16
	3.7.5 Reset-Modus	16
	3.7.6 VBAT-Betrieb	17
	3.8 Verbindung der Peripheriegeräte	17
	3.9 Uhren und Start	18
	3.10 Allgemeine Ein-/Ausgänge (GPIOs)	19
	3.11 Direkter Speicherzugriffscontroller (DMA)	19
	3.12 DMA-Anforderungsmultiplexer (DMAMUX)	20
	3.13 Unterbrechungen und Ereignisse	20
	3.13.1 Verschachtelter vektorisierter Interrupt-Controller (NVIC)	20
	3.13.2 Erweiterter Interrupt-/Event-Controller (EXTI)	21
	3.14 Analog-Digital-Umsetzer (ADC)	21
	3.14.1 Temperatursensor	22
	3.14.2 Interne Spannungsreferenz (VREFINT)	22
	3.14.3 VBAT -Batteriespannungsüberwachung	22
	3.15 Timer und Watchdogs	22
	3.15.1 Erweiterter Steuerungstimer (TIM1)	23
	3.15.2 Allzweck-Timer (TIM3, 14, 16, 17)	23

3.15.3 Unabhängiger Watchdog (IWDG)	24
3.15.4 Systemfenster-Watchdog (WWDG)	24
3.15.5 SysTick-Timer	24
3.16 Echtzeituhr (RTC), Manipulationsschutz- (TAMP) und Backup-Register	24
3.17 Schnittstelle zwischen integrierten Schaltkreisen (I2C)	25
3.18 Universeller synchroner/asynchroner Empfänger-Sender (USART)	26
3.19 Serielle Peripherieschnittstelle (SPI)	27
3.20 Entwicklungsunterstützung	28
3.20.1 Serieller Kabel-Debug-Port (SW-DP)	28
4 Pinbelegung, Pinbeschreibung und alternative Funktionen	29
5 Elektrische Eigenschaften	
5.1 Parameterbedingungen	38
5.1.1 Minimal- und Maximalwerte	38
5.1.2 Typische Werte	38
5.1.3 Typische Kurven	38
5.1.4 Ladekondensator	38
5.1.5 Pin-Eingangsspannung	38
5.1.6 Stromversorgungsschema	39
5.1.7 Messung der Stromaufnahme	39
5.2 Absolute Höchstwerte	40
5.3 Betriebsbedingungen	41
5.3.1 Allgemeine Betriebsbedingungen	41
5.3.2 Betriebsbedingungen beim Einschalten / Ausschalten	41
5.3.3 Eigenschaften des eingebetteten Reset- und Leistungssteuerungsblocks	41
5.3.4 Eingebettete Spannungsreferenz	42
5.3.5 Versorgungseigenschaften	43
5.3.6 Aufwachzeit aus dem Energiesparmodus und Spannungsskalierung Übergangszeiten	49
5.3.7 Eigenschaften externer Taktquellen	50
5.3.8 Eigenschaften der internen Taktquelle	54
5.3.9 PLL-Eigenschaften	55
5.3.10 Eigenschaften des Flash-Speichers	56
5.3.11 EMV-Eigenschaften	57
5.3.12 Elektrische Empfindlichkeitseigenschaften	58
5.3.13 Kennlinien der E/A-Stromeinspeisung	59

5.3.14 E/A-Port-Eigenschaften	60
5.3.15 NRST-Eingangseigenschaften	65
5.3.16 Analoger Schaltverstärker	66
5.3.17 Eigenschaften des Analog-Digital-Umsetzers	66
5.3.18 Eigenschaften des Temperatursensors	71
5.3.19 VBAT -Überwachungseigenschaften	71
5.3.20 Timer-Eigenschaften	71
5.3.21 Eigenschaften von Kommunikationsschnittstellen	72
6	Paketinformationen
6.1 SO8N-Paketinformationen	80
6.2 Informationen zum TSSOP20-Gehäuse	83
6.3 LQFP32-Paketinformationen	85
6.4 Informationen zum LQFP48-Gehäuse	88
6.5 Thermische Eigenschaften	91
6.5.1 Referenzdokument	91
7	Bestellinformationen
8	Revisionsverlauf

Tabellenverzeichnis

Tabelle 1.	Geräteübersicht	1
Tabelle 2.	Gerätfunktionen und Peripheriegeräteanzahl der STM32G030x6/x8-Familie.	10
Tabelle 3.	Zugriffstatus im Vergleich zum Ausleseschutzniveau und den Ausführungsmodi.	13
Tabelle 4.	Verbindung der Peripheriegeräte.	17
Tabelle 5.	Kalibrierungswerte des Temperatursensors.	22
Tabelle 6.	Interne Referenz-Kalibrierungswerte für die Spannung	22
Tabelle 7.	Vergleich der Timerfunktionen.	23
Tabelle 8.	I2C- Implementierung.	26
Tabelle 9.	USART-Implementierung	27
Tabelle 10.	SPI/I2S-Implementierung	28
Tabelle 11.	In Tabelle 12 verwendete Begriffe und Symbole	30
Tabelle 12.	Pinbelegung und Beschreibung	31
Tabelle 13.	Alternative Funktionszuordnung für Port A.	35
Tabelle 14.	Alternative Funktionszuordnung für Port B.	36
Tabelle 15.	Alternative Funktionszuordnung für Port C.	37
Tabelle 16.	Alternative Funktionszuordnung für Port D.	37
Tabelle 17.	Alternative Funktionszuordnung für Port F.	37
Tabelle 18.	Spannungseigenschaften	40
Tabelle 19.	Aktuelle Eigenschaften	40
Tabelle 20.	Thermische Eigenschaften.	40
Tabelle 21.	Allgemeine Betriebsbedingungen	41
Tabelle 22.	Betriebsbedingungen beim Einschalten / Ausschalten	41
Tabelle 23.	Eigenschaften des integrierten Reset- und Leistungssteuerungsblocks.	41
Tabelle 24.	Eingebettete interne Spannungsreferenz.	42
Tabelle 25.	Stromverbrauch im Run- und Low-Power-Run-Modus bei unterschiedlichen Chiptemperaturen.	44
Tabelle 26.	Stromverbrauch im Ruhemodus und im Energiesparmodus.	45
Tabelle 27.	Stromverbrauch im Stopp 0-Modus	45
Tabelle 28.	Stromverbrauch im Stopp 1-Modus	46
Tabelle 29.	Stromverbrauch im Standby-Modus.	46
Tabelle 30.	Stromverbrauch im VBAT-Modus.	46
Tabelle 31.	Stromverbrauch der Peripheriegeräte	48
Tabelle 32.	Aktivierungszeiten im Energiesparmodus	49
Tabelle 33.	Übergangszeiten im Reglermodus	50
Tabelle 34.	Eigenschaften externer Hochgeschwindigkeits-Benutzertaktgeber.	50
Tabelle 35.	Eigenschaften des externen Benutzertakts mit niedriger Geschwindigkeit.	51
Tabelle 36.	HSE-Oszillatoreigenschaften.	51
Tabelle 37.	LSE-Oszillatoreigenschaften (fLSE = 32,768 kHz)	53
Tabelle 38.	HSI16-Oszillatoreigenschaften.	54
Tabelle 39.	LSI-Oszillatoreigenschaften.	55
Tabelle 40.	PLL-Eigenschaften	55
Tabelle 41.	Flash-Speichereigenschaften	56
Tabelle 42.	Lebensdauer und Datenerhaltung des Flash-Speichers	56
Tabelle 43.	EMS-Eigenschaften	57
Tabelle 44.	EMI-Eigenschaften	58
Tabelle 45.	Absolute Maximalwerte für ESD	58
Tabelle 46.	Elektrische Empfindlichkeit.	59
Tabelle 47.	Anfälligkeit für I/O-Stromeinspeisung	59

Tabelle 48.	Statische E/A-Eigenschaften	60
Tabelle 49.	Eingangseigenschaften der FT_e-E/As.	61
Tabelle 50.	Ausgangsspannungseigenschaften.	63
Tabelle 51.	E/A-AC-Eigenschaften	63
Tabelle 52.	NRST-Pin-Eigenschaften.	65
Tabelle 53.	Eigenschaften des analogen Schaltverstärkers.	66
Tabelle 54.	ADC-Eigenschaften	66
Tabelle 55.	Maximaler ADC RAIN	68
Tabelle 56.	ADC-Genauigkeit.	69
Tabelle 57.	TS-Eigenschaften	71
Tabelle 58.	VBAT -Überwachungsmerkmale	71
Tabelle 59.	VBAT -Ladeeigenschaften	71
Tabelle 60.	TIMx-Eigenschaften	72
Tabelle 61.	Min./Max. Timeout-Zeitraum für IWDG bei 32 kHz LSI-Takt.	72
Tabelle 62.	Minimale I2CCLK-Frequenz.	73
Tabelle 63.	Eigenschaften des analogen I2C-Filters.	73
Tabelle 64.	SPI-Eigenschaften	74
Tabelle 65.	I2S -Eigenschaften.	76
Tabelle 66.	USART-Eigenschaften	78
Tabelle 67.	Mechanische Daten des SO8N-Pakets.	80
Tabelle 68.	Mechanische Daten des TSSOP20-Gehäuses.	83
Tabelle 69.	Mechanische Daten von LQFP32.	86
Tabelle 70.	Mechanische Daten von LQFP48.	88
Tabelle 71.	Thermische Eigenschaften des Pakets.	91
Tabelle 72.	Revisionsverlauf des Dokuments.	93

Abbildungsverzeichnis

Abbildung 1. Blockdiagramm	11
Abbildung 2. Übersicht über die Stromversorgung.	15
Abbildung 3. STM32G030CxT LQFP48-Pinbelegung.	29
Abbildung 4. STM32G030KxT LQFP32-Pinbelegung.	29
Abbildung 5. Pinbelegung des STM32G030Fx TSSOP20.	30
Abbildung 6. STM32G030Jx SO8N-Pinbelegung	30
Abbildung 7. Bedingungen für die Stiftbelastung.	38
Abbildung 8. Pin-Eingangsspannung.	38
Abbildung 9. Stromversorgungsschema.	39
Abbildung 10. Schema zur Messung des Stromverbrauchs.	39
Abbildung 11. VREFINT im Vergleich zur Temperatur.	43
Abbildung 12. AC-Zeitdiagramm für externe Hochgeschwindigkeits-Taktquelle.	50
Abbildung 13. AC-Zeitdiagramm für externe Taktquelle mit niedriger Geschwindigkeit.	51
Abbildung 14. Typische Anwendung mit einem 8-MHz-Quarz.	53
Abbildung 15. Typische Anwendung mit einem 32,768-kHz-Quarz.	54
Abbildung 16. E/A-Eingangseigenschaften	61
Abbildung 17. Stromeinspeisung in den FT_e-Eingang mit aktiver Diode.	62
Abbildung 18. Definition der I/O-AC-Eigenschaften(1)	65
Abbildung 19. Empfohlener NRST-Pin-Schutz.	66
Abbildung 20. ADC-Genauigkeitseigenschaften.	70
Abbildung 21. Typisches Anschlussdiagramm mit ADC.	70
Abbildung 22. SPI-Zeitdiagramm – Slave-Modus und CPHA = 0.	75
Abbildung 23. SPI-Zeitdiagramm – Slave-Modus und CPHA = 1.	75
Abbildung 24. SPI-Zeitdiagramm – Mastermodus.	76
Abbildung 25. I2S- Slave-Zeitdiagramm (Philips-Protokoll)	77
Abbildung 26. I2S- Master-Zeitdiagramm (Philips-Protokoll).	78
Abbildung 27. Überblick über das SO8N-Paket.	80
Abbildung 28. Empfohlener Platzbedarf des SO8N-Pakets.	81
Abbildung 29. Beispiel für die Kennzeichnung eines SO8N-Pakets.	82
Abbildung 30. Überblick über das TSSOP20-Gehäuse.	83
Abbildung 31. Grundfläche des TSSOP20-Gehäuses.	84
Abbildung 32. Beispiel für die Kennzeichnung eines TSSOP20-Gehäuses.	84
Abbildung 33. Überblick über das LQFP32-Paket.	85
Abbildung 34. Empfohlener Platzbedarf für das LQFP32-Paket.	86
Abbildung 35. Beispiel für die Markierung eines LQFP32-Pakets.	87
Abbildung 36. Überblick über das LQFP48-Paket.	88
Abbildung 37. Empfohlener Platzbedarf für das LQFP48-Paket.	89
Abbildung 38. Beispiel für die Markierung eines LQFP48-Pakets.	90

1 Einführung

Dieses Dokument enthält Informationen zu den Mikrocontrollern STM32G030x6/x8, wie etwa eine Beschreibung, einen Funktionsüberblick, Pinbelegung und -definition, elektrische Eigenschaften, Verpackung und Bestellcodes.

Informationen zur Speicherzuordnung und zu Steuerregistern sind Gegenstand des Referenzhandbuchs.

Informationen zum Arm®(a) Cortex®-M0+ -Kern sind auf der Website www.arm.com verfügbar.

arm

a. Arm ist eine eingetragene Marke von Arm Limited (oder seinen Tochtergesellschaften) in den USA und/oder anderswo.

2 Beschreibung

Die Mainstream-Mikrocontroller STM32G030x6/x8 basieren auf einem leistungsstarken Arm® Cortex®-M0+ 32-Bit-RISC-Kern, der mit einer Frequenz von bis zu 64 MHz arbeitet. Dank ihres hohen Integrationsgrads eignen sie sich für eine breite Palette von Anwendungen in den Bereichen Verbraucher, Industrie und Haushaltsgeräte und sind bereit für Lösungen für das Internet der Dinge (IoT).

Die Geräte enthalten eine Speicherschutteinheit (MPU), eingebettete Hochgeschwindigkeitsspeicher (8 KB SRAM und bis zu 64 KB Flash-Programmspeicher mit Lese- und Schreibschutz), DMA, eine umfangreiche Palette an Systemfunktionen, erweiterte I/Os und Peripheriegeräte. Die Geräte bieten Standardkommunikationsschnittstellen (zwei I2Cs, zwei SPIs / ein I2S und zwei USARTs), einen 12-Bit-ADC (2,5 MSps) mit bis zu 19 Kanälen, eine RTC mit geringem Stromverbrauch, einen erweiterten PWM-Steuerungstimer, vier allgemeine 16-Bit-Timer, zwei Watchdog-Timer und einen SysTick-Timer.

Die Geräte arbeiten bei Umgebungstemperaturen von -40 bis 85 °C und mit Versorgungsspannungen von 2,0 V bis 3,6 V. Ein optimierter dynamischer Verbrauch in Kombination mit einem umfassenden Satz von Energiesparmodi ermöglicht die Entwicklung von Anwendungen mit geringem Stromverbrauch.

Der direkte VBAT-Batterieeingang ermöglicht die Stromversorgung von RTC und Backup-Registern.

Die Geräte werden in Paketen mit 8 bis 48 Pins geliefert.

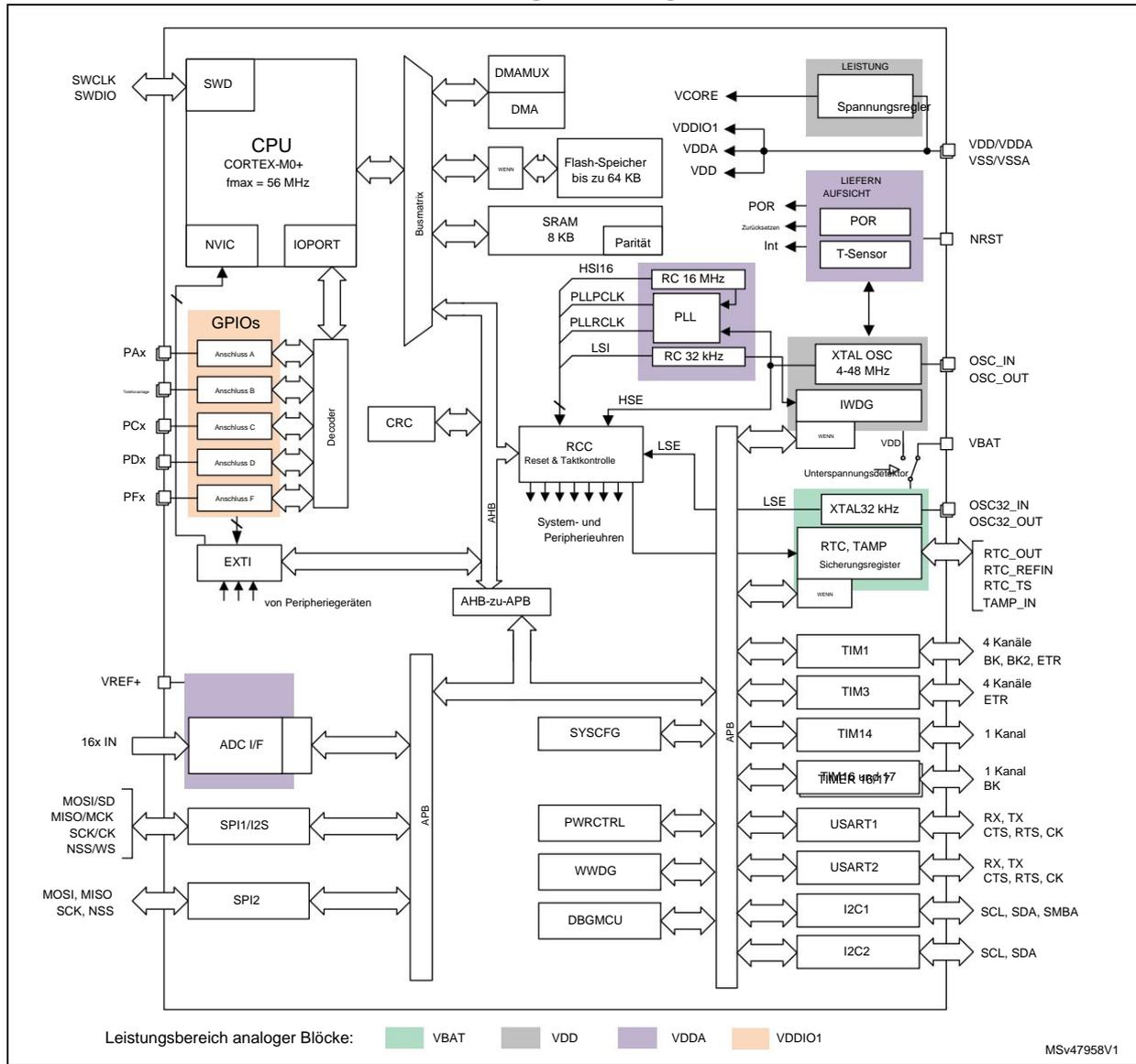
Tabelle 2. Gerätefunktionen und Anzahl der Peripheriegeräte der STM32G030x6/x8-Familie

Peripheriegeräte		STM32G030_					
		_J6	_F6	_K6	_K8	_C6	_C8
Flash-Speicher (Kbyte)		32	32	32	64	32	64
SRAM (Kbyte)		8 mit Parität					
Timer	Erweiterte Steuerung	1 (16 Bit)					
	Allgemeine Zwecke	4 (16 Bit)					
	SysTick	1					
	Wachhund	2					
Komm. Schnittstellen	SPI [I2S](1)	2 [1]					
	I2C	2					
	USART	2					
Echtzeituhr		Ja					
Manipulationsstifte		2					
Zufallszahlengenerator		NEIN					
AES		NEIN					
GPIOs		5	17	29		43	
Weck-Pins		3	4				
12-Bit-ADC-Kanäle (extern + intern)		5 + 2	14 + 2	16 + 2		16 + 3	
Interner Spannungsreferenzpuffer		NEIN					
Max. CPU-Frequenz		64 MHz					
Betriebsspannung		2,0 bis 3,6 V					
Betriebstemperatur(2)		Umgebung: -40 bis 85 °C Sperrschicht: -40 bis 105 °C					
Anzahl der Pins		8	20	32		48	

1. Die Zahlen in Klammern geben die Anzahl der als I2S- Schnittstelle konfigurierbaren SPI-Schnittstellen an .

2. Hängt vom Bestellcode ab. Weitere Einzelheiten finden Sie in [Abschnitt 7: Bestellinformationen](#) .

Abbildung 1. Blockdiagramm



3 Funktionsübersicht

3.1 Arm® Cortex®-M0+ -Kern mit MPU

Der Cortex-M0+ ist ein 32-Bit-Arm-Cortex-Prozessor der Einstiegsklasse, der für eine breite Palette eingebetteter Anwendungen entwickelt wurde. Er bietet Entwicklern erhebliche Vorteile, darunter:

- eine einfache Architektur, leicht zu erlernen und zu programmieren
 - extrem niedriger Stromverbrauch, energieeffizienter Betrieb
- hervorragende Codedichte
 - deterministisches, hochperformantes Interrupt-Handling
- Aufwärtskompatibilität mit Cortex-M-Prozessorfamilie
- Robuste Plattformesicherheit mit integrierter Memory Protection Unit (MPU).

Der Cortex-M0+-Prozessor basiert auf einem hoch flächen- und energieoptimierten 32-Bit-Kern mit einer zweistufigen Pipeline-Von-Neumann-Architektur. Der Prozessor bietet außergewöhnliche Energieeffizienz durch einen kleinen, aber leistungsstarken Befehlssatz und ein umfassend optimiertes Design und bietet High-End-Verarbeitungshardware einschließlich eines Single-Cycle-Multiplikators.

Der Cortex-M0+-Prozessor bietet die außergewöhnliche Leistung, die man von einer modernen 32-Bit-Architektur erwartet, mit einer höheren Codedichte als andere 8-Bit- und 16-Bit-Mikrocontroller.

Dank des eingebetteten Arm-Kerns sind die STM32G030x6/x8-Geräte mit Arm-Tools und -Software kompatibel.

Der Cortex-M0+ ist eng mit einem verschachtelten vektorisierten Interrupt-Controller (NVIC) gekoppelt, der in [Abschnitt 3.13.1 beschrieben wird](#).

3.2 Speicherschutzzeit

Die Memory Protection Unit (MPU) wird zum Verwalten der CPU-Zugriffe auf den Speicher verwendet, um zu verhindern, dass eine Aufgabe versehentlich den Speicher oder die Ressourcen beschädigt, die von einer anderen aktiven Aufgabe verwendet werden.

Die MPU ist besonders hilfreich für Anwendungen, bei denen kritischer oder zertifizierter Code vor Fehlverhalten anderer Aufgaben geschützt werden muss. Sie wird normalerweise von einem RTOS (Echtzeitbetriebssystem) verwaltet. Wenn ein Programm auf einen Speicherort zugreift, der von der MPU verboten ist, kann das RTOS dies erkennen und Maßnahmen ergreifen. In einer RTOS-Umgebung kann der Kernel die MPU-Bereichseinstellung basierend auf dem auszuführenden Prozess dynamisch aktualisieren.

Die MPU ist optional und kann für Anwendungen, die sie nicht benötigen, umgangen werden.

3.3 Eingebetteter Flash-Speicher

STM32G030x6/x8-Geräte verfügen über bis zu 64 KB eingebetteten Flash-Speicher zum Speichern von Code und Daten.

Dank Optionsbytes können flexible Schutzfunktionen konfiguriert werden:

- Ausleseschutz (RDP) zum Schutz des gesamten Speichers. Es stehen drei Stufen zur Verfügung:
 - Level 0: kein Ausleseschutz
 - Level 1: Speicherausleseschutz: Der Flash-Speicher kann nicht gelesen oder beschrieben werden, wenn entweder Debug-Funktionen angeschlossen sind, Booten im RAM oder Bootloader ausgewählt ist
 - Level 2: Chip-Ausleseschutz: Debug-Funktionen (Cortex-M0+ serielles Kabel), Booten im RAM und Bootloader-Auswahl sind deaktiviert. Diese Auswahl ist irreversibel.

Tabelle 3. Zugriffsstatus im Vergleich zum Ausleseschutzniveau und den Ausführungsmodi

Bereich	Schutzstufe	Benutzerausführung			Debuggen, Booten vom RAM oder Booten vom Systemspeicher (Loader)		
		Lesen	Schreiben	Löschen	Lesen	Schreiben	Löschen
Benutzer Erinnerung	1	Ja	Ja	Ja	NEIN	NEIN	NEIN
	2	Ja	Ja	Ja	N / A	N / A	N / A
Systemspeicher	1	Ja	NEIN	NEIN	Ja	NEIN	NEIN
	2	Ja	NEIN	NEIN	N / A	N / A	N / A
Optionsbytes	1	Ja	Ja	Ja	Ja	Ja	Ja
	2	Ja	NEIN	NEIN	N / A	N / A	N / A
Sicherungsregister	1	Ja	Ja	Nicht zutreffend(1)	NEIN	NEIN	Nicht zutreffend(1)
	2	Ja	Ja	N / A	N / A	N / A	N / A

1. Wird beim RDP-Wechsel von Level 1 auf Level 0 gelöscht.

- Schreibschutz (WRP): Der geschützte Bereich ist gegen Löschen und Programmieren geschützt. Pro Bank sind zwei Bereiche mit 2-KByte-Granularität wählbar.

Der gesamte nichtflüchtige Speicher enthält die Fehlerkorrekturcode-Funktion (ECC), die Folgendes unterstützt:

- Einzelfehlererkennung und -korrektur
- Doppelte Fehlererkennung
- Auslesen der ECC-Fail-Adresse aus dem ECC-Register

3.4 Eingebetteter SRAM

STM32G030x6/x8-Geräte verfügen über 8 KBytes eingebettetes SRAM mit Parität. Durch die Hardware-Paritätsprüfung können Speicherdatenfehler erkannt werden, was zur Erhöhung der Funktionssicherheit von Anwendungen beiträgt.

Der Speicher kann mit der CPU-Taktgeschwindigkeit gelesen und geschrieben werden, ohne Wartezustände.

3.5 Startmodi

Beim Start werden der Boot-Pin und das Boot-Selector-Optionsbit verwendet, um eine der drei Boot-Optionen auszuwählen:

- Booten vom Benutzer-Flash-Speicher
- Booten vom Systemspeicher
- Booten vom eingebetteten SRAM

Der Boot-Pin wird mit einem Standard-GPIO geteilt und kann über das Boot-Selector-Optionsbit aktiviert werden. Der Bootloader befindet sich im Systemspeicher. Er verwaltet die Neuprogrammierung des Flash-Speichers über eine der folgenden Schnittstellen:

- USART an den Pins PA9/PA10 oder PA2/PA3
- I²C-Bus an den Pins PB6/PB7 bzw. PB10/PB11

3.6 Berechnungseinheit für zyklische Redundanzprüfung (CRC)

Die CRC-Berechnungseinheit (CRC = Cyclic Redundancy Check) wird verwendet, um einen CRC-Code unter Verwendung eines konfigurierbaren Generatorpolynomwerts und einer konfigurierbaren Größe zu erhalten.

CRC-basierte Techniken werden unter anderem zur Überprüfung der Datenübertragung oder der Speicherintegrität eingesetzt. Im Rahmen der Norm EN/IEC 60335-1 bieten sie eine Möglichkeit, die Integrität des Flash-Speichers zu überprüfen. Die CRC-Berechnungseinheit hilft dabei, während der Laufzeit eine Signatur der Software zu berechnen, die mit einer Referenzsignatur verglichen wird, die zur Verbindungszeit generiert und an einem bestimmten Speicherplatz gespeichert wird.

3.7 Stromversorgungsmanagement

3.7.1 Stromversorgungssysteme

Die STM32G030x6/x8-Geräte benötigen eine Betriebsversorgungsspannung (VDD) von 2,0 V bis 3,6 V. Für bestimmte Peripheriegeräte stehen verschiedene Stromversorgungen zur Verfügung:

- VDD = 2,0 bis 3,6 V

VDD ist die externe Stromversorgung für den internen Regler und die Systemanaloge wie Reset, Energieverwaltung und interne Uhren. Sie wird extern über den VDD/VDDA-Pin bereitgestellt.

- VDDA = 2,0 V bis 3,6 V

VDDA ist die analoge Stromversorgung für den A/D-Wandler. Der VDDA- Spannungspegel ist identisch mit der VDD- Spannung, da er extern über den VDD/VDDA-Pin bereitgestellt wird.

- VDDIO1 = VDD

VDDIO1 ist die Stromversorgung für die E/As. Der Spannungspegel von VDDIO1 ist identisch mit der VDD- Spannung, da er extern über den VDD/VDDA-Pin bereitgestellt wird.

- VBAT = 1,55 V bis 3,6 V. VBAT ist die Stromversorgung (über einen Netzschalter) für RTC, TAMP, langsamer externer 32,768-kHz-Oszillator und Backup-Register, wenn VDD nicht vorhanden ist. VBAT wird extern über den VBAT-Pin bereitgestellt. Wenn dieser Pin auf dem Gehäuse nicht verfügbar ist, wird das VBAT-Bondpad intern mit dem VDD/VDDA-Pin verbunden.

- VREF+ ist die analoge Peripherieeingangsreferenzspannung. Wenn VDDA < 2 V, muss VREF+ gleich VDDA sein. Wenn VDDA ≥ 2 V, muss VREF+ zwischen 2 V und VDDA liegen. Es kann geerdet werden, wenn die analogen Peripheriegeräte, die VREF+ verwenden, nicht aktiv sind.

3.7.4 Energiesparmodi

Standardmäßig befindet sich der Mikrocontroller nach einem System- oder Stromreset im Run-Modus. Der Benutzer kann einen der unten beschriebenen Energiesparmodi auswählen:

- **Schlafmodus**

Im Sleep-Modus wird nur die CPU gestoppt. Alle Peripheriegeräte arbeiten weiter und können die CPU wecken, wenn ein Interrupt/Ereignis auftritt.

- **Energiesparmodus**

Dieser Modus wird mit VCORE erreicht, das vom Low-Power-Regler bereitgestellt wird, um den Betriebsstrom des Reglers zu minimieren. Der Code kann vom SRAM oder vom Flash ausgeführt werden, und die CPU-Frequenz ist auf 2 MHz begrenzt. Die Peripheriegeräte mit unabhängiger Uhr können von HSI16 getaktet werden.

- **Energiesparmodus**

In diesen Modus wird aus dem Energiesparmodus gewechselt. Nur die CPU-Taktung wird angehalten. Wenn das Aufwecken durch ein Ereignis oder eine Unterbrechung ausgelöst wird, kehrt das System in den Energiesparmodus zurück.

- **Stopp 0 und Stopp 1 Modi**

In den Modi Stop 0 und Stop 1 erreicht das Gerät den niedrigsten Stromverbrauch, während der SRAM- und Registerinhalt erhalten bleibt. Alle Takte in der VCORE- Domäne werden gestoppt. Die PLL sowie der HSI16 RC-Oszillator und der HSE-Quarzoszillator werden deaktiviert. Der LSE bzw. LSI laufen weiter. Die RTC kann aktiv bleiben (Stoppmodus mit RTC, Stoppmodus ohne RTC).

Einige Peripheriegeräte mit Wakeup-Funktion können den HSI16 RC im Stop-Modus aktivieren, um Takt für die Verarbeitung des Wakeup-Ereignisses zu erhalten. Der Hauptregler bleibt im Stop-0-Modus aktiv, während er im Stop-1-Modus ausgeschaltet ist.

- **Standby- Modus**

Der Standby-Modus wird verwendet, um den niedrigsten Stromverbrauch zu erreichen, wobei POR/PDR in diesem Modus immer aktiv ist. Der Hauptregler wird ausgeschaltet, um VCORE herunterzufahren. Domäne. Der Low-Power-Regler wird ausgeschaltet. Die PLL sowie der HSI16 RC-Oszillator und der HSE-Quarzoszillator werden ebenfalls ausgeschaltet. Die RTC kann aktiv bleiben (Standby-Modus mit RTC, Standby-Modus ohne RTC).

Für jeden E/A kann die Software bestimmen, ob im Standby-Modus ein Pull-Up, ein Pull-Down oder kein Widerstand auf diesen E/A angewendet werden soll.

Beim Wechsel in den Standby-Modus gehen die Registerinhalte verloren, mit Ausnahme der Register in der RTC-Domäne und der Standby-Schaltung.

Das Gerät verlässt den Standby-Modus bei einem externen Reset-Ereignis (NRST-Pin), einem IWDG-Reset-Ereignis, einem Weck-Ereignis (WKUP-Pin, konfigurierbare steigende oder fallende Flanke) oder einem RTC-Ereignis (Alarm, periodisches Wecken, Zeitstempel, Manipulation) oder wenn ein Fehler auf LSE erkannt wird (CSS auf LSE).

3.7.5 Reset-Modus

Während und nach dem Beenden des Resets werden die Schmitt-Trigger der E/As deaktiviert, um den Stromverbrauch zu senken. Darüber hinaus wird der integrierte Pull-Up-Widerstand am NRST-Pin deaktiviert, wenn die Reset-Quelle intern ist.

3.7.6 VBAT-Betrieb

Der VBAT- Stromversorgungsbereich verbraucht sehr wenig Energie und umfasst RTC, LSE-Oszillator und Backup-Register.

Im VBAT-Modus wird die RTC-Domäne vom VBAT-Pin versorgt. Die Stromquelle kann beispielsweise eine externe Batterie oder ein externer Superkondensator sein. Es stehen zwei Pins zur Manipulationserkennung zur Verfügung.

Die RTC-Domäne kann auch vom VDD/VDDA-Pin versorgt werden.

Mittels eines eingebauten Schalters ermöglicht ein interner Spannungswächter das automatische Umschalten der RTC-Domänenversorgung zwischen VDD und Spannung vom VBAT-Pin, um sicherzustellen, dass die Versorgungsspannung der RTC-Domäne (VBAT) innerhalb gültiger Betriebsbedingungen bleibt. Wenn beide Spannungen gültig sind, wird die RTC-Domäne vom VDD/VDDA-Pin versorgt.

Eine interne Schaltung zum Laden der Batterie am VBAT-Pin kann aktiviert werden, wenn die VDD- Spannung innerhalb eines gültigen Bereichs liegt.

Notiz: Externe Interrupts und RTC-Alarmergebnisse können nicht dazu führen, dass der Mikrocontroller den VBAT-Modus verlässt, da sich in diesem Modus VDD nicht innerhalb eines gültigen Bereichs befindet.

3.8 Verbindung der Peripheriegeräte

Mehrere Peripheriegeräte sind direkt miteinander verbunden. Dies ermöglicht eine autonome Kommunikation zwischen Peripheriegeräten und spart CPU-Ressourcen und somit Stromverbrauch. Darüber hinaus ermöglichen diese Hardwareverbindungen eine schnelle und vorhersehbare Latenz.

Abhängig von den Peripheriegeräten können diese Verbindungen im Run-, Sleep- und Stop-Modus betrieben werden.

Tabelle 4. Verbindung der Peripheriegeräte

Verbindungsquelle	Verbinden Ziel	Verbindungsaktion	Laufen	Schlafen	Stoppen
			Standby	Energiesparmodus	
TIMx	TIMx	Timer-Synchronisierung oder Verkettung	Y	Y	-
	ADCx	Konvertierungsauslöser	Y	Y	-
	DMA	Auslöser für die Übertragung von Speicher zu Speicher	Y	Y	-
ADCx	TIM1	Durch analogen Watchdog ausgelöster Timer	Y	Y	-
Echtzeituhr	TIM16	Timer-Eingangskanal von RTC-Ereignissen	YY		-
Alle Taktquellen (intern und extern)	TIM14,16,17	Taktquelle als Eingangskanal für RC-Messung und Trimmung	JJ -		
CSS RAM (Paritätsfehler) Flash-Speicher (ECC-Fehler)	TIM1,16,17	Timer-Pause	JJ		-

Tabelle 4. Verbindung der Peripheriegeräte (Fortsetzung)

Verbindungsquelle	Interconnect-Ziel	Verbindungsaktion	Laufen	Schlafen	Stoppen
			Betrieb	Energiesparmodus	
CPU (schwerer Fehler)	TIM1,16,17	Timer-Pause	Y	-	-
GPIO	TIMx	Externer Trigger	JJ		-
	ADC	Konvertierung externer Trigger	Y	Y	-

3.9 Uhren und Start

Der Taktcontroller verteilt die Takte, die von verschiedenen Oszillatoren kommen, an den Kern und die Peripheriegeräte. Er verwaltet außerdem die Taktsteuerung für Energiesparmodi und sorgt für Taktstabilität. Er bietet:

- **Takt-Prescaler:** Um den besten Kompromiss zwischen Geschwindigkeit und Stromverbrauch zu erzielen, kann die Taktfrequenz für die CPU und Peripheriegeräte durch einen programmierbaren Prescaler angepasst werden.
- **Sicheres Taktwechseln:** Taktquellen können im Run-Modus über ein Konfigurationsregister sicher im laufenden Betrieb geändert werden.
- **Taktmanagement:** Um den Stromverbrauch zu senken, kann der Taktcontroller die Taktung des Kerns, einzelner Peripheriegeräte oder des Speichers.
- **Systemtaktquelle:** Drei verschiedene Quellen können den SYSCLK-Systemtakt liefern:
 - 4-48 MHz Hochgeschwindigkeitsoszillator mit externem Kristall- oder Keramikresonator (HSE). Er kann den Takt an die System-PLL liefern. Der HSE kann auch im Bypass-Modus für einen externen Takt konfiguriert werden.
 - 16 MHz High-Speed interner RC-Oszillator (HSI16), per Software trimmbar. Er kann Taktversorgung für die System-PLL.
 - System-PLL mit maximaler Ausgangsfrequenz von 64 MHz. Es kann mit HSE oder HSI16-Uhren.
- **Hilfstalkquelle:** zwei Taktquellen mit extrem niedrigem Stromverbrauch für die Echtzeituhr (RTC):
 - 32,768 kHz Low-Speed-Oszillator mit externem Quarz (LSE), der vier Antriebsmodi unterstützt. Der LSE kann auch im Bypass-Modus für die Verwendung einer externen Uhr konfiguriert werden.
 - 32 kHz langsamer interner RC-Oszillator (LSI) mit einer Genauigkeit von $\pm 5\%$, der auch zum Takten eines unabhängigen Watchdogs verwendet wird.
- **Periphere Taktquellen:** mehrere Peripheriegeräte (I2S, USARTs, I2Cs, ADC) haben ihre eigene Uhr, unabhängig von der Systemuhr.
- **Clock Security System (CSS):** Bei einem Ausfall der HSE-Uhr wird die Systemuhr automatisch auf HSI16 umgeschaltet und, sofern aktiviert, ein Software-Interrupt generiert. LSE

Taktfehler können ebenfalls erkannt werden und einen Interrupt erzeugen. Die CCS-Funktion kann per Software aktiviert werden.

- **Taktausgang: – MCO**

(Mikrocontroller-Taktausgang) stellt einen der internen Taktgeber für die externe Verwendung durch die Anwendung bereit

- **LSCO (Low Speed Clock Output)** bietet LSI oder LSE in allen Low-Power-Modi (außer im VBAT-Betrieb).

Mehrere Vorteile ermöglichen der Anwendung, AHB- und APB-Domänentaktfrequenzen von maximal 64 MHz zu konfigurieren.

3.10 Allgemeine Ein-/Ausgänge (GPIOs)

Jeder der GPIO-Pins kann per Software als Ausgang (Push-Pull oder Open-Drain), als Eingang (mit oder ohne Pull-Up oder Pull-Down) oder als Peripheral Alternate Function (AF) konfiguriert werden. Die meisten GPIO-Pins werden mit speziellen digitalen oder analogen Funktionen gemeinsam genutzt.

Durch eine bestimmte Sequenz kann diese spezielle Funktionskonfiguration der I/Os gesperrt werden, um beispielsweise ein unbeabsichtigtes Schreiben in I/O-Steuerregister zu verhindern.

3.11 Direkter Speicherzugriffskontroller (DMA)

Der Direct Memory Access (DMA)-Controller ist ein Busmaster und Systemperipheriegerät mit Single-AHB-Architektur.

Mit 5 Kanälen führt es Datenübertragungen zwischen speicherabgebildeten Peripheriegeräten und/oder Speichern durch, um die CPU zu entlasten.

Jeder Kanal ist für die Verwaltung von Speicherzugriffsanforderungen von einem oder mehreren Peripheriegeräten vorgesehen. Die Einheit enthält einen Arbitrer zur Handhabung der Priorität zwischen DMA-Anforderungen.

Hauptmerkmale des DMA-Controllers:

- Einzel-AHB-Master
- Datenübertragungen von Peripheriegerät zu Speicher, von Speicher zu Peripheriegerät, von Speicher zu Speicher und von Peripheriegerät zu Peripheriegerät
- Zugriff als Quelle und Ziel auf On-Chip-Speichergeräte wie Flash Speicher, SRAM sowie AHB- und APB-Peripheriegeräte
- Alle DMA-Kanäle unabhängig konfigurierbar:
 - Jeder Kanal ist entweder mit einem DMA-Anforderungssignal von einem Peripheriegerät oder mit einem Softwaretrigger bei Speicher-zu-Speicher-Übertragungen verknüpft. Diese Konfiguration erfolgt per Software.
 - Die Priorität der Anfragen ist per Software programmierbar (vier Stufen pro Kanal: sehr hoch, hoch, mittel, niedrig) und per Hardware bei Gleichheit (z. B. Anfrage an Kanal 1 hat Vorrang vor Anfrage an Kanal 2).
 - Die Übertragungsgrößen von Quelle und Ziel sind unabhängig (Byte, Halbwort, Wort), wodurch Packen und Entpacken emuliert wird. Quell- und Zieladressen müssen auf die Datengröße abgestimmt sein.
 - Unterstützung von Übertragungen von/zu Peripheriegeräten zum/vom Speicher mit Ringpuffer Management

– Programmierbare Anzahl der zu übertragenden Daten: 0 bis 216 - 1

- Generierung einer Interrupt-Anforderung pro Kanal. Jede Interrupt-Anforderung geht auf eines der drei DMA-Ereignisse zurück: Übertragung abgeschlossen, Übertragung halb oder Übertragungsfehler.

3.12 DMA-Anforderungsmultiplexer (DMAMUX)

Der DMAMUX-Anforderungsmultiplexer ermöglicht das Routing einer DMA-Anforderungsleitung zwischen den Peripheriegeräten und dem DMA-Controller. Jeder Kanal wählt eine eindeutige DMA-Anforderungsleitung aus, bedingungslos oder synchron mit Ereignissen von seinen DMAMUX-Synchronisierungseingängen. DMAMUX kann auch als DMA-Anforderungsgenerator aus programmierbaren Ereignissen seiner Eingangstriggersignale verwendet werden.

3.13 Interrupts und Ereignisse

Das Gerät verwaltet flexibel Ereignisse, die Unterbrechungen der linearen Programmausführung verursachen, sogenannte Ausnahmen. Der Cortex-M0+-Prozessorkern, ein verschachtelter vektorisierter Interrupt-Controller (NVIC) und ein erweiterter Interrupt-/Ereignis-Controller (EXTI) sind die Komponenten, die zur Behandlung der Ausnahmen beitragen. Ausnahmen umfassen kerninterne Ereignisse wie beispielsweise eine Division durch Null und kernexterne Ereignisse wie Änderungen des logischen Pegels auf physischen Leitungen. Ausnahmen führen zu einer Unterbrechung des Programmflusses, der Ausführung einer Interrupt-Service-Routine (ISR) und der anschließenden Wiederaufnahme des ursprünglichen Programmflusses.

Der Prozessorkontext (Inhalt des Programmzeigers und der Statusregister) wird bei einer Programmunterbrechung gestapelt und bei Wiederaufnahme des Programms durch die Hardware entstapelt. Dadurch wird das Stapeln und Entstapeln des Kontexts in den Interrupt-Service-Routinen (ISRs) durch die Software vermieden, was Zeit, Code und Energie spart. Die Möglichkeit, mehrere Lade- und Speichervorgänge abubrechen und neu zu starten, erhöht die Reaktionsfähigkeit des Geräts bei der Verarbeitung von Ausnahmen erheblich.

3.13.1 Verschachtelter vektorisierter Interrupt-Controller (NVIC)

Der konfigurierbare Nested Vectored Interrupt Controller ist eng mit dem Kern gekoppelt. Er verarbeitet physische Leitungsereignisse, die mit einem nicht maskierbaren Interrupt (NMI) und maskierbaren Interrupts sowie Cortex-M0+-Ausnahmen verbunden sind. Er bietet flexibles Prioritätsmanagement.

Die enge Kopplung des Prozessorkerns mit NVIC reduziert die Latenz zwischen Interrupt-Ereignissen und dem Start der entsprechenden Interrupt-Service-Routinen (ISRs) erheblich. Die ISR-Vektoren sind in einer Vektortabelle aufgelistet, die im NVIC unter einer Basisadresse gespeichert ist. Die Vektoradresse einer auszuführenden ISR wird hardwareseitig aus der Basisadresse der Vektortabelle und der als Offset verwendeten ISR-Ordnungsnummer erstellt.

Wenn ein Interrupt-Ereignis mit höherer Priorität eintritt, während ein kurz zuvor aufgetretenes Interrupt-Ereignis mit niedrigerer Priorität auf seine Bearbeitung wartet, wird das später eintreffende Interrupt-Ereignis mit höherer Priorität zuerst bearbeitet. Eine weitere Optimierung wird als Tail-Chaining bezeichnet. Bei der Rückkehr von einem ISR mit höherer Priorität und dem anschließenden Start eines ausstehenden ISR mit niedrigerer Priorität wird das unnötige Entstapeln und Stapeln des Prozessorkontexts übersprungen. Dies reduziert die Latenz und trägt zur Energieeffizienz bei.

Funktionen des NVIC:

- Interrupt-Verarbeitung mit geringer Latenz
- 4 Prioritätsstufen
- Handhabung eines nicht maskierbaren Interrupts (NMI)
- Handhabung von 32 maskierbaren Interrupt-Leitungen
- Handhabung von 10 Cortex-M0+ Ausnahmen
 - Später eintreffende Interrupts mit höherer Priorität werden zuerst verarbeitet
 - Schwanzverkettung
 - Interrupt-Vektorabruf durch Hardware

3.13.2 Erweiterter Interrupt-/Event-Controller (EXTI)

Der erweiterte Interrupt-/Ereignis-Controller sorgt für mehr Flexibilität bei der Handhabung physischer Leitungsereignisse und ermöglicht die Identifizierung von Weckereignissen beim Aufwachen des Prozessors aus dem Stopmodus.

Der EXTI-Controller verfügt über eine Reihe von Kanälen, von denen einige über die Fähigkeit zur Erkennung steigender, fallender oder steigender und fallender Flanken verfügen. An diese Kanäle können beliebige GPIOs und einige Peripheriesignale angeschlossen werden.

Die Kanäle können unabhängig voneinander maskiert werden.

Der EXTI-Controller kann Impulse erfassen, die kürzer sind als die interne Taktperiode.

Ein Register im EXTI-Controller speichert jedes Ereignis, auch im Stopmodus. Dadurch kann die Software den Ursprung des Aufwachens des Prozessors aus dem Stopmodus oder den GPIO und das Randereignis identifizieren, das einen Interrupt verursacht hat.

3.14 Analog-Digital-Umsetzer (ADC)

In den STM32G030x6/x8-Geräten ist ein nativer 12-Bit-Analog-Digital-Wandler integriert. Dieser kann durch Hardware-Oversampling auf eine Auflösung von 16 Bit erweitert werden. Der ADC verfügt über bis zu 16 externe Kanäle und 3 interne Kanäle (Temperatursensor, Spannungsreferenz, VBAT) .

Überwachung). Es führt Konvertierungen im Single-Shot- oder Scan-Modus durch. Im Scan-Modus wird eine automatische Konvertierung für eine ausgewählte Gruppe analoger Eingänge durchgeführt.

Die ADC-Frequenz ist unabhängig von der CPU-Frequenz, sodass auch bei niedriger CPU-Geschwindigkeit eine maximale Abtastrate von ~2 MSps möglich ist. Eine automatische Abschaltfunktion garantiert, dass der ADC außer während der aktiven Konvertierungsphase ausgeschaltet ist.

Der ADC kann vom DMA-Controller bedient werden. Er kann im gesamten VDD- Versorgungsbereich betrieben werden.

Der ADC verfügt über einen Hardware-Oversampler mit bis zu 256 Samples, wodurch die Auflösung auf 16 Bit verbessert wird (siehe AN2668).

Eine analoge Watchdog-Funktion ermöglicht eine sehr genaue Überwachung der umgewandelten Spannung eines, einiger oder aller gescannten Kanäle. Ein Interrupt wird generiert, wenn die umgewandelte Spannung außerhalb der programmierten Schwellenwerte liegt.

Die von den Allzweck-Timern (TIMx) generierten Ereignisse können intern mit den ADC-Starttriggern verbunden werden, um der Anwendung die Synchronisierung von A/D-Konvertierungen mit Timern zu ermöglichen.

3.14.1 Temperatursensor

Der Temperatursensor (TS) erzeugt eine Spannung V_{TS} , die linear mit der Temperatur variiert.

Der Temperatursensor ist intern mit einem ADC-Eingang verbunden, um die Sensorausgangsspannung in einen digitalen Wert umzuwandeln.

Der Sensor bietet eine gute Linearität, muss jedoch kalibriert werden, um eine gute Gesamtgenauigkeit der Temperaturmessung zu erreichen. Da der Offset des Temperatursensors aufgrund von Prozessschwankungen von Teil zu Teil unterschiedlich sein kann, ist der unkalibrierte interne Temperatursensor nur für relative Temperaturmessungen geeignet.

Um die Genauigkeit des Temperatursensors zu verbessern, wird jedes Teil von ST im Werk einzeln kalibriert. Die resultierenden Kalibrierungsdaten werden in den Engineering-Bytes des Teils gespeichert und sind im Nur-Lese-Modus zugänglich.

Tabelle 5. Kalibrierungswerte des Temperatursensors

Name des Kalibrierungswertes	Beschreibung	Speicheradresse
TS_CAL1	TS ADC-Rohdaten erfasst bei einer Temperatur von 30 °C (± 5 °C), $V_{DDA} = V_{REF+} = 3,0$ V (± 10 mV)	0x1FFF 75A8 - 0x1FFF 75A9

3.14.2 Interne Spannungsreferenz (VREFINT)

Die interne Spannungsreferenz (VREFINT) bietet eine stabile (Bandlücken-)Spannungsausgabe für den ADC. VREFINT ist intern mit einem ADC-Eingang verbunden. Die VREFINT- Spannung wird von ST während des Produktionstests für jedes Teil individuell und präzise gemessen und in den Engineering-Bytes des Teils gespeichert. Sie ist im Nur-Lese-Modus zugänglich.

Tabelle 6. Interne Referenzkalibrierungswerte für die Spannung

Name des Kalibrierungswertes	Beschreibung	Speicheradresse
VREFINT	Rohdaten erfasst bei einer Temperatur von 30 °C (± 5 °C), $V_{DDA} = V_{REF+} = 3,0$ V (± 10 mV)	0x1FFF 75AA - 0x1FFF 75AB

3.14.3 VBAT Batteriespannungsüberwachung

Diese eingebettete Hardwarefunktion ermöglicht es der Anwendung, die VBAT- Batteriespannung über einen internen ADC-Eingang zu messen. Da die VBAT- Spannung höher als V_{DDA} und damit außerhalb des ADC-Eingangsbereichs sein kann, ist der VBAT-Pin intern mit einem Brückenteiler durch drei verbunden. Infolgedessen beträgt der konvertierte digitale Wert ein Drittel der VBAT- Spannung.

3.15 Timer und Watchdogs

Das Gerät enthält einen Timer mit erweiterter Steuerung, vier Allzweck-Timer, zwei Watchdog-Timer und einen SysTick-Timer. [Tabelle 7](#) vergleicht die Funktionen der Timer mit erweiterter Steuerung, Allzweck-Timer und Basis-Timer.

Tabelle 7. Vergleich der Timerfunktionen

Zeitgebertyp	Zeitgeber	Zählerauflösung	Zählertyp	Maximale Betriebsfrequenz	Prescaler-Faktor	DMA-Anforderungsgenerierung	Erfassen/Kanäle vergleichen	Komplementäre Ausgänge
Fortschrittlich-Kontrolle	TIM1	16 Bit	Rauf, runter, rauf/runter	64 MHz	Ganzzahl von 1 bis 216	Ja	4	3
Allgemein-Zweck	TIM3	16 Bit	Rauf, runter, rauf/runter	64 MHz	Ganzzahl von 1 bis 216	Ja	4	-
	TIM14	16 Bit	Hoch	64 MHz	Ganzzahl von 1 bis 216	NEIN	1	-
	TIM16 TIM17	16 Bit	Hoch	64 MHz	Ganzzahl von 1 bis 216	Ja	1	1

3.15.1 Erweiterter Steuerungstimer (TIM1)

Der Timer mit erweiterter Steuerung kann als dreiphasige PWM-Einheit angesehen werden, die auf 6 Kanäle gemultiplext ist. Er verfügt über komplementäre PWM-Ausgänge mit programmierbaren eingefügten Totzeiten. Er kann auch als vollständiger Allzweck-Timer angesehen werden. Die vier unabhängigen Kanäle können für Folgendes verwendet werden:

- Eingabeerfassung
- Ausgabevergleich
- PWM-Ausgang (Flanken- oder mittig ausgerichtete Modi) mit voller Modulationsfähigkeit (0-100 %)
- Ein-Puls-Modus-Ausgang

Im Debug-Modus kann der Timer-Zähler der erweiterten Steuerung eingefroren und die PWM-Ausgänge deaktiviert werden, um alle von diesen Ausgängen gesteuerten Netzschalter auszuschalten.

Viele Funktionen werden mit denen der universellen TIMx-Timer (beschrieben in [Abschnitt 3.15.2](#)) gemeinsam genutzt, da sie dieselbe Architektur verwenden. Daher können die Timer mit erweiterter Steuerung über die Timer-Link-Funktion zur Synchronisierung oder Ereignisverkettung mit den TIMx-Timern zusammenarbeiten.

3.15.2 Allzweck-Timer (TIM3, 14, 16, 17)

Im Gerät sind vier synchronisierbare Allzwecktimer integriert (Vergleich siehe [Tabelle 7](#)). Jeder Allzwecktimer kann zur Generierung von PWM-Ausgängen oder als einfache Zeitbasis verwendet werden.

- TIM3

Dies ist ein voll ausgestatteter Allzweck-Timer mit 16-Bit-Aufwärts-/Abwärtszähler mit automatischem Nachladen und 16-Bit-Vorteiler.

Es verfügt über vier unabhängige Kanäle für Eingangserfassung/Ausgangsvergleich, PWM oder Einzelimpulsmodus-Ausgang. Es kann in Kombination mit anderen Allzweck-Timern über die Timer-Link-Funktion zur Synchronisierung oder Ereignisverkettung betrieben werden. Es kann unabhängige

DMA-Anforderung und Unterstützung für Quadratur-Encoder. Der Zähler kann im Debug-Modus eingefroren werden.

- TIM14

Dieser Timer basiert auf einem 16-Bit-Auto-Reload-Upcounter und einem 16-Bit-Prescaler. Er verfügt über einen Kanal für Eingangserfassung/Ausgangsvergleich, PWM-Ausgang oder Ausgang im Ein-Puls-Modus. Sein Zähler kann im Debug-Modus eingefroren werden.

- TIM16, TIM17

Dies sind Allzweck-Timer mit folgenden Funktionen:

- 16-Bit-Auto-Reload-Upcounter und 16-Bit-Prescaler
- 1 Kanal und 1 Komplementärkanal

Alle Kanäle können für Eingangserfassung/Ausgangsvergleich, PWM oder Einzelimpulsmodus-Ausgang verwendet werden. Die Timer können über die Timer-Link-Funktion zur Synchronisierung oder Ereignisverkettung zusammen betrieben werden. Sie können unabhängige DMA-Anfragen generieren. Ihre Zähler können im Debug-Modus eingefroren werden.

3.15.3 Unabhängige Kontrollstelle (IWDG)

Der unabhängige Watchdog basiert auf einem 8-Bit-Prescaler und einem 12-Bit-Downcounter mit benutzerdefiniertem Refresh-Fenster. Er wird von einem unabhängigen internen 32-kHz-RC (LSI) getaktet. Unabhängig von der Hauptuhr kann es im Stopp- und Standby-Modus betrieben werden. Es kann entweder als Watchdog verwendet werden, um das Gerät bei einem Problem zurückzusetzen, oder als freilaufender Timer für die Timeout-Verwaltung von Anwendungen. Es ist über die Optionsbytes hardware- oder softwarekonfigurierbar. Sein Zähler kann im Debug-Modus eingefroren werden.

3.15.4 Systemfenster-Watchdog (WWDG)

Der Fenster-Watchdog basiert auf einem 7-Bit-Abwärtszähler, der freilaufend eingestellt werden kann. Er kann als Watchdog verwendet werden, um das Gerät zurückzusetzen, wenn ein Problem auftritt. Er wird von der Systemuhr getaktet. Er verfügt über eine Frühwarn-Interrupt-Funktion. Sein Zähler kann im Debug-Modus eingefroren werden.

3.15.5 SysTick-Zeitgeber

Dieser Timer ist für Echtzeitbetriebssysteme vorgesehen, kann jedoch auch als Standard-Abwärtszähler verwendet werden.

Funktionen des SysTick-Timers:

- 24-Bit-Abwärtszähler
- Autoreload-Funktion
- Maskierbare System-Interrupt-Generierung, wenn der Zähler 0 erreicht
- Programmierbare Taktquelle

3.16 Echtzeituhr (RTC), Manipulationsschutz (TAMP) und Backup-Register

Das Gerät enthält eine RTC und fünf 32-Bit-Backup-Register, die sich im RTC-Bereich des Siliziumchips befinden.

Die Möglichkeiten zur Stromversorgung der RTC-Domäne werden in [Abschnitt 3.7.6 beschrieben](#).

Der RTC ist ein unabhängiger BCD-Timer/Zähler.

Funktionen des RTC:

- Kalender mit Sekundenbruchteilen, Sekunden, Minuten, Stunden (12- oder 24-Stunden-Format), Wochentag, Datum, Monat, Jahr, im BCD-Format (binär codierte Dezimalzahlen)
- Automatische Korrektur für den 28., 29. (Schaltjahr), 30. und 31. Tag des Monats
- Programmierbarer Alarm
- On-the-fly Korrektur von 1 bis 32767 RTC-Taktimpulsen, nutzbar für die Synchronisation mit einer Hauptuhr
- Referenzuhrerkennung - eine präzisere zweite Quelluhr (50 oder 60 Hz) kann verwendet werden, um die Kalendergenauigkeit zu verbessern
- Digitale Kalibrierungsschaltung mit 0,95 ppm Auflösung, um Quarzkristallungenauigkeiten auszugleichen

- Zwei Manipulationsschutz-Erkennungsstifte mit programmierbarem Filter
- Zeitstempelfunktion zum Speichern eines Kalender-Schnapschusses, ausgelöst durch ein Ereignis am Zeitstempel-PIN oder ein Manipulationsereignis oder durch Umschalten in den VBAT-Modus
- 17-Bit-Auto-Reload-Wakeup-Timer (WUT) für periodische Ereignisse, mit programmierbarer Auflösung und Periode
- Mehrere Taktquellen und Referenzen:
 - Ein externer 32,768 kHz-Quarz (LSE)
 - Ein externer Resonator oder Oszillator (LSE)
 - Der interne Low-Power-RC-Oszillator (LSI, mit typischer Frequenz von 32 kHz)
 - Der High-Speed External Clock (HSE) geteilt durch 32

Bei Taktung durch LSE arbeitet die RTC im VBAT-Modus und in allen Energiesparmodi. Bei Taktung durch LSI arbeitet die RTC nicht im VBAT-Modus, jedoch in den Energiesparmodi.

Alle RTC-Ereignisse (Alarm, WakeUp-Timer, Zeitstempel oder Manipulation) können einen Interrupt generieren und das Gerät aus dem Energiesparmodus wecken.

Die Backup-Register ermöglichen die Speicherung von 20 Bytes an Benutzeranwendungsdaten im Falle eines VDD Fehler, wenn eine gültige Backup-Versorgungsspannung am VBAT-Pin bereitgestellt wird. Sie sind nicht betroffen durch den System-Reset, den Strom-Reset und das Aufwachen des Geräts aus dem Standby-Modus.

3.17 Schnittstelle zwischen integrierten Schaltkreisen (I2C)

Das Gerät verfügt über zwei eingebettete I2C-Peripheriegeräte. Die Funktionen finden Sie in [Tabelle 8](#).

Die I2C-Busschnittstelle übernimmt die Kommunikation zwischen dem Mikrocontroller und dem seriellen I2C -Bus. Sie steuert die gesamte I2C-Bus-spezifische Sequenzierung, das Protokoll, die Arbitrierung und das Timing.

Funktionen des I2C-Peripheriegeräts:

- I2C-Bus-Spezifikation und Benutzerhandbuch Rev. 5 Kompatibilität:
 - Slave- und Master-Modus, Multimaster-Fähigkeit
 - Standard-Modus (Sm), mit einer Bitrate bis zu 100 kbit/s
 - Fast-Mode (Fm), mit einer Bitrate von bis zu 400 kbit/s –
 - Fast-Mode Plus (Fm+), mit einer Bitrate von bis zu 1 Mbit/s und zusätzlichen Ausgangs-E/As
 - 7-Bit- und 10-Bit-Adressierungsmodus, mehrere 7-Bit-Slave-Adressen
 - Programmierbare Setup- und Haltezeiten
 - Uhrdehnung
- Kompatibilität mit SMBus-Spezifikation Rev. 3.0:
 - Hardware-PEC-Generierung (Packet Error Checking) und Überprüfung mit ACK Kontrolle
 - Befehls- und Datenbestätigungskontrolle
 - Unterstützung für Address Resolution Protocol (ARP)
 - Host- und Geräteunterstützung
 - SMBus-Alarm
 - Timeouts und Leerlauferkennung
- Kompatibilität mit PMBus rev. 1.3-Standard
- Unabhängige Uhr: eine Auswahl unabhängiger Taktquellen, die es ermöglicht, die I2C-Kommunikationsgeschwindigkeit unabhängig von der PCLK-Neuprogrammierung zu machen
- Aufwachen aus dem Stoppmodus bei Adressübereinstimmung
- Programmierbare analoge und digitale Rauschfilter
- 1-Byte-Puffer mit DMA-Fähigkeit

Tabelle 8. I2C- Implementierung

I2C-Funktionen(1)	I2C1	I2C2
Standardmodus (bis zu 100 kbit/s)	X	X
Schneller Modus (bis zu 400 kbit/s)	X	X
Fast Mode Plus (bis zu 1 Mbit/s) mit zusätzlichen Ausgangs-Laufwerk-E/As	X	X
Programmierbare analoge und digitale Rauschfilter	X	X
SMBus/PMBus-Hardwareunterstützung	X	-
Unabhängige Uhr	X	-
Aufwachen aus dem Stoppmodus bei Adressübereinstimmung	X	-

1. X: unterstützt

3.18 Universeller synchroner/asynchroner Empfänger-Sender (USART)

Das Gerät enthält universelle synchrone/asynchrone Empfänger/Sender, die mit Geschwindigkeiten von bis zu 8 Mbit/s kommunizieren.

Sie bieten Hardware-Management der CTS-, RTS- und RS485 DE-Signale, Multiprozessor-Kommunikationsmodus, Master-Synchronkommunikation und Single-Wire

Halbduplex-Kommunikationsmodus. Einige unterstützen auch SmartCard-Kommunikation (ISO 7816), IrDA SIR ENDEC, LIN-Master/Slave-Fähigkeit und automatische Baudratenfunktion und verfügen über eine von der CPU-Uhr unabhängige Taktomäne, die es ihnen ermöglicht, die MCU aus dem Stopmodus zu wecken. Die Weckereignisse aus dem Stopmodus sind programmierbar und können sein:

- Startbiterkennung
- alle empfangenen Datenrahmen
- ein speziell programmierter Datenrahmen

Alle USART-Schnittstellen können vom DMA-Controller bedient werden.

Tabelle 9. USART-Implementierung

USART-Modi/Funktionen(1)	USART1	USART2
Hardware-Flusskontrolle für Modem	X	X
Kontinuierliche Kommunikation mittels DMA	X	X
Multiprozessorkommunikation	X	X
Synchroner Modus	X	X
Smartcard-Modus	X	-
Eindraht-Halbduplex-Kommunikation	X	X
IrDA SIR ENDEC-Block	X	-
LIN-Modus	X	-
Dual Clock Domain und Wakeup aus dem Stopmodus	X	-
Timeout-Interrupt des Empfängers	X	-
Modbus-Kommunikation	X	-
Automatische Baudratenerkennung	X	-
Treiber aktivieren	X	X

1. X: unterstützt

3.19 Serielle Peripherieschnittstelle (SPI)

Das Gerät enthält zwei SPIs, die im Master- und Slave-Modus mit bis zu 32 Mbit/s laufen. Es unterstützt Halbduplex-, Vollduplex- und Simplex-Kommunikation. Ein 3-Bit-Prescaler bietet acht Mastermodus-Frequenzen. Die Frame-Größe ist von 4 Bit bis 16 Bit konfigurierbar. Die SPI-Peripheriegeräte unterstützen den NSS-Pulsmodus, den TI-Modus und die Hardware-CRC-Berechnung.

Die SPI-Peripheriegeräte können vom DMA-Controller bedient werden.

Der I2S- Schnittstellenmodus des SPI-Peripheriegeräts (sofern unterstützt, siehe folgende Tabelle) unterstützt vier verschiedene Audiostandards und kann als Master oder Slave im Halbduplex-Kommunikationsmodus betrieben werden. Es kann so konfiguriert werden, dass 16 und 24 oder 32 Bit mit 16-Bit- oder 32-Bit-Datenauflösung übertragen und durch ein bestimmtes Signal synchronisiert werden. Die Audio-Abtastfrequenz von 8 kHz bis 192 kHz kann durch einen programmierbaren 8-Bit-Linear-Prescaler eingestellt werden. Beim Betrieb im Mastermodus kann es einen Takt für eine externe Audiokomponente mit der 256-fachen Abtastfrequenz ausgeben.

Tabelle 10. SPI/I2S-Implementierung

SPI-Funktionen(1)	SPI1	SPI2
Hardware-CRC-Berechnung	X	X
Rx/Tx-FIFO	X	X
NSS-Pulsmodus	X	X
I 2S-Modus	X	-
TI-Modus	X	X

1. X = unterstützt.

3.20 Entwicklungsunterstützung

3.20.1 Serieller Kabel-Debug-Anschluss (SW-DP)

Eine Arm SW-DP-Schnittstelle steht zur Verfügung, um den Anschluss eines seriellen Kabel-Debugging-Tools an die MCU zu ermöglichen.

Abbildung 5. STM32G030Fx TSSOP20-Pinbelegung

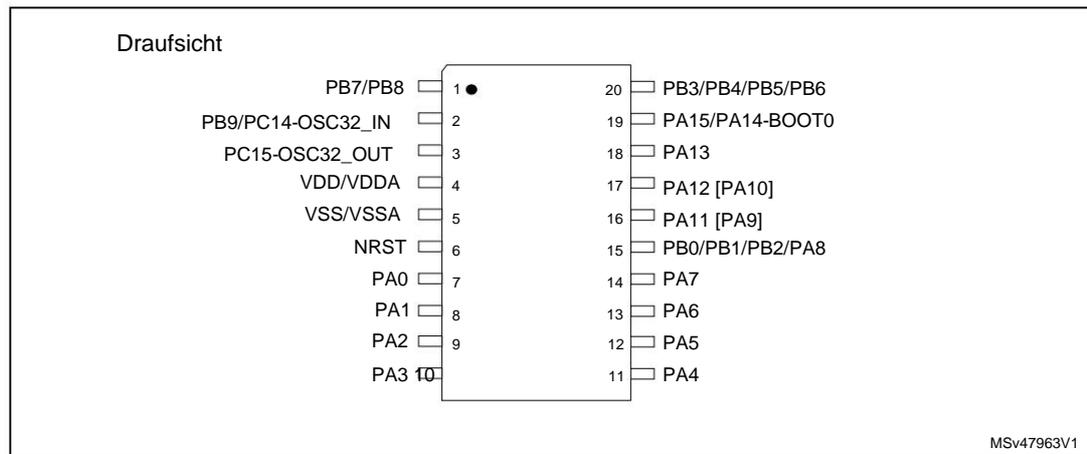
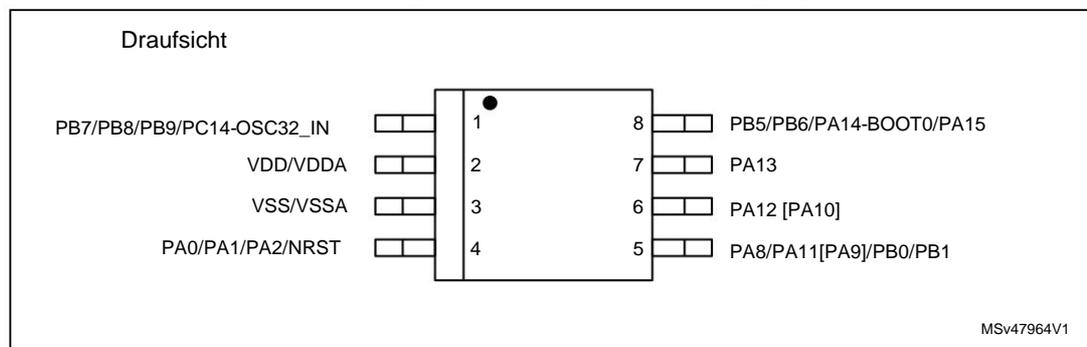


Abbildung 6. STM32G030Jx SO8N-Pinbelegung

Tabelle 11. In [Tabelle 12](#) verwendete Begriffe und Symbole

Spalte	Symbol	Definition
Pinname		Der Klemmenname entspricht seiner Standardfunktion beim Zurücksetzen, sofern in Klammern unter dem Pin-Namen nichts anderes angegeben ist.
Pin-Typ	S	Versorgungsstift
	.	Nur-Eingangs-Pin
	E/A	Eingangs-/Ausgangspin
I/O-Struktur	FT	5 V-tolerante E/A
	RST	Bidirektionaler Reset-Pin mit eingebettetem schwachen Pull-Up-Widerstand
	Optionen für FT I/Os	
	_F	I/O, Fm+ fähig
	_A	I/O, mit analoger Schaltfunktion
	_e	I/O, mit schaltbarer Diode zu VDDIOx
Notiz		Beim Zurücksetzen werden alle E/A als analoge Eingänge eingestellt, sofern nicht anders angegeben.

Tabelle 11. In [Tabelle 12](#) verwendete Begriffe und Symbole (Fortsetzung)

Spalte		Symbol	Definition
Pin-Funktionen	Alternative Funktionen		Über GPIOx_AFR-Register ausgewählte Funktionen
	Zusätzliche Funktionen		Direkt über Peripherieregister anwählbare/aktivierbare Funktionen

Tabelle 12. Pinbelegung und Beschreibung

Stift				Pinname (Funktion nach Reset)	Pin- I/O	Notiz	Wechseln Funktionen	Zusätzlich Funktionen
	SO8N							
		TSSOP20						
			LQFP32					
			QFP48					
-	-	-	1	PC13	E/A-FT (1)(2)		TIM1_BK	TAMP_IN1, RTC_TS, RTC_OUT1, WKUP2
---	2			PC14- OSC32_IN (PC14)	E/A-FT (1)(2)		TIM1_BK2	OSC32_IN
122	-			PC14- OSC32_IN (PC14)	E/A-FT (1)(2)		TIM1_BK2	OSC32_IN, OSC_IN
-333				PC15- OSC32_OUT (PC15)	E/A-FT (1)(2)		OSC32_EN, OSC_EN	OSC32_OUT
-	-	-	4	VBAT	S	-	-	VBAT
-	-	-	5	VREF+	S	-	-	-
2	4	4	6	VDD/VDDA S		-	-	-
3	5	5	7	VSS/VSSA S		-	-	-
---	3			PF0-OSC_IN (PF0)	E/A-FT	-	TIM14_CH1	OSC_IN
---	9			PF1- OSC_OUT (PF1)	E/A-FT	-	OSC_DE	OSC_OUT
4	6	6	10	NRST	E/A-FT	-	-	NRST
4	7	7	11	PA0	E/A-FT_a	(3)	SPI2_SCK, USART2_CTS,	ADC_IN0, TAMP_IN2, WKUP1
4	8	8	12	PA1	E/A-FT_ea (3)		SPI1_SCK/I2S1_CK, USART2_RTS_DE_CK, I2C1_SMBA, EVENTOUT	ADC_IN1

Tabelle 12. Pinbelegung und Beschreibung (Fortsetzung)

Stift				Pinname (Funktion nach Reset)	Pin- I/	Notiz	Wechseln Funktionen	Zusätzlich Funktionen
4	9	13		PA2	E/A FT_a	(3)	SPI1_MOSI/I2S1_SD, USART2_TX,	ADC_IN2, WKUP4, LSCO
-	10	10	14	PA3	E/A FT_ea -		SPI2_MISO, USART2_RX, <small>VERANSTALTUNGSAusGANG</small>	ADC_IN3
-	-	-	15	PA4	E/A FT_a	-	SPI1_NSS/I2S1_WS, SPI2_MOSI, TIM14_CH1, <small>VERANSTALTUNGSAusGANG</small>	ADC_IN4, RTC_OUT2
-	11	11	-	PA4	E/A FT_a	-	SPI1_NSS/I2S1_WS, SPI2_MOSI, TIM14_CH1, <small>VERANSTALTUNGSAusGANG</small>	ADC_IN4, TAMP_IN1, RTC_TS, RTC_OUT1, WKUP2
-	12	12	16	PA5	E/A FT_ea -		SPI1_SCK/I2S1_CK, <small>VERANSTALTUNGSAusGANG</small>	ADC_IN5
-	13	13	17	PA6	E/A FT_ea -		SPI1_MISO/I2S1_MCK, TIM3_CH1, TIM1_BK, TIM16_CH1	ADC_IN6
-	14	14	18	PA7	E/A FT_a	-	SPI1_MOSI/I2S1_SD, TIM3_CH2, TIM1_CH1N, TIM14_CH1, TIM17_CH1	ADC_IN7
5	15	15	19	PB0	E/A FT_ea -		SPI1_NSS/I2S1_WS, TIM3_CH3, TIM1_CH2N	ADC_IN8
5	15	16	20	PB1	E/A FT_ea -		TIM14_CH1, TIM3_CH4, TIM1_CH3N, EREIGNISAUSGANG	ADC_IN9
-	15	17	21	PB2	E/A FT_ea -		SPI2_MISO, EVENTOUT	ADC_IN10
-	-	-	22	PB10	E/A FT_fa	-	SPI2_SCK, I2C2_SCL	ADC_IN11
-	-	-	23	PB11	E/A FT_fa	-	SPI2_MOSI, I2C2_SDA	ADC_IN15
-	-	-	24	PB12	E/A FT_a	-	SPI2_NSS, TIM1_BK, <small>VERANSTALTUNGSAusGANG</small>	ADC_IN16
-	-	-	25	PB13	E/A FT_f	-	SPI2_SCK, TIM1_CH1N, I2C2_SCL, EVENTOUT	-
-	-	-	26	PB14	E/A FT_f	-	SPI2_MISO, TIM1_CH2N, I2C2_SDA, EVENTOUT	-
-	-	-	27	PB15	E/A FT	-	SPI2_MOSI, TIM1_CH3N, <small>VERANSTALTUNGSAusGANG</small>	RTC_REFIN
5	15	18	28	PA8	E/A FT	-	MCO, SPI2_NSS, TIM1_CH1, <small>VERANSTALTUNGSAusGANG</small>	-

Tabelle 12. Pinbelegung und Beschreibung (Fortsetzung)

Stift				Pinname (Funktion nach Reset)	Pin- I/	Notiz	Wechseln Funktionen	Zusätzlich Funktionen
-	-	19	29	PA9	E/A FT_f	-	MCO, USART1_TX, TIM1_CH2, SPI2_MISO, I2C1_SCL, EVENTOUT	-
-	-	20	30	PC6	E/A FT	-	TIM3_CH1	-
-	-	-	31	PC7	E/A FT	-	TIM3_CH2	-
-	-	21	32	PA10	E/A FT_f	-	SPI2_MOSI, USART1_RX, TIM1_CH3, TIM17_BK, I2C1_SDA, EVENTOUT	-
-	-	-	33	PA11 [PA9]	E/A FT_f	(4)	SPI1_MISO/I2S1_MCK, USART1_CTS, TIM1_CH4, TIM1_BK2, I2C2_SCL	-
5	16	22	-	PA11 [PA9]	E/A FT_fa	(4)	SPI1_MISO/I2S1_MCK, USART1_CTS, TIM1_CH4, TIM1_BK2, I2C2_SCL	ADC_IN15
-	-	-	34	PA12 [PA10]	E/A	FT_f (4)	SPI1_MOSI/I2S1_SD, USART1_RTS_DE_CK, TIM1_ETR, I2S_CKIN, I2C2_SDA	-
6	17	23	-	PA12 [PA10]	E/A FT_fa	(4)	SPI1_MOSI/I2S1_SD, USART1_RTS_DE_CK, TIM1_ETR, I2S_CKIN, I2C2_SDA	ADC_IN16
7	18	24	35	PA13	E/A FT_ea (5)	SWDIO, IR_OUT, EVENTOUT		ADC_IN17
8	19	25	36	PA14-BOOT0	E/A FT_a	(5)	SWCLK, USART2_TX, VERANSTALTUNGS-AUSGANG	ADC_IN18, BOOT0
8	19	26	37	PA15	E/A FT	-	SPI1_NSS/I2S1_WS, USART2_RX, EVENTOUT	-
-	-	-	38	PD0	E/A FT	-	EVENTOUT, SPI2_NSS, TIM16_CH1	-
-	-	-	39	PD1	E/A FT	-	EVENTOUT, SPI2_SCK, TIM17_CH1	-
-	-	-	40	PD2	E/A FT	-	TIM3_ETR, TIM1_CH1N	-
-	-	-	41	PD3	E/A FT	-	USART2_CTS, SPI2_MISO, TIM1_CH2N	-



Tabelle 13. Alternative Funktionszuordnung für Port A

Hafen	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0	SPI2_SCK	USART2_CTS	-	-	-	-	-	-
PA1	SPI1_SCK/ I2S1_CK	USART2_RTS _DECK	-	-	-	-	I2C1_SMBA	VERANSTALTUNGSAusGANG
PA2	SPI1_MOSI/ I2S1_SD	USART2_TX	-	-	-	-	-	-
PA3	SPI2_MISO	USART2_RX	-	-	-	-	-	VERANSTALTUNGSAusGANG
PA4	SPI1_NSS/ I2S1_WS	SPI2_MOSI	-	-	TIM14_CH1	-	-	VERANSTALTUNGSAusGANG
PA5	SPI1_SCK/ I2S1_CK	-	-	-	-	-	-	VERANSTALTUNGSAusGANG
PA6	SPI1_MISO/ I2S1_MCK	TIM3_CH1	TIM1_BKIN	-	-	TIM16_CH1	-	-
PA7	SPI1_MOSI/ I2S1_SD	TIM3_CH2	TIM1_CH1N	-	TIM14_CH1	TIM17_CH1	-	-
PA8	MCO	SPI2_NSS	TIM1_CH1	-	-	-	-	VERANSTALTUNGSAusGANG
PA9	MCO	USART1_TX	TIM1_CH2	-	SPI2_MISO	-	I2C1_SCL	VERANSTALTUNGSAusGANG
PA10	SPI2_MOSI	USART1_RX	TIM1_CH3	-	-	TIM17_BKIN	I2C1_SDA	VERANSTALTUNGSAusGANG
PA11	SPI1_MISO/ I2S1_MCK	USART1_CTS	TIM1_CH4	-	-	TIM1_BKIN2	I2C2_SCL	-
PA12	SPI1_MOSI/ I2S1_SD	USART1_RTS _DECK	TIM1_ETR	-	-	I2S_CKIN	I2C2_SDA	-
PA13	SWDIO	IR_OUT	-	-	-	-	-	VERANSTALTUNGSAusGANG
PA14	SWCLK	USART2_TX	-	-	-	-	-	VERANSTALTUNGSAusGANG
PA15	SPI1_NSS/ I2S1_WS	USART2_RX	-	-	-	-	-	VERANSTALTUNGSAusGANG

Tabelle 14. Alternative Funktionszuordnung für Port B

Hafen	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PB0	SPI1_NSS/ I2S1_WS	TIM3_CH3	TIM1_CH2N	-	-	-	-	-
PB1	TIM14_CH1	TIM3_CH4	TIM1_CH3N	-	-	-	-	VERANSTALTUNGSAusGANG
PB2	-	SPI2_MISO	-	-	-	-	-	VERANSTALTUNGSAusGANG
PB3	SPI1_SCK/ I2S1_CK	TIM1_CH2	-	-	USART1_RTS _DECK	-	-	VERANSTALTUNGSAusGANG
PB4	SPI1_MISO/ I2S1_MCK	TIM3_CH1	-	-	USART1_CTS	TIM17_BKIN	-	VERANSTALTUNGSAusGANG
PB5	SPI1_MOSI/ I2S1_SD	TIM3_CH2	TIM16_BKIN	-	-	-	I2C1_SMBA	-
PB6	USART1_TX	TIM1_CH3	TIM16_CH1N	-	SPI2_MISO	-	I2C1_SCL	VERANSTALTUNGSAusGANG
PB7	USART1_RX	SPI2_MOSI	TIM17_CH1N	-	-	-	I2C1_SDA	VERANSTALTUNGSAusGANG
PB8	-	SPI2_SCK	TIM16_CH1	-	-	-	I2C1_SCL	VERANSTALTUNGSAusGANG
PB9	IR_OUT	-	TIM17_CH1	-	-	SPI2_NSS	I2C1_SDA	VERANSTALTUNGSAusGANG
PB10	-	-	-	-	-	SPI2_SCK	I2C2_SCL	-
PB11	SPI2_MOSI	-	-	-	-	-	I2C2_SDA	-
PB12	SPI2_NSS	-	TIM1_BKIN	-	-	-	-	VERANSTALTUNGSAusGANG
PB13	SPI2_SCK	-	TIM1_CH1N	-	-	-	I2C2_SCL	VERANSTALTUNGSAusGANG
PB14	SPI2_MISO	-	TIM1_CH2N	-	-	-	I2C2_SDA	VERANSTALTUNGSAusGANG
PB15	SPI2_MOSI	-	TIM1_CH3N	-	-	-	-	VERANSTALTUNGSAusGANG



Tabelle 15. Alternative Funktionszuordnung für Port C

Hafen	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PC6	-	TIM3_CH1	-	-	-	-	-	-
PC7	-	TIM3_CH2	-	-	-	-	-	-
PC13	-	-	TIM1_BKIN	-	-	-	-	-
PC14	-	-	TIM1_BKIN2	-	-	-	-	-
PC15	OSC32_DE	OSC_DE	-	-	-	-	-	-

Tabelle 16. Alternative Funktionszuordnung für Port D

Hafen	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PD0	VERANSTALTUNGSAusGANG	SPI2_NSS	TIM16_CH1	-	-	-	-	-
PD1	VERANSTALTUNGSAusGANG	SPI2_SCK	TIM17_CH1	-	-	-	-	-
PD2	-	TIM3_ETR	TIM1_CH1N	-	-	-	-	-
PD3	USART2_CTS	SPI2_MISO	TIM1_CH2N	-	-	-	-	-

Tabelle 17. Alternative Funktionszuordnung für Port F

Hafen	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PF0	-	-	TIM14_CH1	-	-	-	-	-
PF1	OSC_DE	-	-	-	-	-	-	-

5 Elektrische Eigenschaften

5.1 Parameterbedingungen

Sofern nicht anders angegeben, beziehen sich alle Spannungen auf VSS.

Parameterwerte, die bei Temperaturen oder in Temperaturbereichen außerhalb des Gültigkeitsbereichs der Bestellinformationen definiert sind, sind zu ignorieren.

Die zur Charakterisierung bestimmter elektrischer Parameter verwendeten Pakete können gemäß den Bestellinformationen von den kommerziellen Paketen abweichen.

5.1.1 Minimal- und Maximalwerte

Sofern nicht anders angegeben, werden die Minimal- und Maximalwerte unter den ungünstigsten Bedingungen von Umgebungstemperatur, Versorgungsspannung und Frequenzen durch Tests in der Produktion an 100% der Geräte bei einer Umgebungstemperatur von $T_A = 25^\circ\text{C}$ und $T_A = T_A(\text{max})$ (vorgegeben durch den ausgewählten Temperaturbereich) garantiert.

Daten, die auf Charakterisierungsergebnissen, Designsimulationen und/oder Technologiemerkmale basieren, sind in den Fußnoten der Tabelle angegeben und werden nicht in der Produktion getestet. Basierend auf der Charakterisierung beziehen sich die Minimal- und Maximalwerte auf Stichprobentests und stellen den Mittelwert plus oder minus drei Mal die Standardabweichung dar (Mittelwert $\pm 3\sigma$).

5.1.2 Typische Werte

Sofern nicht anders angegeben, basieren typische Daten auf $T_A = 25^\circ\text{C}$, $V_{DD} = V_{DDA} = 3\text{ V}$. Sie dienen nur als Entwurfsrichtlinien und sind nicht getestet.

Typische ADC-Genauigkeitswerte werden durch Charakterisierung einer Probencharge aus einer Standarddiffusionscharge über den gesamten Temperaturbereich ermittelt, wobei 95 % der Geräte einen Fehler aufweisen, der kleiner oder gleich dem angegebenen Wert ist (Mittelwert $\pm 2\sigma$).

5.1.3 Typische Kurven

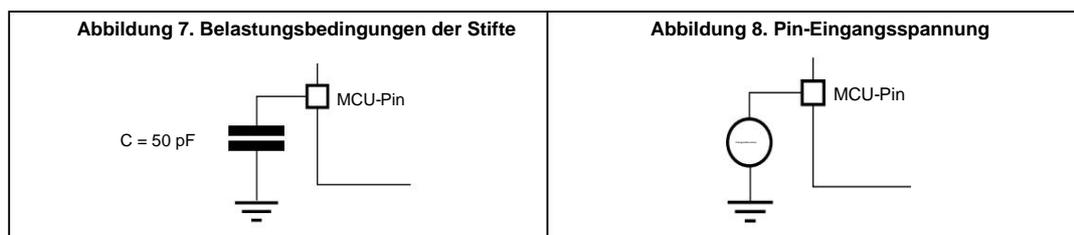
Sofern nicht anders angegeben, dienen alle typischen Kurven nur als Entwurfsrichtlinien und werden nicht getestet.

5.1.4 Ladekondensator

Die zur Messung der Stiftparameter verwendeten Belastungsbedingungen sind in [Abbildung 7](#) dargestellt.

5.1.5 Pin-Eingangsspannung

Die Eingangsspannungsmessung an einem Pin des Gerätes ist in [Abbildung 8](#) beschrieben.



5.2 Absolute Höchstwerte

Spannungen über den in [Tabelle 18](#), [Tabelle 19](#) und [Tabelle 20](#) aufgeführten absoluten Maximalwerten kann das Gerät dauerhaft beschädigen. Dies sind nur Belastungswerte und der Funktionsbetrieb des Geräts unter diesen Bedingungen wird nicht vorausgesetzt. Eine längere Belastung mit maximalen Belastungsbedingungen kann die Zuverlässigkeit des Geräts beeinträchtigen.

Alle Spannungen werden in Bezug auf VSS definiert.

Tabelle 18. Spannungseigenschaften

Symbol	Bewertungen	Mindest	Max	Einheit
VDD	Externe Versorgungsspannung	- 0,3	4,0	V
VBAT	Externe Versorgungsspannung am VBAT-Pin	- 0,3	4,0	
VREF+ Externe	Spannung am VREF+-Pin	- 0,3	Min(VDD + 0,4, 4,0)	
	Eingangsspannung an FT_xx	- 0,3	VDD + 4,0(2)	
Fahrgehaltswert(1)	Eingangsspannung an jedem anderen Pin	- 0,3	4,0	

1. Die maximal zulässigen Werte für den eingespeisten Strom finden Sie in [Tabelle 19](#).

2. Um eine Spannung über 4 V aufrechtzuerhalten, müssen die internen Pull-Up/Pull-Down-Widerstände deaktiviert werden.

Tabelle 19. Aktuelle Eigenschaften

Symbol	Bewertungen	Max	Einheit
IVDD/VDDA	Strom in VDD/VDDA-Stromanschluss (Quelle)(1)	100	mA
IVSS/VSSA	Strom aus dem VSS/VSSA-Massestift (Senke)(1)	100	
IIO (Stift)	Ausgangsstrom wird von jedem I/O- und Steuerpin außer FT_f abgeleitet	15	
	Ausgangsstrom durch jeden FT_f-Pin	20	
	Ausgangsstrom von jedem I/O- und Steuerpin	15	
ÿIIO(Stift)	Gesamter Ausgangsstrom durch die Summe aller I/Os und Steuerpins	80	
	Gesamtausgangsstrom aus der Summe aller I/Os und Steuerpins	80	
	Eingespritzter Strom an einem FT_xx-Pin	-5 / N/ A(3)	
IINJ(PIN)(2) ÿIINJ(PIN)	Gesamt eingespeister Strom (Summe aller I/Os und Steuerpins)(4)	25	

1. Alle Hauptstrom- (VDD/VDDA, VBAT) und Masse- (VSS/VSSA) Pins müssen immer mit der externen Stromversorgung verbunden sein. Versorgung, im zulässigen Bereich.

2. Eine positive Injektion wird durch $V_{IN} > V_{DDIOx}$ verursacht, während eine negative Injektion durch $V_{IN} < V_{SS}$ verursacht wird. IINJ(PIN) darf niemals überschritten werden. Siehe auch [Tabelle 18: Spannungseigenschaften](#) für die maximal zulässigen Eingangsspannungswerte.

3. Eine positive Einspeisung ist bei diesen I/Os nicht möglich und erfolgt nicht bei Eingangsspannungen unter dem angegebenen Maximum Wert.

4. Wenn mehrere Eingänge einer Stromeinspeisung unterzogen werden, ist das Maximum $\sum |IINJ(PIN)|$ die absolute Summe der negativen eingespeiste Ströme (Momentanwerte).

Tabelle 20. Thermische Eigenschaften

Symbol	Bewertungen	Wert	Einheit
TSTG	Lagertemperaturbereich	-65 bis +150	°C
TJ	Maximale Sperrschichttemperatur	150	°C

5.3 Betriebsbedingungen

5.3.1 Allgemeine Betriebsbedingungen

Tabelle 21. Allgemeine Betriebsbedingungen

Symbol	Parameter	Bedingungen	Mindest	Max	Einheit
fHCLK	Interne AHB-Taktfrequenz	-	0	64	MHz
fPCLK	Interne APB-Taktfrequenz	-	0	64	
VDD/DDA	Versorgungsspannung	-	2,0(1)	3,6	V
VBAT	Backup-Betriebsspannung	-	1,55	3,6	V
	E/A-Eingangsspannung	-	-0,3	Min(VDD + 3,6, 5,5)(2)	V
TA	Umgebungstemperatur(3)	-	-40	85	°C
TJ	Sperrschichttemperatur	-	-40	105	°C

1. Wenn RESET freigegeben wird, ist die Funktionalität bis min. VPDR gewährleistet.
2. Für den Betrieb mit Spannungen höher als VDD +0,3 V müssen die internen Pull-Up- und Pull-Down-Widerstände deaktiviert werden.
3. TA(max) gilt für PD(max). Bei PD < PD(max) darf die Umgebungstemperatur höher als TA(max) sein, vorausgesetzt, dass die Sperrschichttemperatur TJ TJ(max) nicht überschreitet. Siehe [Abschnitt 6.5: Thermische Eigenschaften](#).

5.3.2 Betriebsbedingungen beim Einschalten / Ausschalten

Die in [Tabelle 22](#) angegebenen Parameter basieren auf Tests, die unter den in Tabelle 21 zusammengefassten Umgebungstemperaturbedingungen durchgeführt wurden.

Tabelle 22. Betriebsbedingungen beim Einschalten / Ausschalten

Symbol	Parameter	Bedingungen	Mindest	Max	Einheit
tVDD	VDD-Anstiegsrate	VDD steigt	-	∞	µs/V
		VDD fällt	10	∞	

5.3.3 Eigenschaften des integrierten Reset- und Leistungssteuerungsblocks

Die in [Tabelle 23](#) angegebenen Parameter basieren auf Tests, die unter den in Tabelle 21 zusammengefassten Umgebungstemperaturbedingungen durchgeführt wurden.

Tabelle 23. Eigenschaften des integrierten Reset- und Leistungssteuerungsblocks

Symbol	Parameter	Bedingungen(1)	Min	Typ	Max	Einheit
tRSTTEMPO(2)	POR-Temporierung, wenn VDD VPOR überschreitet	VDD-Anstieg	-	250	400	µs
VPOR(2)	Schwellenwert für Power-On-Reset	-	2,06	2,10	2,14	V
VPDR(2)	Schwellenwert für Power-Down-Reset	-	1,960	2,00	2,04	V
Vhyst_POR_PDR	Hysterese von VPOR und VPDR	Hysterese im Dauerbetrieb Modus	-	20	-	mV
		Hysterese in anderen Modi	-	30	-	

1. Kontinuierlicher Modus bedeutet Betriebs-/Ruhemodus oder Aktivierung des Temperatursensors im Energiesparmodus/Energiesparmodus.
2. Durch das Design garantiert.

5.3.4 Eingebettete Spannungsreferenz

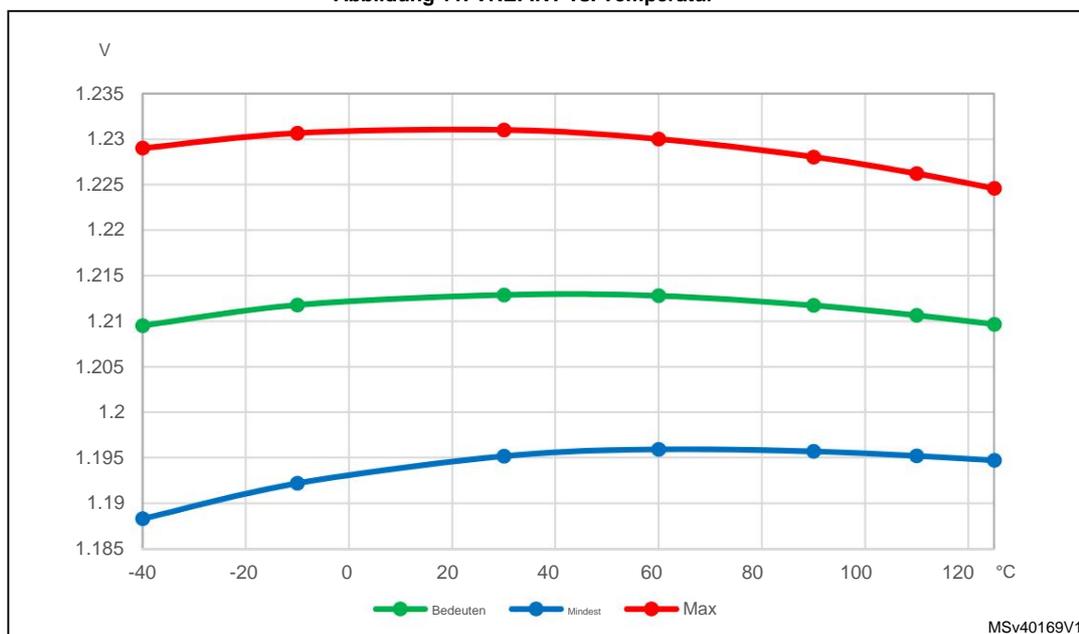
Die in [Tabelle 24](#) angegebenen Parameter basieren auf Tests, die unter den in Tabelle 21 zusammengefassten Umgebungstemperatur- und Versorgungsspannungsbedingungen durchgeführt wurden : [Allgemeine Betriebsbedingungen](#).

Tabelle 24. Eingebettete interne Spannungsreferenz

Symbol	Parameter	Bedingungen	Min	Typ	Max	Einheit	
VREFINT	Interne Referenzspannung	-40°C < T _J < 105°C	1,182	1,212	1,232		V
(1) ADC-Abtastzeit beim Lesen der internen Referenzspannung t _{S_vrefint}		-	4(2)	-	-		µs
t _{start_vrefint}	Startzeit des Referenzspannungspuffers, wenn ADC aktiviert ist	-	-	8	12(2)		µs
IDD(VREFINTBUF)	VREFINT Pufferverbrauch von VDD bei Konvertierung durch ADC	-	-	12,5	20(2)		µA
γ _{VREFINT}	Interne Referenzspannung verteilt über den Temperaturbereich	VDD = 3 V	-	5	7,5 (2)		mV
TC _{coeff_vrefint}	Temperaturkoeffizient	-	-	30	50(2)		ppm/°C
AK _{coeff}	Langzeitstabilität	1000 Stunden, T = 25 °C	-	300	1000(2)		ppm
VDD-Koeff	Spannungskoeffizient	3,0 V < VDD < 3,6 V	-	250	1200(2)		ppm/V
VREFINT_DIV1 1/4 Referenzspannung		-	24	25	26	%	VREFINT
VREFINT_DIV2 1/2 Referenzspannung			49	50	51		
VREFINT_DIV3 3/4 Referenzspannung			74	75	76		

1. Die kürzeste Abtastzeit kann in der Anwendung durch mehrere Iterationen ermittelt werden.
2. Durch das Design garantiert.

Abbildung 11. VREFINT vs. Temperatur



5.3.5 Versorgungseigenschaften

Der Stromverbrauch ist eine Funktion mehrerer Parameter und Faktoren wie beispielsweise Betriebsspannung, Umgebungstemperatur, E/A-Pin-Auslastung, Gerätesoftwarekonfiguration, Betriebsfrequenzen, E/A-Pin-Umschaltrate, Programmspeicherort im Speicher und ausgeführter Binärcode.

Die Stromaufnahme wird wie in [Abbildung 10 beschrieben gemessen: Schema zur Stromaufnahmemessung](#).

Typischer und maximaler Stromverbrauch

Die MCU wird den folgenden Bedingungen ausgesetzt:

- Alle I/O-Pins sind im analogen Eingangsmodus
- Alle Peripheriegeräte sind deaktiviert, sofern nicht ausdrücklich anders angegeben.
- Die Zugriffszeit auf den Flash-Speicher wird mit der Anzahl der minimalen Wartezustände angepasst. abhängig von der fHCLK- Frequenz (siehe Tabelle „Anzahl der Wartezustände entsprechend der CPU-Taktfrequenz (HCLK)“ im RM0454-Referenzhandbuch).
- Wenn die Peripheriegeräte aktiviert sind, $fPCLK = fHCLK$
- Für Flash-Speicher und gemeinsam genutzte Peripheriegeräte $fPCLK = fHCLK = fHCLKS$

Sofern nicht anders angegeben, basieren die in [Tabelle 25](#) bis [Tabelle 31](#) angegebenen Werte auf Tests, die unter den in [Tabelle 21](#) zusammengefassten Umgebungstemperatur- und Versorgungsspannungsbedingungen durchgeführt wurden : [Allgemeine Betriebsbedingungen](#).

Tabelle 25. Stromverbrauch im Run- und Low-Power-Run-Modus

bei unterschiedlichen Matrizentemperaturen

Symbol	Parameter	Bedingungen			Typ		Max(1)		Einheit
		Allgemein	fHCLK	Abrufen von(2)	25°C	85°C	25°C	85°C	
IDD (Ausführen)	Versorgungsstrom im Run-Modus	Bereich 1; PLL aktiviert; fHCLK = fHSI- Bypass (\approx 16 MHz), fHCLK = fPLLCLK ($>$ 16 MHz); (3)	64 MHz	Blitz Erinnerung	5,7	5,9	8,0	8,3	mA
			56 MHz		5,1	5,2	7,1	7,1	
			48 MHz		4,6	4,7	5,7	6,0	
			32 MHz		3,2	3,3	4,6	4,9	
			24 MHz		2,5	2,6	3,5	3,8	
			16 MHz		1,6	1,7	2,5	2,9	
			64 MHz	SRAM	4,7	4,8	7,2	7,5	
			56 MHz		4,2	4,3	6,5	6,7	
			48 MHz		3,7	3,9	5,7	6,0	
			32 MHz		2,6	2,7	4,1	4,3	
			24 MHz		2,0	2,1	3,2	3,5	
			16 MHz		1,3	1,3	2,3	2,4	
		Bereich 2; PLL aktiviert; fHCLK = fHSI- Bypass (\approx 16 MHz), fHCLK = fPLLCLK ($>$ 16 MHz); (3)	16 MHz	Blitz Erinnerung	1,3	1,3	2,0	2,3	
			8 MHz		0,7	0,8	1,4	1,5	
			2 MHz		0,3	0,3	0,6	0,9	
			16 MHz	SRAM	1,1	1,1	1,9	2,1	
			8 MHz		0,6	0,6	1,2	1,4	
			2 MHz		0,2	0,3	0,6	0,9	
IDD(LPRun)	Versorgungsstrom in Energiesparmodus	PLL deaktiviert; fHCLK = fHSE- Bypass ($>$ 32 kHz), fHCLK = fLSE- Bypass (= 32 kHz); (3)	2 MHz	Blitz Erinnerung	182	226	570	790	μ A
			1 MHz		99	132	480	700	
			500 kHz		58	89	430	630	
			125 kHz		25	56	370	600	
			32 kHz		17	47	330	480	
			2 MHz		SRAM	161	191	550	
			1 MHz	91		114	470	750	
			500 kHz	48		81	410	710	
			125 kHz	21		51	360	500	
			32 kHz	15		37	310	400	

1. Basierend auf Charakterisierungsergebnissen, nicht in der Produktion getestet.

2. Prefetch und Cache beim Abrufen aus Flash aktiviert. Code mit hoher Optimierung für den Speicherplatz im SRAM kompiliert.

3. VDD = 3,0 V für Werte in Typ-Spalten und 3,6 V für Werte in Max-Spalten, alle Peripheriegeräte deaktiviert, Cache aktiviert, Prefetch für Code- und Datenabruf aus Flash deaktiviert und aus SRAM aktiviert

Tabelle 26. Stromverbrauch im Ruhemodus und im Energiesparmodus Max(1)

Symbol	Parameter	Bedingungen			Typ				Einheit		
		Allgemein	Spannungsskalierung	fHCLK	25°C	85°C	25°C	85°C			
IDD (Schlaf)	Versorgungsstrom in Schlafmodus	Flash-Speicher aktiviert; fHCLK = fHSE- Bypass (≤ 16 MHz; PLL deaktiviert), fHCLK = fPLLCLK (> 16 MHz; PLL aktiviert); Alle Peripheriegeräte deaktiviert	Bereich 1	64 MHz	1,4		1,5	2,2	2,4	mA	
				56 MHz	1,3		1,4	1,9	2,1		
				48 MHz	1,2		1,2	1,9	1,9		
				32 MHz	0,9	0,9	1,4		1,5		
				24 MHz	0,7	0,8	1,1		1,3		
				16 MHz	0,4	0,4	0,7		0,8		
				Bereich 2	16 MHz	0,3	0,4	0,6			0,7
					8 MHz	0,2	0,3		0,3		0,6
2 MHz	0,1		0,2		0,2	0,5					
IDD (LPSleep)	Versorgungsstrom in Energiesparendem Ruhemodus	Flash-Speicher deaktiviert; PLL deaktiviert; fHCLK = fHSE- Bypass (> 32 kHz), fHCLK = fLSE- Bypass (= 32 kHz); Alle Peripheriegeräte deaktiviert	2 MHz	43	77	175	410	μ A			
			1 MHz	29	60	150	375				
			500 kHz	23	52	145	285				
			125 kHz	16	46	130	270				
			32 kHz	13	44	125	260				

1. Basierend auf Charakterisierungsergebnissen, nicht in der Produktion getestet.

Tabelle 27. Stromverbrauch im Stopp 0-Modus

Symbol	Parameter	Bedingungen		Typ		Max(1)		Einheit	
		VDD		25°C	85°C	25°C	85°C		
IDD (Haltestelle 0)	Versorgungsstrom im Stop 0-Modus	HSI-Kernel EIN	2,4 V	290		320	395	540	μ A
			3 V		295	325	415	580	
			3,6 V	295		325	445	595	
		HSI-Kernel AUS	2,4 V	105		145	145	265	
			3 V		105	150	150	285	
			3,6 V	110		150	150	295	

1. Basierend auf Charakterisierungsergebnissen, nicht in der Produktion getestet.

Tabelle 28. Stromverbrauch im Stopp 1-Modus

Symbol	Parameter	Bedingungen			Typ		Max(1)		Einheit	
			Echtzeituhr	VDD	25°C	85°C	25°C	85°C		
IDD (Haltestelle 1)	Versorgungsstrom in Stopp 1-Modus	Flash-Speicher nicht mit Strom versorgt	Deaktiviert	2,4 V	3,4		28	17	130	µA
				3 V		3,6	28	22	140	
				3,6 V	Geger	3,9	29	28	155	
			Ermöglicht (getaktet von LSE-Umgehung)	2,4 V	3,9		28	22	140	
				3 V		4,1	29	23	155	
				3,6 V	4,6		29	28	160	

1. Basierend auf Charakterisierungsergebnissen, nicht in der Produktion getestet.

Tabelle 29. Stromverbrauch im Standby-Modus

Symbol	Parameter	Bedingungen		Typ		Max(1)		Einheit	
		Allgemein	VDD	25°C	85°C	25°C	85°C		
IDD (Standby)	Versorgungsstrom in Standby-Modus	RTC deaktiviert	2,4 V		1.0	1.8	2.1	14	µA
			3,0 V		1.2	2.1	2.7	16	
			3,6 V		1.4	2.5	3.0	19	
		RTC aktiviert, getaktet durch LSI	2,4 V		1.3	2.1	2.2	17	
			3,0 V		1.7	2.5	2.9	19	
			3,6 V		2.1	3.0	3.8	19	

1. Basierend auf Charakterisierungsergebnissen, nicht in der Produktion getestet.

Tabelle 30. Stromverbrauch im VBAT-Modus

Symbol	Parameter	Bedingungen		Typ		Einheit	
		Echtzeituhr	VBAT	25°C	85°C		
IDD_VBAT	Versorgungsstrom in VBAT-Modus	Aktiviert, getaktet durch LSE-Bypass bei 32,768 kHz	2,4 V		270	360	n / A
			3,0 V		360	460	
			3,6 V		470	600	
		Aktiviert, getaktet durch LSE-Quarz bei 32,768 kHz	2,4 V		410	440	
			3,0 V		510	530	
			3,6 V		630	770	

Stromverbrauch des E/A-Systems

Der Stromverbrauch des E/A-Systems besteht aus zwei Komponenten: einer statischen und einer dynamischen.

Statischer E/A-Stromverbrauch

Alle als Pull-Up-Eingänge verwendeten I/Os erzeugen Stromaufnahme, wenn der Pin extern auf Low gehalten wird. Der Wert dieser Stromaufnahme lässt sich einfach mithilfe der in [Tabelle 48: Statische I/O-Eigenschaften angegebenen Werte der Pull-Up-/ Pull-Down-Widerstände berechnen](#).

Bei den Ausgangspins muss zur Schätzung des Stromverbrauchs auch jeder externe Pulldown oder jede externe Last berücksichtigt werden.

Ein zusätzlicher Stromverbrauch der E/A entsteht durch E/A, die als Eingänge konfiguriert sind, wenn ein Zwischenspannungspegel extern angelegt wird. Dieser Stromverbrauch wird durch die Schmitt-Trigger-Schaltungen am Eingang verursacht, die zur Unterscheidung des Eingangswerts verwendet werden. Sofern diese spezielle Konfiguration nicht von der Anwendung gefordert wird, kann dieser Stromverbrauch vermieden werden, indem diese E/A im Analogmodus konfiguriert werden. Dies ist insbesondere bei ADC-Eingangspins der Fall, die als Analogeingänge konfiguriert werden sollten.

Achtung: Jeder schwebende Eingangspin kann sich aufgrund von externem elektromagnetischem Rauschen auch auf einen Zwischenspannungspegel einpendeln oder unbeabsichtigt umschalten. Um den Stromverbrauch schwebender Pins zu vermeiden, müssen diese entweder im Analogmodus konfiguriert oder intern auf einen bestimmten digitalen Wert gesetzt werden. Dies kann entweder durch die Verwendung von Pullup-/Down-Widerständen oder durch die Konfiguration der Pins im Ausgabemodus erfolgen.

Dynamischer E/A-Stromverbrauch

Zusätzlich zum zuvor gemessenen internen Stromverbrauch der Peripheriegeräte (siehe [Tabelle 31: Stromverbrauch der Peripheriegeräte](#)) tragen auch die von einer Anwendung verwendeten I/Os zum Stromverbrauch bei. Wenn ein I/O-Pin schaltet, verwendet er den Strom aus der I/O-Versorgungsspannung, um die I/O-Pin-Schaltung zu versorgen und die an den Pin angeschlossene kapazitive Last (intern oder extern) zu laden/entladen:

$$I_{SW} = V_{DDIO1} f_{SW} \times C$$

Wo

I_{SW} ist der Strom, der von einem Schalt-E/A zum Laden/Entladen der kapazitiven Last verbraucht wird

V_{DDIO1} ist die I/O-Versorgungsspannung

f_{SW} ist die E/A-Schaltfrequenz

C ist die Gesamtkapazität des I/O-Pins: $C = C_{INT} + C_{EXT} + C_S$. C_S

ist die Kapazität der Leiterplatte einschließlich des Pad-Pins.

Der Testpin ist im Push-Pull-Ausgabemodus konfiguriert und wird per Software mit einer festen Frequenz umgeschaltet.

Stromverbrauch der On-Chip-Peripherie

Der Stromverbrauch der On-Chip-Peripheriegeräte ist in der folgenden Tabelle angegeben. Die MCU wird unter folgenden Bedingungen betrieben:

- Alle I/O-Pins sind im Analogmodus
- Der angegebene Wert wird durch Messen der Differenz der Stromaufnahmen berechnet:
 - wenn das Peripheriegerät eingeschaltet ist
 - wenn das Peripheriegerät ausgeschaltet ist
- Umgebungstemperatur und Versorgungsspannungsbedingungen zusammengefasst in [Tabelle 18: Spannungseigenschaften](#)
- Der Stromverbrauch des digitalen Teils der On-Chip-Peripheriegeräte ist in der folgenden Tabelle angegeben. Der Stromverbrauch des analogen Teils der Peripheriegeräte (sofern zutreffend) ist in den jeweiligen Abschnitten des Datenblatts angegeben.

Tabelle 31. Stromverbrauch der Peripheriegeräte

Peripheriegeräte	Bus	Verbrauch in $\mu\text{A}/\text{MHz}$		
		Bereich 1	Bereich 2	Energiesparmodus und Ruhezustand
IOPORT-Bus	IOPORT	0,5	0,4	0,3
GPIOA	IOPORT	3.1	2.4	3.0
GPIOB	IOPORT	2.9	2.3	3.0
GPIOC	IOPORT	0,9	0,8	1.0
GIOD	IOPORT	0,7	0,6	1.0
GPIOF	IOPORT	0,5	0,5	1.0
Busmatrix	AHB	3.2	2.2	2.8
Alle AHB Peripheriegeräte	AHB	9,8	8.2	8,5
DMA1/DMAMUX	AHB	3.4	2.9	3.0
CRC	AHB	0,5	0,4	0,5
BLITZ	AHB	4.3	3.6	3.5
Alle APB-Peripheriegeräte	APB	23,5	20,0	20,5
AHB-zu-APB-Brücke(1)	APB	0,2	0,2	0,1
PWR	APB	0,4	0,3	0,5
SYSCFG	APB	0,4	0,4	0,5
WWDG	APB	0,2	0,3	0,5
TIM1	APB	7,0	5.9	6.5
TIM3	APB	3.6	3.1	3.5
TIM14	APB	1.5	1.3	1.5
TIM16	APB	2.3	2.0	2.5
TIM17	APB	1.0	0,8	0,3
I2C1	APB	3.2	2.7	3.0
I2C2	APB	0,7	0,6	1.0
SPI1	APB	2.2	1.8	2.0
SPI2	APB	1.3	1.1	1.5
USART1	APB	6.6	5.6	6,0
USART2	APB	1.8	1.5	2.0
ADC	APB	1.6	1.5	1.5

1. Die AHB-zu-APB-Brücke ist automatisch aktiv, wenn mindestens ein Peripheriegerät am APB eingeschaltet ist.

5.3.6 Aufwachzeit aus dem Energiesparmodus und Spannungsskalierung Übergangszeiten

Die in [Tabelle 32](#) angegebenen Weckzeiten sind die Latenz zwischen dem Ereignis und der Ausführung der ersten Benutzeranweisung.

Tabelle 32. Aktivierungszeiten im Energiesparmodus(1)

Symbol	Parameter	Bedingungen	Typ	Max	Einheit
tWUSLEEP	Weckzeit von Sleep-to-Run-Modus	-	11	11	CPU Zyklen
tWULPSLEEP	Weckzeit von Energiesparender Ruhemodus	Übergang zur Ausführung im Energiesparmodus im Flash-Speicher, der im Energiesparmodus nicht eingeschaltet ist; HCLK = HSI16 / 8 = 2 MHz	11	14	
tWUSTOP0	Weckzeit von Stopp 0	Übergang zur Ausführung im Run-Modus im Flash-Speicher, der im Stop 0-Modus nicht eingeschaltet ist; HCLK = HSI16 = 16 MHz; Regler im Bereich 1 oder Bereich 2	5.6	6	µs
		Übergang zur Ausführung im Run-Modus im SRAM oder im Flash-Speicher, der im Stop 0-Modus mit Strom versorgt wird; HCLK = HSI16 = 16 MHz; Regler im Bereich 1 oder Bereich 2	2	2.4	
tWUSTOP1	Weckzeit von Stopp 1	Übergang zur Ausführung im Run-Modus im Flash-Speicher, der im Stoppmodus 1 nicht eingeschaltet ist; HCLK = HSI16 = 16 MHz; Regler im Bereich 1 oder Bereich 2	9,0	11.2	µs
		Übergang zur Ausführung im Run-Modus im SRAM oder im Flash-Speicher, der im Stop 1-Modus mit Strom versorgt wird; HCLK = HSI16 = 16 MHz; Regler im Bereich 1 oder Bereich 2	5	7.5	
		Übergang zur Ausführung im Low-Power-Run-Modus im Flash-Speicher, der im Stopp 1-Modus nicht mit Strom versorgt wird; HCLK = HSI16/8 = 2 MHz; Regler im Energiesparmodus (LPR = 1 in PWR_CR1)	22	25,3	
		Übergang zur Ausführung im Low-Power-Run-Modus im SRAM oder im Flash-Speicher, der im Stop 1-Modus mit Strom versorgt wird; HCLK = HSI16 / 8 = 2 MHz; Regler im Energiesparmodus (LPR = 1 in PWR_CR1)	18	23,5	
tWUSTBY	Weckzeit von Standby-Modus	Übergang in den Run-Modus; HCLK = HSI16 = 16 MHz; Regler im Bereich 1	14,5	30	µs
tWULPRUN	Weckzeit von Energiesparmodus(2)	Übergang in den Run-Modus; HSISYS = HSI16/8 = 2 MHz	5	7	µs

1. Basierend auf Charakterisierungsergebnissen, nicht in der Produktion getestet.

2. Zeit bis das REGLPF-Flag in PWR_SR2 gelöscht wird.

Tabelle 33. Übergangszeiten für den Reglermodus(1)

Symbol	Parameter	Bedingungen	Typ	Max	Einheit
tVOST	Übergangszeiten zwischen Regulierungsbehörden Bereich 1 und Bereich 2(2)	HSISYS = HSI16	20	40	µs

1. Basierend auf Charakterisierungsergebnissen, nicht in der Produktion getestet.
2. Zeit bis zum Löschen des VOSF-Flags in PWR_SR2.

5.3.7 Eigenschaften externer Taktquellen

Aus einer externen Quelle generierter externer Hochgeschwindigkeits-Benutzertakt

Im Bypass-Modus ist der HSE-Oszillator ausgeschaltet und der Eingangspin ist ein Standard-GPIO.

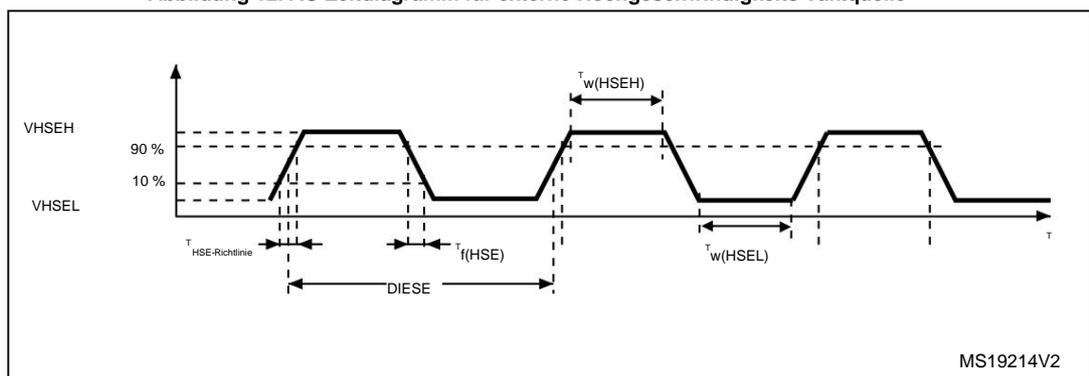
Das externe Taktsignal muss die E/A-Eigenschaften in [Abschnitt 5.3.14 einhalten](#). Die empfohlene Wellenform des Takteingangs finden Sie in [Abbildung 12](#).

Tabelle 34. Merkmale des externen Hochgeschwindigkeits-Benutzertaktgebers(1)

Symbol	Parameter	Bedingungen	Mindest	Typ	Max	Einheit
fHSE_ext	Frequenz der externen Taktquelle des Benutzers	Spannungsskalierung Bereich 1	-	8	48	MHz
		Spannungsskalierung Bereich 2	-	8	26	
VHSEH	OSC_IN-Eingangspin Hochpegelspannung	-	0,7 VDDIO1	-	VDDIO1	V
VHSEL	OSC_IN-Eingangspin, niedrige Spannung	-	VSS	-	0,3 VDDIO1	
tw(HSEH)	OSC_IN High- oder Low-Zeit	Spannungsskalierung Bereich 1	7 - -	-	-	ns
tw(HSEL)		Spannungsskalierung Bereich 2	18	-	-	

1. Durch Design garantiert.

Abbildung 12. AC-Zeitdiagramm für externe Hochgeschwindigkeits-Taktquelle



Von einer externen Quelle generierter externer Benutzertakt mit niedriger Geschwindigkeit

Im Bypass-Modus ist der LSE-Oszillator ausgeschaltet und der Eingangspin ist ein Standard-GPIO.

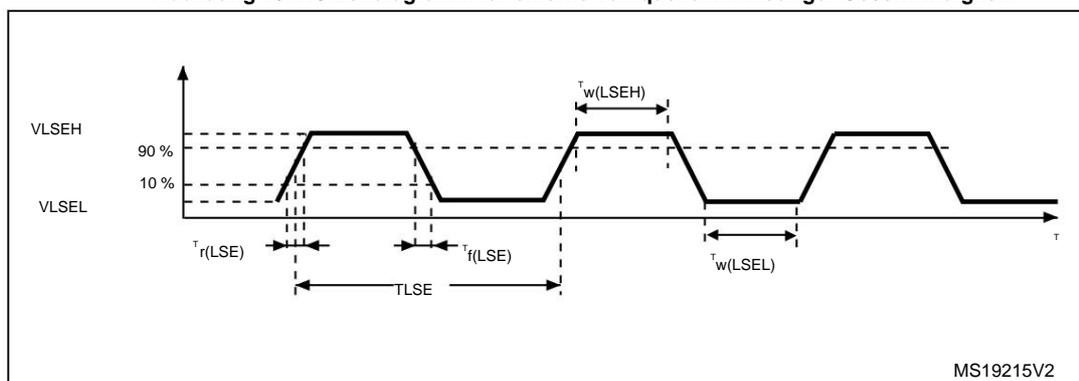
Das externe Taktsignal muss die E/A-Eigenschaften in [Abschnitt 5.3.14 einhalten](#). Die empfohlene Wellenform des Takteingangs finden Sie in [Abbildung 13](#).

Tabelle 35. Merkmale des langsamen externen Benutzertakts(1)

Symbol	Parameter	Bedingungen	Mindest	Typ	Max	Einheit
fLSE_ext	Frequenz der externen Taktquelle des Benutzers	-	-	32.768	1000	kHz
VLSEH	OSC32_IN Eingangspin Hochpegelspannung	-	0,7 VDDIO1	-	VDDIO1	V
VLSEL	OSC32_IN Eingangspin niedrige Spannung	-	VSS	-	0,3 VDDIO1	
tw(LSEH) tw(LSEL)	OSC32_IN High- oder Low-Zeit	-	250	-	-	ns

1. Durch Design garantiert.

Abbildung 13. AC-Zeitdiagramm für externe Taktquelle mit niedriger Geschwindigkeit



Von einem Kristall-/Keramik-Resonator erzeugter externer Hochgeschwindigkeitstakt

Der externe Hochgeschwindigkeitstaktgeber (HSE) kann mit einem 4- bis 48-MHz-Kristall/Keramik-Resonatoroszillator geliefert werden. Alle in diesem Abschnitt enthaltenen Informationen basieren auf Ergebnissen der Designsimulation, die mit typischen externen Komponenten gemäß [Tabelle 36](#) erzielt wurden. In der Anwendung müssen der Resonator und die Lastkondensatoren so nah wie möglich an den Oszillatoranschlüssen platziert werden, um die Ausgangsverzerrung und die Stabilisierungszeit beim Start zu minimieren. Weitere Einzelheiten zu den Resonatoreigenschaften (Frequenz, Gehäuse, Genauigkeit) erhalten Sie beim Hersteller des Kristallresonators.

Tabelle 36. HSE-Oszillatoreigenschaften(1)

Symbol	Parameter	Bedingungen(2)	Mindest	Typ	Max	Einheit
fOSC_IN	Oszillatorfrequenz	-	4	8	48 MHz	
RF	Rückkopplungswiderstand	-	-	200	-	k Ω

Tabelle 36. HSE-Oszillatoreigenschaften(1) (Fortsetzung)

Symbol	Parameter	Bedingungen(2)	Mindest	Typ	Max	Einheit
IDD(HSE)	HSE-Stromverbrauch	Beim Start(3)	-	-	-	5,5
		VDD = 3 V, Rm = 30 Ω , CL = 10 pF bei 8 MHz	-	0,58	-	-
		VDD = 3 V, Rm = 45 Ω , CL = 10 pF bei 8 MHz	-	0,59	-	-
		VDD = 3 V, Rm = 30 Ω , CL = 5 pF bei 48 MHz	-	0,89	-	-
		VDD = 3 V, Rm = 30 Ω , CL = 10 pF bei 48 MHz	-	1,14	-	-
		VDD = 3 V, Rm = 30 Ω , CL = 20 pF bei 48 MHz	-	1,94	-	-
Gm	Maximale kritische Kristalltranskonduktanz	Start-up	-	-	-	1,5 mA/V
tSU(HSE)(4)	Anlaufzeit	VDD ist stabilisiert	-	2	-	MS

1. Durch Design garantiert.

2. Resonatoreigenschaften angegeben durch den Hersteller des Kristall-/Keramikresonators.

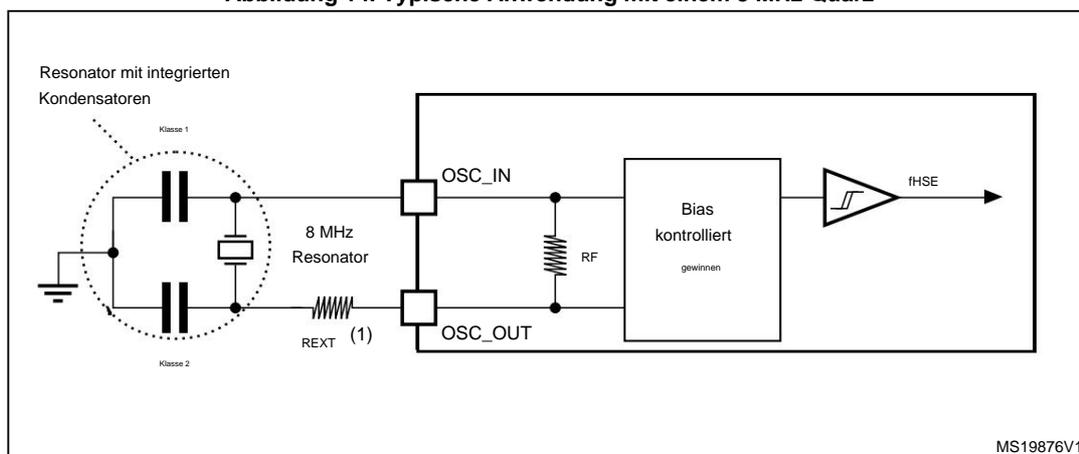
3. Dieser Verbrauch tritt während der ersten 2/3 der tSU(HSE) -Startzeit auf. 4. tSU(HSE)

ist die Startzeit, gemessen vom Zeitpunkt der Aktivierung (durch Software) bis zu einer stabilisierten 8 MHz-Schwingung erreicht. Dieser Wert wird für einen Standard-Kristallresonator gemessen und kann je nach Kristallhersteller erheblich variieren.

Für CL1 und CL2 wird empfohlen, hochwertige externe Keramik Kondensatoren im Bereich von 5 pF bis 20 pF (typisch) zu verwenden, die für Hochfrequenzanwendungen ausgelegt sind und entsprechend den Anforderungen des Kristalls oder Resonators ausgewählt werden (siehe *Abbildung 14*). CL1 und CL2 haben normalerweise die gleiche Größe. Der Kristallhersteller gibt normalerweise eine Lastkapazität an, die die Reihenschaltung von CL1 und CL2 ist. Die Pinkapazität von PCB und MCU muss bei der Dimensionierung von CL1 und CL2 berücksichtigt werden (10 pF kann als grobe Schätzung der kombinierten Pin- und Platinenkapazität verwendet werden).

Notiz: Informationen zur Auswahl des Kristalls finden Sie im Anwendungshinweis AN2867 „Oscillator Design Guide for ST Microcontrollers“ auf der ST-Website www.st.com.

Abbildung 14. Typische Anwendung mit einem 8 MHz-Quarz



1. Der REXT-Wert hängt von den Kristalleigenschaften ab.

Von einem Quarzresonator erzeugter externer Takt mit niedriger Geschwindigkeit

Der Low-Speed-External-Takt (LSE) kann mit einem 32,768-kHz-Quarzresonatoroszillator geliefert werden. Alle in diesem Abschnitt enthaltenen Informationen basieren auf Ergebnissen der Designsimulation, die mit typischen externen Komponenten gemäß [Tabelle 37](#) erzielt wurden. In der Anwendung müssen der Resonator und die Lastkondensatoren so nah wie möglich an den Oszillatoranschlüssen platziert werden, um die Ausgangsverzerrung und die Stabilisierungszeit beim Start zu minimieren. Weitere Einzelheiten zu den Resonatoreigenschaften (Frequenz, Gehäuse, Genauigkeit) erhalten Sie beim Hersteller des Quarzresonators.

Tabelle 37. LSE-Oszillatoreigenschaften (fLSE = 32,768 kHz)(1)

Symbol	Parameter	Bedingungen(2)	Min	Typ	Max	Einheit	
IDD(LSE)	LSE-Stromverbrauch	LSEDRV[1:0] = 00 Geringe Laufwerkskapazität	-	250	-		n/A
		LSEDRV[1:0] = 01 Mittel-niedrige Antriebsleistung	-	315	-		
		LSEDRV[1:0] = 10 Mittelhohe Antriebsleistung	-	500	-		
		LSEDRV[1:0] = 11 Hohe Antriebsleistung	-	630	-		
Abonnieren	Maximaler kritischer Kristall in g	LSEDRV[1:0] = 00 Geringe Laufwerkskapazität	-	-	0,5	μA/V	
		LSEDRV[1:0] = 01 Mittel-niedrige Antriebsleistung	-	-	0,75		
		LSEDRV[1:0] = 10 Mittelhohe Antriebsleistung	-	-	1.7		
		LSEDRV[1:0] = 11 Hohe Antriebsleistung	-	-	2.7		
tSU(LSE)(3)	Anlaufzeit	VDD ist stabilisiert	-	2	-	s	

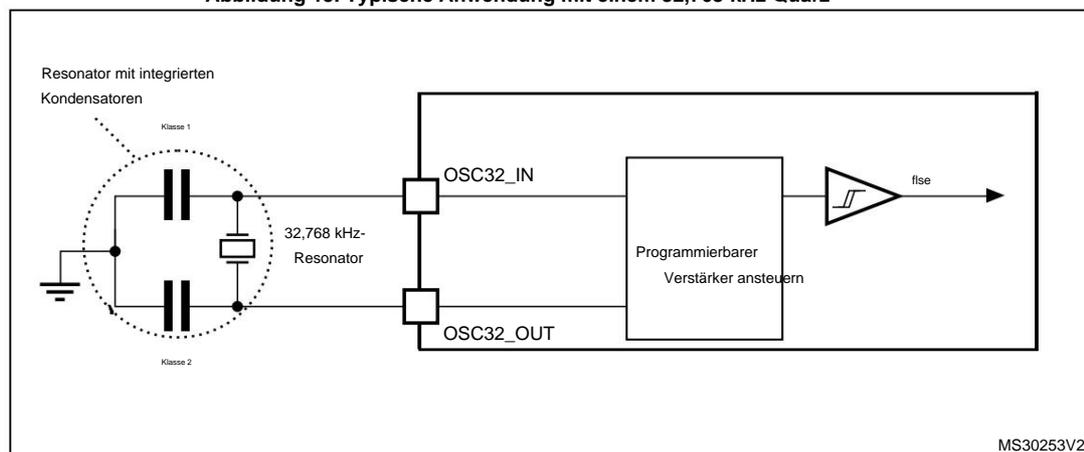
1. Durch Design garantiert.

2. Beachten Sie die Hinweise und Vorsichtshinweise unter der Tabelle sowie den Anwendungshinweis AN2867 „Oscillator design guide for ST-Mikrocontroller“.

3. $t_{SU}(LSE)$ ist die Startzeit, gemessen vom Zeitpunkt der Aktivierung (durch Software) bis zum Erreichen einer stabilisierten 32,768 kHz-Schwingung. Dieser Wert wird für einen Standardkristall gemessen und kann je nach Kristallhersteller erheblich variieren.

Notiz: Informationen zur Auswahl des Kristalls finden Sie im Anwendungshinweis AN2867 „Oscillator Design Guide for ST Microcontrollers“ auf der ST-Website www.st.com.

Abbildung 15. Typische Anwendung mit einem 32,768-kHz-Quarz



Notiz: Ein externer Widerstand zwischen OSC32_IN und OSC32_OUT ist nicht erforderlich und das Hinzufügen eines solchen ist verboten.

5.3.8 Eigenschaften der internen Taktquelle

Die in [Tabelle 38](#) angegebenen Parameter basieren auf Tests, die unter den in [Tabelle 21](#) zusammengefassten Umgebungstemperatur- und Versorgungsspannungsbedingungen durchgeführt wurden: [Allgemeine Betriebsbedingungen](#). Die bereitgestellten Kurven sind Charakterisierungsergebnisse, die nicht in der Produktion getestet wurden.

Interner Hochgeschwindigkeits-RC-Oszillator (HSI16)

Tabelle 38. HSI16 Oszillatoreigenschaften(1)

Symbol	Parameter	Bedingungen	Min	Typ	Max	Einheit	
fHSI16	HSI16 Frequenz	VDD=3,0 V, TA=30 °C	15,88	-	16,08	MHz	
ȳTemp(HSI16)	HSI16 Oszillatorfrequenzdrift über Temperatur	TA = 0 bis 85 °C	-1	-	1	%	
		TA = -40 bis 85 °C	-2	-	1,5	%	
ȳVDD (HSI16)	HSI16 Oszillatorfrequenzdrift über VDD	VDD=VDD(min) bis 3,6 V -0,1		-	0,05	%	
TRIMMEN	HSI16 Frequenz-Benutzertrimmschritt	Von Code 127 bis 128	-8	-6	-4	%	
		Von Code 63 bis 64 Von Code 191 bis 192	-5,8	-3,8	-1,8		
		Für alle anderen Codes Inkrement	0,2	0,3	0,4		
DHSI16(2)	Arbeitszyklus	-	45	-	55	%	
tsu(HSI16)(2)	Startzeit des HSI16-Oszillators	-	-	0,8	1,2	ȳs	

Tabelle 38. HSI16-Oszillatoreigenschaften(1) (Fortsetzung)

Symbol	Parameter	Bedingungen	Min	Typ	Max	Einheit	
tstab(HSI16)(2)	HSI16 Oszillator Stabilisierungszeit	-	-	3	5	µs	
IDD(HSI16)(2)	Stromverbrauch des HSI16-Oszillators	-	-	155	190	µA	

1. Basierend auf Charakterisierungsergebnissen, nicht in der Produktion getestet.

2. Durch das Design garantiert.

Interner RC-Oszillator mit niedriger Geschwindigkeit (LSI)

Tabelle 39. LSI-Oszillatoreigenschaften(1)

Symbol	Parameter	Bedingungen	Min	Typ	Max	Einheit	
fLSI	LSI-Frequenz	VDD = 3,0 V, TA = 30 °C	31,04	-	32,96	kHz	
		V = VDD(min) bis 3,6 V, TA = -40 bis DD 85 °C	29,5	-	34		
tSU(LSI)(2)	Anlaufzeit des LSI-Oszillators	-	-	80	130	µs	
tSTAB(LSI)(2)	Stabilisierungszeit des LSI-Oszillators	5% der Endfrequenz	-	125	180	µs	
IDD(LSI)(2)	Stromverbrauch des LSI-Oszillators	-	-	110	130	nA	

1. Basierend auf Charakterisierungsergebnissen, nicht in der Produktion getestet.

2. Durch das Design garantiert.

5.3.9 PLL-Eigenschaften

Die in [Tabelle 40](#) angegebenen Parameter sind aus Tests abgeleitet, die unter den in Tabelle 21 zusammengefassten Temperatur- und VDD- Versorgungsspannungsbedingungen durchgeführt wurden : [Allgemeine Betriebsbedingungen](#).

Tabelle 40. PLL-Eigenschaften(1)

Symbol	Parameter	Bedingungen	Min	Typ	Max	Einheit	
fPLL_IN	PLL-Eingangstaktfrequenz(2)	-	2,66	-	16	MHz	
DPLL_IN	PLL-Eingangstakt-Arbeitszyklus	-	45	-	55	%	
fPLL_P_OUT	PLL-Multiplikator-Ausgangstakt P	Spannungsskalierung Bereich 1	3,09	-	122	MHz	
		Spannungsskalierung Bereich 2	3,09	-	40		
fPLL_R_OUT	PLL-Multiplikator-Ausgangstakt R	Spannungsskalierung Bereich 1	12	-	64	MHz	
		Spannungsskalierung Bereich 2	12	-	16		
fVCO_OUT	PLL VCO-Ausgang	Spannungsskalierung Bereich 1	96	-	344	MHz	
		Spannungsskalierung Bereich 2	96	-	128		
tLOCK	PLL-Sperrzeit	-	-	15	40	µs	
Zittern	RMS-Jitter von Zyklus zu Zyklus	Systemtakt 56 MHz	-	50	-	±ps	
	RMS-Periodenjitter		-	40	-		

Tabelle 40. PLL-Eigenschaften(1) (Fortsetzung)

Symbol	Parameter	Bedingungen	Min	Typ	Max	Einheit
IDD (PLL)	PLL-Stromverbrauch auf VDD(1)	VCO-Frequenz = 96 MHz	-	200	260	µA
		VCO-Frequenz = 192 MHz	-	300	380	
		VCO-Frequenz = 344 MHz	-	520	650	

1. Durch Design garantiert.

2. Stellen Sie sicher, dass Sie den entsprechenden Teilungsfaktor M verwenden, um die angegebenen PLL-Eingangstaktwerte zu erhalten.

5.3.10 Flash-Speicher-Eigenschaften

Tabelle 41. Flash-Speicher-Eigenschaften(1)

Symbol	Parameter	Bedingungen	Typ	Max.	Einheit
tprog	64-Bit-Programmierzeit	-	85	125	µs
tprog_row	Zeile (32 Doppelwort) Programmierzeit	Normale Programmierung	2,7	4,6	MS
		Schnelle Programmierung	1,7	2,8	
tprog_page	Seite (2 Kbyte) Programmierzeit	Normale Programmierung	21,8	36,6	
		Schnelle Programmierung	13,7	22,4	
tERASE	Seite (2 Kbyte) Löszeit	-	22,0	40,0	
tprog_bank	Bank (64 Kbyte(2)) Programmierzeit	Normale Programmierung	0,7	1,2	S
		Schnelle Programmierung	0,4	0,7	
tME	Massenlöszeit	-	22,1	40,1	MS
IDD(FlashA)	Durchschnittlicher Verbrauch von VDD	Programmierung	3	-	mA
		Seite löschen	3	-	
		Massenlöschung	5	-	
IDD(FlashP)	Maximaler Strom (Spitze)	Programmierung, 2 µs Spitzendauer	7	-	mA
		Löschen, 41 µs Spitzendauer	7	-	

1. Durch Design garantiert.

2. Die angegebenen Werte gelten auch für Geräte mit weniger Flash-Speicher als einer 64-KByte-Bank

Tabelle 42. Lebensdauer und Datenerhaltung des Flash-Speichers

Symbol	Parameter	Bedingungen	Mindestens (1)	Einheit
NEND	Ausdauer	TA = -40 bis +85 °C 1	1	kZyklen
tRET	Datenaufbewahrung	kZyklus(2) bei TA = 85 °C	15	Jahre

1. Garantiert durch Charakterisierungsergebnisse.

2. Zyklen werden über den gesamten Temperaturbereich durchgeführt.

5.3.11 EMV-Eigenschaften

Anfälligkeitstests werden im Rahmen der Gerätecharakterisierung stichprobenartig durchgeführt.

Funktionelle EMS (elektromagnetische Suszeptibilität)

Während eine einfache Anwendung auf dem Gerät ausgeführt wird (Umschalten von 2 LEDs über E/A-Ports), wird das Gerät durch zwei elektromagnetische Ereignisse belastet, bis ein Fehler auftritt. Der Fehler wird durch die LEDs angezeigt:

- **Elektrostatistische Entladung (ESD)** (positiv und negativ) wird auf alle Gerätestifte angewendet, bis eine Funktionsstörung auftritt. Dieser Test entspricht der Norm IEC 61000-4-2.
- **FTB:** Ein Burst schneller transients Spannung (positiv und negativ) wird über einen 100-pF-Kondensator auf VDD und VSS angewendet, bis eine Funktionsstörung auftritt. Dieser Test entspricht der Norm IEC 61000-4-4.

Durch einen Gerätereset kann der Normalbetrieb wieder aufgenommen werden.

Die Testergebnisse sind in [Tabelle 43](#) aufgeführt. Sie basieren auf den im Anwendungshinweis AN1709 definierten EMS-Stufen und -Klassen.

Tabelle 43. EMS-Eigenschaften

Symbol	Parameter	Bedingungen	Ebene/ Klasse
VFESD	Spannungsgrenzen, die auf jeden I/O-Pin angewendet werden, um eine Funktionsstörung zu verursachen	VDD = 3,3 V, TA = +25 °C, fHCLK = 64 MHz, LQFP48, entspricht IEC 61000-4-2	2B
VEFTB	Grenzwerte für schnelle transiente Spannungsspitzen müssen über 100 pF auf die VDD- und VSS- Pins angewendet werden, um eine Funktionsstörung zu verursachen	VDD = 3,3 V, TA = +25 °C, fHCLK = 64 MHz, LQFP48, entspricht IEC 61000-4-4	5A

Entwicklung gehärteter Software zur Vermeidung von Rauschproblemen

Die EMV-Charakterisierung und -Optimierung wird auf Komponentenebene mit einer typischen Anwendungsumgebung und vereinfachter MCU-Software durchgeführt. Dabei ist zu beachten, dass eine gute EMV-Leistung stark von der Benutzeranwendung und insbesondere von der Software abhängt.

Daher wird dem Benutzer empfohlen, EMV-Softwareoptimierungen und Vorqualifizierungstests in Bezug auf den für seine Anwendung erforderlichen EMV-Level durchzuführen.

Softwareempfehlungen

Das Software-Flussdiagramm muss die Handhabung von außer Kontrolle geratenen Bedingungen beinhalten, wie beispielsweise:

- beschädigter Programmzähler
- unerwartetes Zurücksetzen
- kritische Datenbeschädigungen (z.B. Steuerregister)

Präqualifikationsversuche

Die meisten gängigen Fehler (unerwartetes Zurücksetzen und Beschädigung des Programmzählers) können reproduziert werden, indem am NRST-Pin oder den Oszillator-Pins manuell für 1 Sekunde ein niedriger Zustand erzwungen wird.

Um diese Tests abzuschließen, kann ESD-Belastung direkt auf das Gerät über den Bereich der Spezifikationswerte angewendet werden. Wenn unerwartetes Verhalten erkannt wird, kann die Software gehärtet werden, um das Auftreten nicht behebbarer Fehler zu verhindern (siehe Anwendungshinweis AN1015).

Elektromagnetische Interferenz (EMI)

Das vom Gerät abgegebene elektromagnetische Feld wird überwacht, während eine einfache Anwendung ausgeführt wird (Umschalten von 2 LEDs über die E/A-Anschlüsse). Dieser Emissionstest entspricht der Norm IEC 61967-2, die die Testplatine und die Pinbelegung spezifiziert.

Tabelle 44. EMI-Eigenschaften

Symbol	Parameter	Bedingungen	Überwacht Frequenzband	Max vs. [fHSE/fHCLK]	Einheit
				8 MHz / 64 MHz	
HALB	Spitzenpegel	VDD = 3,6 V, TA = 25 °C, LQFP64-Gehäuse konform mit IEC 61967-2	0,1 MHz bis 30 MHz	-4	dBµV
			30 MHz bis 130 MHz	1	
			130 MHz bis 1 GHz	3	
			1 GHz bis 2 GHz	8	
			EMI-Pegel	2.5	-

5.3.12 Elektrische Empfindlichkeitseigenschaften

Anhand dreier unterschiedlicher Tests (ESD, LU) wird mittels spezifischer Messverfahren das Gerät beansprucht, um seine Leistungsfähigkeit im Hinblick auf die elektrische Sensibilität zu ermitteln.

Elektrostatische Entladung (ESD)

Je nach Pin-Kombination werden elektrostatistische Entladungen (ein positiver und ein negativer Impuls im Abstand von 1 Sekunde) auf die Pins jeder Probe angewendet. Die Größe der Probe hängt von der Anzahl der Versorgungspins im Gerät ab (3 Teile × (n+1) Versorgungspins). Dieser Test entspricht dem ANSI/JEDEC-Standard.

Tabelle 45. Absolute Maximalwerte für ESD

Symbol	Bewertungen	Bedingungen	Klasse	Maximalwert(1)	Einheit
VESD(HBM)	Elektrostatistische Entladungsspannung (Modell des menschlichen Körpers)	TA = +25 °C, entsprechend ANSI/ESDA/JEDEC JS-001	2	2000	V
VESD (CDM)	Elektrostatistische Entladungsspannung (Ladegerätemodell)	TA = +25 °C, entsprechend ANSI/ESDA/JEDEC JS-002	C2a	500	

1. Basierend auf Charakterisierungsergebnissen, nicht in der Produktion getestet.

Statischer Latch-Up

Zur Beurteilung der Latch-Up-Leistung sind zwei ergänzende statische Tests an sechs Teilen erforderlich:

An jeden Stromversorgungspin wird eine Versorgungsüberspannung angelegt.

- In jeden Eingangs-, Ausgangs- und konfigurierbaren E/A-Pin wird ein Strom eingespeist.

Diese Tests entsprechen dem IC-Latch-Up-Standard EIA/JESD 78A.

Tabelle 46. Elektrische Empfindlichkeit

Symbol	Parameter	Bedingungen	Klasse
LU	Statische Latch-Up-Klasse	TA = +85 °C entspricht JESD78	II Stufe A

5.3.13 E/A-Stromeinspeisungseigenschaften

Als allgemeine Regel gilt, dass Stromeinspeisungen in die I/O-Pins aufgrund externer Spannungen unter VSS oder über VDDIO1 (für standardmäßige, 3,3 V-fähige I/O-Pins) während des normalen Produktbetriebs vermieden werden sollten. Um jedoch einen Anhaltspunkt für die Robustheit des Mikrocontrollers in Fällen zu geben, in denen es versehentlich zu einer abnormalen Einspeisung kommt, werden während der Gerätecharakterisierung stichprobenweise Anfälligkeitstests durchgeführt.

Funktionale Anfälligkeit gegenüber I/O-Stromeinspeisung

Während eine einfache Anwendung auf dem Gerät ausgeführt wird, wird das Gerät durch Einspeisen von Strom in die im Floating-Input-Modus programmierten I/O-Pins belastet. Während Strom nacheinander in die I/O-Pins eingespeist wird, wird das Gerät auf Funktionsfehler geprüft.

Der Fehler wird durch einen Parameter außerhalb des Bereichs angezeigt: ADC-Fehler über einem bestimmten Grenzwert (höher als 5 LSB TUE), induzierter Leckstrom an benachbarten Pins außerhalb der herkömmlichen Grenzwerte (Bereich -5 μ A/+0 μ A) oder anderer Funktionsfehler (z. B. Auftreten eines Resets oder Abweichung der Oszillatorfrequenz).

Negativ induzierter Leckstrom wird durch negative Injektion verursacht und positiv induzierter Leckstrom wird durch positive Injektion verursacht.

Tabelle 47. Anfälligkeit gegenüber I/O-Stromeinspeisung(1)

Symbol	Beschreibung	Funktionelle Anfälligkeit		Einheit	
		Negative Injektion	Positive Einspeisung		
IINJ	Eingespritzter Strom am Pin	Alle außer PA1, PA3, PA5, PA6, PA13, PB0, PB1, PB2 und PB8	-5	N / A	mA
		PA1, PA5, PA13, PB1, PB2	0	+5 / Nicht zutreffend ⁽²⁾	
		PA3, PA6, PB0	-5	+5 / Nicht zutreffend (2)	
		PB8	0	N / A	

1. Basierend auf Charakterisierungsergebnissen, nicht in der Produktion getestet.

2. Der Injektionsstromwert ist anwendbar, wenn die schaltbare Diode aktiviert ist, N/A, wenn sie nicht aktiviert ist.

5.3.14 E/A-Port-Eigenschaften

Allgemeine Eingabe-/Ausabeeigenschaften

Sofern nicht anders angegeben, basieren die in [Tabelle 48](#) angegebenen Parameter auf Tests, die unter den in [Tabelle 21](#) zusammengefassten Bedingungen durchgeführt wurden: *Allgemeine Betriebsbedingungen*. Alle E/A sind CMOS- und TTL-kompatibel ausgelegt.

Tabelle 48. Statische E/A-Eigenschaften

Symbol	Parameter	Bedingungen		Mindest	Typ	Max	Einheit
VIL (1) I/O	Eingang niedriger Pegel Stromspannung	Alle	VDD(min) < VDDIO1 < 3,6 V	-	-	0,3 x VDDIO1 (2)	V
						0,39 x VDDIO1 - 0,06 (3)	
VIH(1)	Hohe E/A- Eingangsspannung	Alle	VDD(min) < VDDIO1 < 3,6 V	0,7 x VDDIO1(2)	-	-	V
				0,49 x VDDIO1 + 0,26(3)	-	-	
Vhys(3) I/O	Eingangshysterese	FT_xx, NRST	VDD(min) < VDDIO1 < 3,6 V	-	200	-	mV
I _{lkg}	Eingangsleckstrom(3)	Alle außer FT_e	0 < VIN \dot{y} VDDIO1	-	-	± 70	n/A
			VDDIO1 \dot{y} VIN \dot{y} VDDIO1+1 V	-	-	600(4)	
			VDDIO1 +1 V < VIN \dot{y} 5,5 V(3)	-	-	150(4)	
		FT_e (5)	0 < VIN < VDDIO1	-	-	5	μ A
RPU	Schwacher Pull-Up- Äquivalentwiderstand (6)	VIN = VSS		25	40	55	k \dot{y}
RPD	Schwacher Pulldown äquivalenter Widerstand(6)	VIN = VDDIO1		25	40	55	k \dot{y}
CIO I/O	Pin-Kapazität	-		-	5	-	pF

1. Siehe Abbildung 16: *E/A-Eingangseigenschaften*.

2. In der Produktion getestet.

3. Durch das Design garantiert.

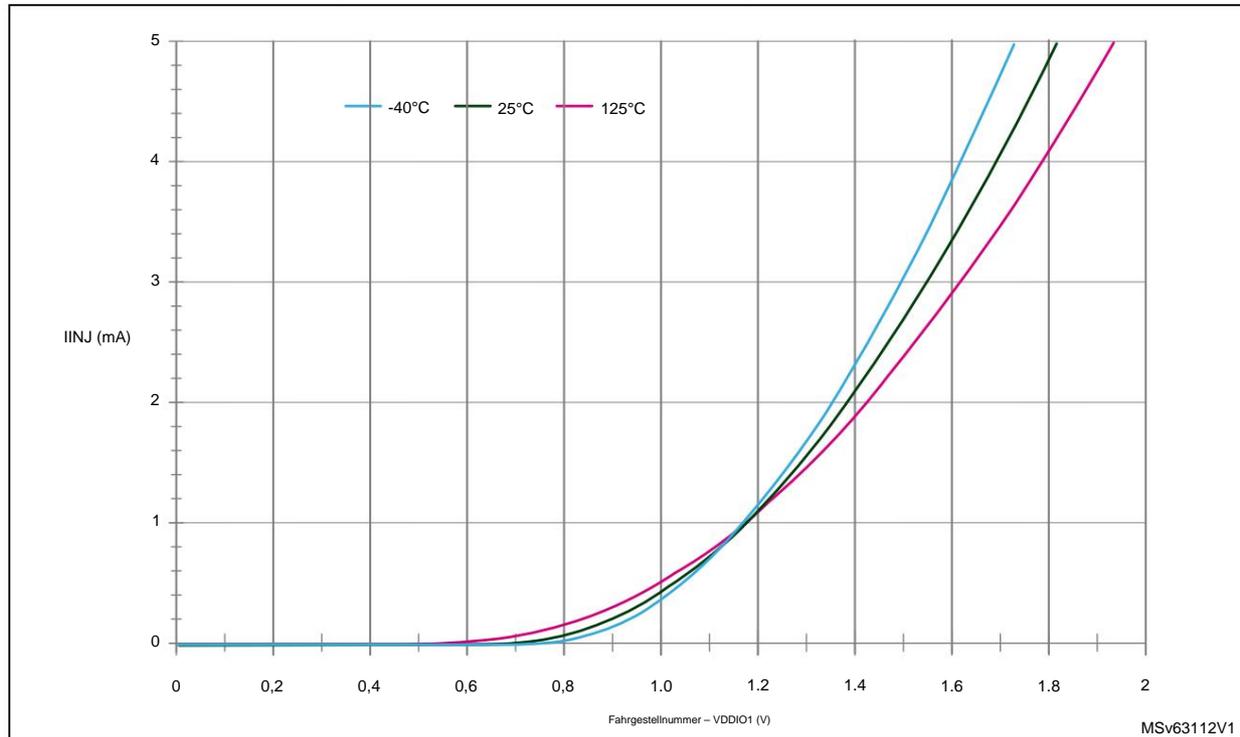
4. Dieser Wert stellt den Pad-Leckstrom des I/O selbst dar. Der gesamte Pad-Leckstrom des Produkts wird durch diese Formel berechnet:

$$I_{Total_leak_max} = 10 \mu A + [\text{Anzahl der I/Os, bei denen VIN auf dem Pad angewendet wird}] \dot{y} I_{lkg}(\text{Max}).$$

5. FT_e mit aktivierter Diode. Der Eingangsleckstrom von FT_e-E/As mit deaktivierter Diode ist derselbe wie bei Standard-E/As.

6. Pull-Up- und Pull-Down-Widerstände sind mit einem echten Widerstand in Reihe mit einem umschaltbaren PMOS/NMOS ausgelegt. Dies
Der Beitrag von PMOS/NMOS zum Serienwiderstand ist minimal (~10 % der Ordnung).

Abbildung 17. Stromeinspeisung in den FT_e-Eingang mit aktiver Diode



Ausgangs-Treiberstrom

Die GPIOs (Allzweck-Ein-/Ausgänge) können bis zu ± 6 mA aufnehmen oder liefern, und bis zu ± 15 mA bei entspanntem VOL/VOH.

In der Benutzeranwendung muss die Anzahl der E/A-Pins, die Strom treiben können, begrenzt werden, um die in [Abschnitt 5.2 angegebene absolute Maximalleistung einzuhalten](#):

- Die Summe der Ströme aller I/Os auf VDDIO1 plus der maximale Stromverbrauch der MCU aus VDD kann den absoluten Maximalwert IVDD nicht überschreiten (siehe [Tabelle 18: Spannungseigenschaften](#)).
- Die Summe der von allen E/As auf VSS abgeleiteten Ströme plus der maximale Verbrauch der MCU auf VSS kann den absoluten Maximalwert IVSS nicht überschreiten (siehe [Tabelle 18: Spannungseigenschaften](#)).

Ausgangsspannungspegel

Sofern nicht anders angegeben, basieren die in der folgenden Tabelle angegebenen Parameter auf Tests, die unter den in Tabelle 21 zusammengefassten Umgebungstemperatur- und Versorgungsspannungsbedingungen durchgeführt wurden: [Allgemeine Betriebsbedingungen](#). Alle E/A sind CMOS- und TTL-kompatibel (FT ODER TT, sofern nicht anders angegeben).

Tabelle 50. Ausgangsspannungseigenschaften(1)

Symbol	Parameter	Bedingungen	Mindest	Max	Einheit
VOL	Ausgangsspannung mit niedrigem Pegel für einen I/O-Pin des CMOS-Ports(2)	I _{I/O} 6 mA VDDIO1 $\dot{\bar{y}}$ 2,7 V	-	0,4	V
VOH	Hochpegelspannung für einen I/O-Pin ausgeben		VDDIO1 – 0,4	-	
VOL(3)	Ausgangsspannung mit niedrigem Pegel für einen I/O-Pin des TTL-Ports(2)	I _{I/O} = 6 mA VDDIO1 $\dot{\bar{y}}$ 2,7 V	-	0,4	
VOH(3)	Ausgangsspannung für einen I/O-Pin		2,4	-	
VOL(3)	Ausgangsspannung mit niedrigem Pegel für einen I/O-Pin	Alle E/As I _{I/O} = 15 mA VDDIO1 $\dot{\bar{y}}$ 2,7 V	-	1,3	
VOH(3)	Ausgangsspannung für einen I/O-Pin		VDDIO1 – 1,3	-	
VOL(3)	Ausgangsspannung mit niedrigem Pegel für einen I/O-Pin	I _{I/O} = 3 mA VDDIO1	-	0,4	
VOH(3)	Ausgangsspannung für einen I/O-Pin		VDDIO1 – 0,45	-	
VOLFM+(3)	Niedrige Ausgangsspannung für einen FT I/O-Pin im FM+-Modus (FT I/O mit Option _f)	I _{I/O} = 20 mA VDDIO1 $\dot{\bar{y}}$ 2,7 V	-	0,4	
		I _{I/O} = 9 mA VDDIO1	-	0,4	

- Der vom Gerät gelieferte oder aufgenommene I/O- Strom muss immer den in Tabelle 18 angegebenen absoluten Maximalwert einhalten : [Spannungseigenschaften](#) und die Summe der von allen E/A (E/A-Ports und Steuerpins) gelieferten oder aufgenommenen Ströme müssen immer die absoluten Maximalwerte $\dot{\bar{y}}$ I/O einhalten.
- TTL- und CMOS-Ausgänge sind mit den JEDEC-Standards JESD36 und JESD52 kompatibel.
- Durch das Design garantiert.

Eingangs-/Ausgangs-AC-Eigenschaften

Die Definition und Werte der Eingangs-/Ausgangs-AC-Eigenschaften sind in [Abbildung 18](#) bzw. [Tabelle 51](#) angegeben .

Sofern nicht anders angegeben, basieren die angegebenen Parameter auf Tests, die unter den in Tabelle 21 zusammengefassten Umgebungstemperatur- und Versorgungsspannungsbedingungen durchgeführt wurden : [Allgemeine Betriebsbedingungen](#).

Tabelle 51. E/A-AC-Merkmale(1)(2)

Geschwindigkeitssymbol	Parameter	Bedingungen	Min.	Max.	Einheit
00	Fmax Maximale Frequenz	C=50 pF, 2,7 V $\dot{\bar{y}}$ VDDIO1 $\dot{\bar{y}}$ 3,6 V	-	2	MHz
		C=50 pF, 2,0 V $\dot{\bar{y}}$ VDDIO1 $\dot{\bar{y}}$ 2,7 V	-	0,35	
		C = 10 pF, 2,7 V $\dot{\bar{y}}$ VDDIO1 $\dot{\bar{y}}$ 3,6 VC =	-	3	
		10 pF, 2,0 V $\dot{\bar{y}}$ VDDIO1 $\dot{\bar{y}}$ 2,7 VC = 50	-	0,45	
Tr/Tf	Anstiegs- und Abfallzeit des Ausgangs	pF, 2,7 V $\dot{\bar{y}}$ VDDIO1 $\dot{\bar{y}}$ 3,6 VC = 50 pF,	-	100	ns
		2,0 V $\dot{\bar{y}}$ VDDIO1 $\dot{\bar{y}}$ 2,7 V	-	225	
		C=10 pF, 2,7 V $\dot{\bar{y}}$ VDDIO1 $\dot{\bar{y}}$ 3,6 V	-	75	
		C=10 pF, 2,0 V $\dot{\bar{y}}$ VDDIO1 $\dot{\bar{y}}$ 2,7 V	-	150	

Tabelle 51. E/A-AC-Merkmale(1)(2) (Fortsetzung)

Geschwindigkeitssymbol	Parameter	Bedingungen	Min.	Max.	Einheit
01	Fmax Maximale Frequenz	C=50 pF, 2,7 V \ddot{y} VDDIO1 \ddot{y} 3,6 V	-	10	MHz
		C=50 pF, 1,6 V \ddot{y} VDDIO1 \ddot{y} 2,7 V	-	2	
		C = 10 pF, 2,7 V \ddot{y} VDDIO1 \ddot{y} 3,6	-	15	
		VC = 10 pF, 1,6 V \ddot{y} VDDIO1 \ddot{y} 2,7	-	2.5	
	Tr/Tf Anstiegs- und Abfallzeit des Ausgangs	VC = 50 pF, 2,7 V \ddot{y} VDDIO1 \ddot{y} 3,6	-	30	ns
		VC = 50 pF, 1,6 V \ddot{y} VDDIO1 \ddot{y} 2,7 V	-	60	
		C=10 pF, 2,7 V \ddot{y} VDDIO1 \ddot{y} 3,6 V	-	15	
		C = 10 pF, 1,6 V \ddot{y} VDDIO1 \ddot{y} 2,7	-	30	
10	Fmax Maximale Frequenz	VC = 50 pF, 2,7 V \ddot{y} VDDIO1 \ddot{y} 3,6	-	30	MHz
		VC = 50 pF, 1,6 V \ddot{y} VDDIO1 \ddot{y} 2,7	-	15	
		VC = 10 pF, 2,7 V \ddot{y} VDDIO1 \ddot{y} 3,6 V	-	60	
		C=10 pF, 1,6 V \ddot{y} VDDIO1 \ddot{y} 2,7 V	-	30	
	Tr/Tf Anstiegs- und Abfallzeit des Ausgangs	C=50 pF, 2,7 V \ddot{y} VDDIO1 \ddot{y} 3,6	-	11	ns
		VC=50 pF, 1,6 V \ddot{y} VDDIO1 \ddot{y} 2,7	-	22	
		VC=10 pF, 2,7 V \ddot{y} VDDIO1 \ddot{y} 3,6	-	4	
		VC=10 pF, 1,6 V \ddot{y} VDDIO1 \ddot{y} 2,7	-	8	
11	Fmax Maximale Frequenz	VC =30 pF, 2,7 V \ddot{y} VDDIO1 \ddot{y} 3,6	-	60	MHz
		VC=30 pF, 1,6 V \ddot{y} VDDIO1 \ddot{y} 2,7 V	-	30	
		C=10 pF, 2,7 V \ddot{y} VDDIO1 \ddot{y} 3,6 V	-	80(3)	
		C = 10 pF, 1,6 V \ddot{y} VDDIO1 \ddot{y} 2,7	-	40	
	Tr/Tf Anstiegs- und Abfallzeit des Ausgangs	VC = 30 pF, 2,7 V \ddot{y} VDDIO1 \ddot{y} 3,6	-	5.5	ns
		VC = 30 pF, 1,6 V \ddot{y} VDDIO1 \ddot{y} 2,7	-	11	
		VC = 10 pF, 2,7 V \ddot{y} VDDIO1 \ddot{y} 3,6 V	-	2.5	
		C=10 pF, 1,6 V \ddot{y} VDDIO1 \ddot{y} 2,7 V	-	5	
Fm+	Fmax Maximale Frequenz		-	1	MHz
	Tf Ausgangsabfallzeit(4)	C=50 pF, 1,6 V \ddot{y} VDDIO1 \ddot{y} 3,6 V	-	5	ns

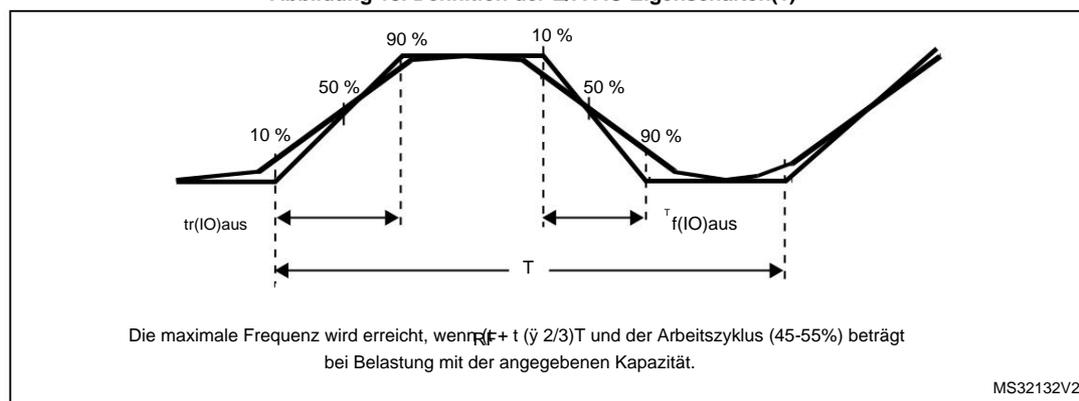
1. Die E/A-Geschwindigkeit wird mit den OSPEEDRy[1:0]-Bits konfiguriert. Der Fm+-Modus wird im SYSCFG_CFGR1-Register konfiguriert. Eine Beschreibung des GPIO-Port-Konfigurationsregisters finden Sie im RM0454-Referenzhandbuch.

2. Durch das Design garantiert.

3. Dieser Wert stellt die E/A-Fähigkeit dar, aber die maximale Systemfrequenz ist auf 64 MHz begrenzt.

4. Die Abfallzeit wird gemäß I2C- Spezifikation zwischen 70 % und 30 % der Ausgangswellenform definiert .

Abbildung 18. Definition der E/A-AC-Eigenschaften(1)



1. Siehe [Tabelle 51: E/A-AC-Eigenschaften](#).

5.3.15 NRST-Eingangseigenschaften

Der NRST-Eingangstreiber verwendet CMOS-Technologie. Er ist mit einem permanenten Pull-Up-Widerstand, RPU, verbunden.

Sofern nicht anders angegeben, basieren die in der folgenden Tabelle angegebenen Parameter auf Tests, die unter den in Tabelle 21 zusammengefassten Umgebungstemperatur- und Versorgungsspannungsbedingungen durchgeführt wurden : [Allgemeine Betriebsbedingungen](#).

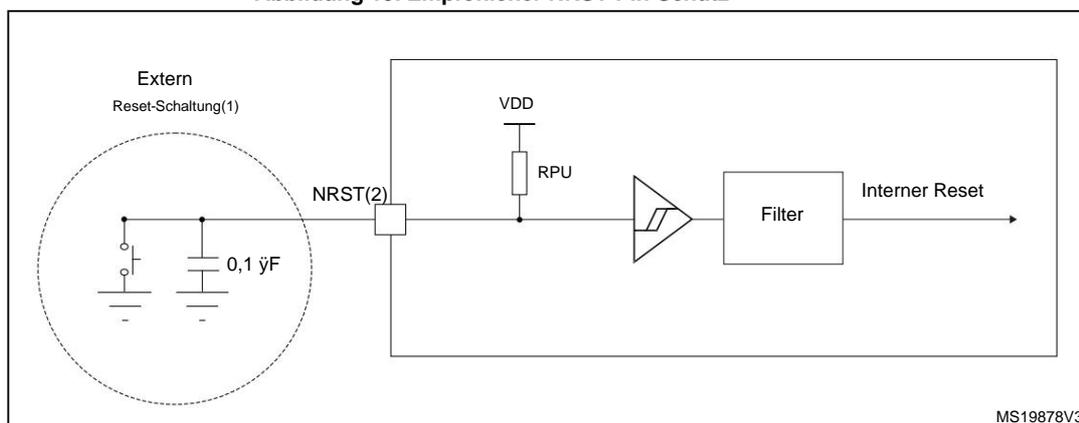
Tabelle 52. NRST-Pin-Eigenschaften(1)

Symbol	Parameter	Bedingungen	Mindest	Typ	Max	Einheit
VIL (NRST)	NRST-Eingangsspannung niedrig	-	-	-	0,3 x VDDIO1	V
VIH (NRST)	NRST-Eingangsspannung mit hohem Pegel	-	0,7 x VDDIO1	-	-	
Vhys (NRST)	NRST Schmitt-Trigger Spannungshysterese	-	-	200	-	mV
RPU	Schwacher Pull-Up-Äquivalentwiderstand(2)	VIN = VSS	25	40	55	k Ω
VF (NRST)	NRST-Eingangfilterimpuls	-	-	-	70	ns
VNF (NRST)	NRST-Eingang nicht gefilterter Impuls	2,0 V \ddot{y} VDD \ddot{y} 3,6 V	350	-	-	ns

1. Durch Design garantiert.

2. Der Pull-Up ist mit einem echten Widerstand in Reihe mit einem schaltbaren PMOS ausgelegt. Dieser PMOS-Beitrag zum Serienwiderstand ist minimal (~10 % Ordnung).

Abbildung 19. Empfohlener NRST-Pin-Schutz



1. Das Reset-Netzwerk schützt das Gerät vor parasitären Resets.
2. Der Benutzer muss sicherstellen, dass der Pegel am NRST-Pin unter den in [Tabelle 52: NRST-Pin-Eigenschaften](#) angegebenen VIL(NRST) -Maximalpegel fallen kann. Andernfalls wird der Reset vom Gerät nicht berücksichtigt.
3. Der externe Kondensator am NRST muss so nah wie möglich am Gerät platziert werden.

5.3.16 Analoger Schaltverstärker

Tabelle 53. Eigenschaften des analogen Schaltverstärkers(1)

Symbol	Parameter	Mindest	Typ	Max	Einheit
VDD	Versorgungsspannung	VDD (min)	-	3.6	V
t _{SU(BOOST)}	Booster-Startzeit	-	-	240	µs
	Booster-Verbrauch für VDD \bar{y} 2,7 V	-	-	500	
	Booster-Verbrauch für 2,7 V \bar{y} VDD \bar{y} 3,6 V	-	-	900	

1. Durch Design garantiert.

5.3.17 Eigenschaften des Analog-Digital-Wandlers

Sofern nicht anders angegeben, handelt es sich bei den in [Tabelle 54](#) angegebenen Parametern um vorläufige Werte, die aus Tests abgeleitet wurden, die unter den in Tabelle 21 zusammengefassten Bedingungen Umgebungstemperatur, fPCLK-Frequenz und VDDA- Versorgungsspannung durchgeführt wurden : [Allgemeine Betriebsbedingungen](#).

Notiz:

Es wird empfohlen, nach jedem Einschalten eine Kalibrierung durchzuführen.

Tabelle 54. ADC-Eigenschaften(1)

Symbol	Parameter	Bedingungen(2)	Mindest	Typ	Max	Einheit
VDDA	Analoge Versorgungsspannung	-	2.0	-	3.6	V
VREF+	Positive Referenz Stromspannung	-	2 - VDDA			V
f _{ADC}	ADC-Taktfrequenz	Bereich 1	0,14	-	35	MHz
		Bereich 2	0,14	-	16	

Tabelle 54. ADC-Eigenschaften(1) (Fortsetzung)

Symbol	Parameter	Bedingungen(2)	Mindest	Typ	Max	Einheit
fs	Abtastrate	12 Bit	-	-	2,50	MSps
		10 Bit	-	-	2,92	
		8 Bit	-	-	3,50	
		6 Bit	-	-	4,38	
fTRIG	Externe Triggerfrequenz	fADC = 35 MHz; 12 Bit	-	-	2,33	MHz
		12 Bit	-	-	fADC/15	
(3) VERGEBLICH	Umwandlungsspannungsbereich	-	VSSA	-	VREF+	V
REGEN	Externe Eingangsimpedanz	-	-	-	50	k Ω
CADC	Interner Abtast- und Haltekondensator	-	-	5	-	pF
tSTAB	ADC-Einschaltzeit	-	2			Konvertierungszyklus
tCAL	Kalibrierungszeit	fADC = 35 MHz	2,35			
		-	82			1/fADC
tLATR	Latenz der Triggerkonvertierung	CKMODE = 00	2	-	3	1/fADC
		CKMODE = 01	6,5			1/fPCLK
		CKMODE = 10	12,5			
		CKMODE = 11	3,5			
		fADC = 35 MHz	0,043	-	4,59	μ s
			1,5	-	160,5	1/fADC
ts tADCVREG_STUP	Abtastzeit Startzeit des ADC- Spannungsreglers	-	-	-	20	μ s
tCONV	Gesamte Konvertierungszeit (einschließlich Probenahmezeit)	fADC = 35 MHz Auflösung = 12 Bit	0,40	-	4,95	μ s
		Auflösung = 12 Bit	ts + 12,5 Zyklen für sukzessive Approximation = 14 bis 173			1/fADC
tIDLE	Erlaubte Zeiträume zwischen zwei Konvertierungen ohne <small>wiederbewaffnen</small>	-	-	-	100	μ s
IDDA(ADC)	ADC-Verbrauch von VDDA	fs = 2,5 MSps	-	410	-	μ A
		fs = 1 MSps	-	164	-	
		fs = 10 kSps	-	17	-	
IDDV(ADC)	ADC-Verbrauch von VREF+	fs = 2,5 MSps	-	65	-	μ A
		fs = 1 MSps	-	26	-	
		fs = 10 kSps	-	0,26	-	

1. Garantiert durch Design
2. Der Spannungsverstärker für analoge E/A-Schalter muss aktiviert werden (BOOSTEN = 1 in SYSCFG_CFGR1), wenn VDDA < 2,4 V ist und deaktiviert, wenn VDDA ≥ 2,4 V.
3. VREF+ ist bei einigen Gehäusen intern mit VDDA verbunden. Siehe [Abschnitt 4: Pinbelegung, Pinbeschreibung und alternative Funktionen](#) für weitere Details.

Tabelle 55. Maximaler ADC RAIN .

Auflösung	Abtastzyklus bei 35 MHz	Abtastzeit bei 35 MHz [ns]	Max. REGEN(1)(2) (ȳ)
12 Bit	1.5	43	50
	3.5	100	680
	7.5	214	2200
	12.5	357	4700
	19,5	557	8200
	39,5	1129	15000
	79,5	2271	33000
	160,5	4586	50000
10 Bit	1.5	43	68
	3.5	100	820
	7.5	214	3300
	12.5	357	5600
	19,5	557	10000
	39,5	1129	22000
	79,5	2271	39000
	160,5	4586	50000
8 Bit	1.5	43	82
	3.5	100	1500
	7.5	214	3900
	12.5	357	6800
	19,5	557	12000
	39,5	1129	27000
	79,5	2271	50000
	160,5	4586	50000

Tabelle 55. Maximaler ADC RAIN . (Fortsetzung)

Auflösung	Abtastzyklus bei 35 MHz	Abtastzeit bei 35 MHz [ns]	Max. REGEN(1)(2) (ȳ)
6 Bit	1.5	43	390
	3.5	100	2200
	7.5	214	5600
	12.5	357	10000
	19,5	557	15000
	39,5	1129	33000
	79,5	2271	50000
	160,5	4586	50000

1. Durch Design garantiert.

2. Der Spannungsverstärker für analoge E/A-Schalter muss aktiviert werden (BOOSTEN = 1 in SYSCFG_CFGR1), wenn VDDA < 2,4 V ist und deaktiviert, wenn VDDA ȳ 2,4 V.

Tabelle 56. ADC- Genauigkeit(1)(2)(3)

Symbol	Parameter	Bedingungen(4)	Min	Typ	Max	Einheit	
ET	Gesamt unbereinigte Fehler	VDDA = VREF+ < 3,6 V; fADC = 35 MHz; fs ȳ 2,5 MSps; TA = gesamter Bereich	-		3	6,5 LSB	
EO	Offsetfehler	VDDA = VREF+ < 3,6 V; fADC = 35 MHz; fs ȳ 2,5 MSps; TA = gesamter Bereich	-		1,5 4,5	LSB	
Z.B	Verstärkungsfehler	VDDA = VREF+ < 3,6 V; fADC = 35 MHz; fs ȳ 2,5 MSps; TA = gesamter Bereich	-		3	5 LSB	
ED	Differentieller Linearitätsfehler	VDDA = VREF+ < 3,6 V; fADC = 35 MHz; fs ȳ 2,5 MSps; TA = gesamter Bereich	-		1,2 1,5	LSB	
EL	Integrale Linearität Fehler	VDDA = VREF+ < 3,6 V; fADC = 35 MHz; fs ȳ 2,5 MSps; TA = gesamter Bereich	-		2.5	3 LSB	
ENOB	Effektive Anzahl Bits	VDDA = VREF+ < 3,6 V; fADC = 35 MHz; fs ȳ 2,5 MSps; TA = gesamter Bereich	9,6	10,2		-	bits
SINAD	Signal-Rausch-Verhältnis und Verzerrungs-Verhältnis	VDDA = VREF+ < 3,6 V; fADC = 35 MHz; fs ȳ 2,5 MSps; TA = gesamter Bereich	59,5	63		-	dB
SNR	Signal-Rausch-Verhältnis	VDDA = VREF+ < 3,6 V; fADC = 35 MHz; fs ȳ 2,5 MSps; TA = gesamter Bereich	60	64		-	dB
Klirrfaktor	Gesamte harmonische Verzerrung	VDDA = VREF+ < 3,6 V; fADC = 35 MHz; fs ȳ 2,5 MSps; TA = gesamter Bereich	-		-74	-70 dB	

1. Basierend auf Charakterisierungsergebnissen, nicht in der Produktion getestet.
2. ADC-DC-Genauigkeitswerte werden nach der internen Kalibrierung gemessen.
3. Das Einspeisen eines negativen Stroms an einem analogen Eingangspin verringert die Genauigkeit der A/D-Umwandlung eines Signals an einem anderen analogen Eingang erheblich. Es wird empfohlen, analogen Pins, die anfällig für negativen Strom sind, eine Schottky-Diode (Pin an Masse) hinzuzufügen.
4. Spannungsverstärker für analogen E/A-Schalter aktiviert (BOOSTEN = 1 in SYSCFG_CFGR1), wenn VDDA < 2,4 V, und deaktiviert, wenn VDDA \geq 2,4 V.

Abbildung 20. ADC-Genauigkeitseigenschaften

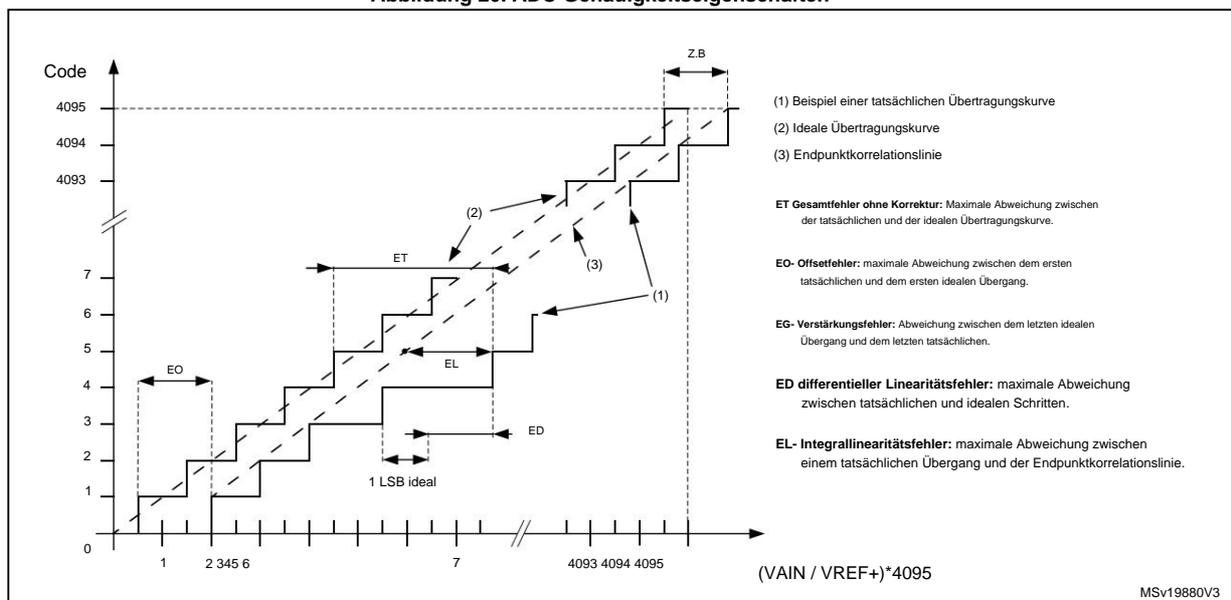
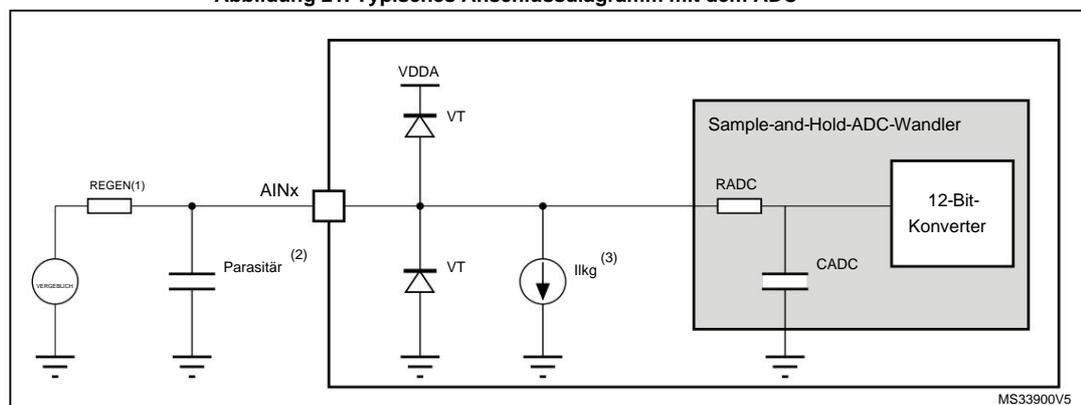


Abbildung 21. Typisches Anschlussdiagramm mit dem ADC



1. Die Werte für RAIN und CADC finden Sie in [Tabelle 54: ADC-Eigenschaften](#).
2. Cparasitic stellt die Kapazität der Leiterplatte (abhängig von der Löt- und Leiterplattenlayoutqualität) plus die Pad-Kapazität dar (den Wert der Pad-Kapazität finden Sie in [Tabelle 48: Statische E/A-Eigenschaften](#)). Ein hoher Cparasitic-Wert verschlechtert die Konvertierungsgenauigkeit. Um dies zu beheben, sollte fADC reduziert werden.
3. Die Werte für Ikg finden Sie in [Tabelle 48: Statische E/A-Eigenschaften](#).

Allgemeine Richtlinien zum PCB-Design

Die Entkopplung der Stromversorgung sollte wie in [Abbildung 9: Stromversorgungsschema](#) dargestellt erfolgen. Der 100-nF-Kondensator sollte aus Keramik (gute Qualität) sein und möglichst nah am Chip platziert werden.

5.3.18 Eigenschaften des Temperatursensors

Tabelle 57. TS-Eigenschaften

Symbol	Parameter	Mindest	Typ	Max	Einheit
TL (1)	VTS- Linearität mit Temperatur	-	±1	±2	°C
Avg_Slope(2)	Durchschnittliche Steigung	2.3	2.5	2.7	mV/°C
V30	Spannung bei 30°C (±5 °C)(3)	0,742	0,76	0,785	V
tSTART(TS_BUF)(1)	Sensorpuffer Startzeit im Dauerbetrieb(4)	-	8	15	µs
tSTART(1)	Anlaufzeit beim Wechsel in den Dauerbetrieb(4)	-	70	120	µs
tS_temp(1) ADC	Abtastzeit beim Auslesen der Temperatur	5	-	-	µs
IDD(TS)(1)	Temperatursensorverbrauch von VDD, wenn durch ADC ausgewählt	-	4.7	7	µA

1. Durch Design garantiert.

2. Basierend auf Charakterisierungsergebnissen, nicht in der Produktion getestet.

3. Gemessen bei VDDA = 3,0 V ±10 mV. Das V30- ADC-Konvertierungsergebnis wird im TS_CAL1-Byte gespeichert.

4. Kontinuierlicher Modus bedeutet Betriebs-/Ruhemodus oder Aktivierung des Temperatursensors im Energiesparmodus/Energiesparmodus.

5.3.19 VBAT -Überwachungseigenschaften

Tabelle 58. VBAT -Überwachungsmerkmale

Symbol	Parameter	Mindest	Typ	Max	Einheit
R	Widerstandsbrücke für VBAT	-	39	-	kΩ
Q	Verhältnis bei VBAT- Messung	-	3	-	-
Äh(1)	Fehler bei Q	-10	-	10	%
tS_vbat(1) ADC	Abtastzeit beim Lesen des VBAT	12	-	-	µs

1. Durch Design garantiert.

Tabelle 59. VBAT- Ladeeigenschaften

Symbol	Parameterbedingungen	Mindest	Typ	Max	Einheit
RBC	VBRS = 0	-	5	-	kΩ
	Batterieladewiderstand VBRS = 1	-	1.5	-	

5.3.20 Timer-Eigenschaften

Die in den folgenden Tabellen angegebenen Parameter sind konstruktionsbedingt garantiert.

Einzelheiten zu den Eigenschaften der alternativen Ein-/Ausgabefunktionen (Ausgabevergleich,

Eingabeerfassung, externer Takt, PWM-Ausgabe) finden Sie in [Abschnitt 5.3.14: Eigenschaften der E/A-Anschlüsse](#).

Tabelle 60. TIMx(1) -Eigenschaften

Symbol	Parameter	Bedingungen	Mindest	Max	Einheit
tres(TIM)	Timer-Auflösungszeit	-	1	-tTIMxCLK	
		fTIMxCLK = 64 MHz	15.625	-	ns
fEXT	Externe Taktfrequenz des Timers auf CH1 bis CH4	-	0fTIMxCLK/2		MHz
		fTIMxCLK = 64 MHz	0	40	
ResTIM	Timer-Auflösung	TIMx	-	16	bits
tCOUNTER 16-Bit-Zählertaktperiode		-	1	65536	tTIMxCLK
		fTIMxCLK = 64 MHz	0,015625	1024	µs
tMAX_COUNT	Maximal mögliche Anzahl mit 32-Bit-Zähler	-	-	65536 × 65536 tTIMxCLK	
		fTIMxCLK = 64 MHz	-	67,10	S

1. TIMx wird als allgemeiner Begriff verwendet, wobei x für 1, 3, 4, 5, 6, 7, 8, 15, 16 oder 17 steht.

Tabelle 61. Min./Max. IWDG-Timeout-Zeitraum bei 32 kHz LSI-Takt(1)

Prescaler Teiler PR[2:0]	Bits Min Timeout	RL[11:0]= 0x000 Max Timeout RL[11:0]= 0xFF	Einheit
/4	0	0,125	512
/8	1	0,250	1024
/16	2	0,500	2048
/32	3	1.0	4096
/64	4	2.0	8192
/128	5	4.0	16384
/256	6 oder 7	8,0	32768

1. Die genauen Zeiten hängen außerdem von der Phase des APB-Schnittstellentakts gegenüber dem LSI-Takt ab, was zu einer Unsicherheit einer RC-Periode.

5.3.21 Eigenschaften von Kommunikationsschnittstellen

2 I²C-Bus-Schnittstelleneigenschaften

Die I²C-Bus-Schnittstelle erfüllt die Timing-Anforderungen der I²C-Bus-Spezifikation und des Benutzers Handbuch Rev. 03 für:

- Standard-Modus (Sm): mit einer Bitrate bis zu 100 kbit/s • Fast-Modus (Fm): mit einer Bitrate bis zu 400 kbit/s • Fast-Modus Plus (Fm+): mit einer Bitrate bis zu 1 Mbit/s.

Die Timings werden konstruktionsbedingt garantiert, solange das I²C-Peripheriegerät richtig konfiguriert ist (siehe Referenzhandbuch RM0454) und die I²CCLK-Frequenz höher ist als das in der folgenden Tabelle angegebene Minimum.

Tabelle 62. Minimale I2CCLK-Frequenz

Symbol	Parameter	Zustand	Typ	Einheit	
fI2CCLK(min)	Minimale I2CCLK-Frequenz für den korrekten Betrieb des I2C-Peripheriegeräts	Standard-Modus		2	MHz
		Schnellmodus	Analogfilter aktiviert	9	
			DNF = 0		
			Analogfilter deaktiviert	9	
			DNF = 1		
		Schnellmodus Plus	Analogfilter aktiviert	18	
			DNF = 0		
			Analogfilter deaktiviert	16	
DNF = 1					

Die SDA- und SCL-E/A-Anforderungen werden mit den folgenden Einschränkungen erfüllt: Die SDA- und SCL-E/A-Pins sind keine „echten“ Open-Drain-Pins. Bei der Konfiguration als Open-Drain ist der zwischen dem E/A-Pin und VDDIO1 angeschlossene PMOS deaktiviert, aber immer noch vorhanden. Nur FT_f-E/A-Pins unterstützen den maximalen Fm+-Ausgangsstrombedarf bei niedrigem Pegel. Informationen zu den I2C-E/A-Eigenschaften finden Sie in [Abschnitt 5.3.14: E/A-Port-Eigenschaften](#).

Alle I2C SDA- und SCL-E/As verfügen über einen integrierten Analogfilter. Seine Eigenschaften finden Sie in der folgenden Tabelle:

Tabelle 63. Eigenschaften analoger I2C-Filter(1)

Symbol	Parameter	Mindest	Max	Einheit
tAF	Begrenzung der Dauer der durch den Filter unterdrückten Spikes(2)	50	260	ns

1. Basierend auf Charakterisierungsergebnissen, nicht in der Produktion getestet.

2. Spitzen, die kürzer als die Grenzdauer sind, werden unterdrückt.

SPI/I2S -Eigenschaften

Sofern nicht anders angegeben, basieren die in [Tabelle 64](#) für SPI angegebenen Parameter auf Tests, die unter den in [Tabelle 21](#) zusammengefassten Umgebungstemperatur-, fPCLKx- Frequenz- und Versorgungsspannungsbedingungen durchgeführt wurden: [Allgemeine Betriebsbedingungen](#). Die zusätzlichen allgemeinen Bedingungen sind:

- OSPEEDRy[1:0] auf 11 eingestellt (Ausgabegeschwindigkeit)
- kapazitive Last C = 30 pF
- Messpunkte auf CMOS-Ebene: 0,5 x VDD

Weitere Einzelheiten zu den Eigenschaften der alternativen Eingangs-/Ausgangsfunktionen (NSS, SCK, MOSI, MISO für SPI) finden Sie in [Abschnitt 5.3.14: Eigenschaften des E/A-Anschlusses](#).

Tabelle 64. SPI-Eigenschaften(1)

Symbol	Parameter	Bedingungen	Mindest	Typ	Max. Einheit	
fSCK 1/tc(SCK)	SPI-Taktfrequenz	Master-Modus VDD (min) < VDD < 3,6 V Bereich 1	-	-	32	MHz
		Mastersender VDD (min) < VDD < 3,6 V Bereich 1			32	
		Slave-Empfänger VDD (min) < VDD < 3,6 V Bereich 1			32	
		Slave-Sender/Vollduplex 2,7 < VDD < 3,6 V Bereich 1			32	
		Slave-Sender/Vollduplex VDD (min) < VDD < 3,6 V Bereich 1			25	
		VDD (min) < VDD < 3,6 V Bereich 2			8	
tsu(NSS)	NSS-Setup-Zeit	Slave-Modus, SPI-Prescaler = 2	4 \bar{y} TPCLK	-	-	ns
th(NSS)	NSS-Haltezeit	Slave-Modus, SPI-Prescaler = 2	2 \bar{y} TPCLK	-	-	ns
tw(SCKH)	SCK-Hochzeit	Master-Modus	TPCL - 1,5	TPCL	TPCL + 1	ns
tw(SCKL)	SCK-Niedrigzeit	Master-Modus	TPCL - 1,5	TPCL	TPCL + 1	ns
tsu (MI)	Rüstzeit Stammdateneingabe	-	1	-	-	ns
tsu (SI)	Setup-Zeit für Slave-Dateneingabe	-	3	-	-	ns
Mai (MI)	Haltezeit der Stammdateneingabe	-	5	-	-	ns
Juni (SI)	Haltezeit für Slave-Dateneingabe	-	2	-	-	ns
ta(SO)	Datenausgabe-Zugriffszeit Slave-Modus	tdis(SO)	9	-	34	ns
	Datenausgabe-Deaktivierungszeit Slave-Modus	2,7 < VDD	9	-	16	ns
Fernseher (SO)	Gültige Zeit der Slave-Datenausgabe	< 3,6 V Bereich 1	-	9	12	ns
		VDD (min) < VDD < 3,6 V Bereich 1	-	9	19,5	
		VDD (min) < VDD < 3,6 V Spannungsbereich 2	-	11	24	
Fernseher (MO)	Gültig ab wann Stammdaten ausgegeben werden	-	-	3	5	ns

Tabelle 64. SPI-Eigenschaften(1) (Fortsetzung)

Symbol	Parameter	Bedingungen	Mindest	Typ	Max. Einheit
$t_{h(SO)}$	Haltezeit der Slave-Datenausgabe	-	5	-	- ns
$t_{juni(MO)}$	Haltezeit der Stammdatenausgabe	-	1	-	- ns

1. Basierend auf Charakterisierungsergebnissen, nicht in der Produktion getestet.

Abbildung 22. SPI-Zeitdiagramm – Slave-Modus und CPHA = 0

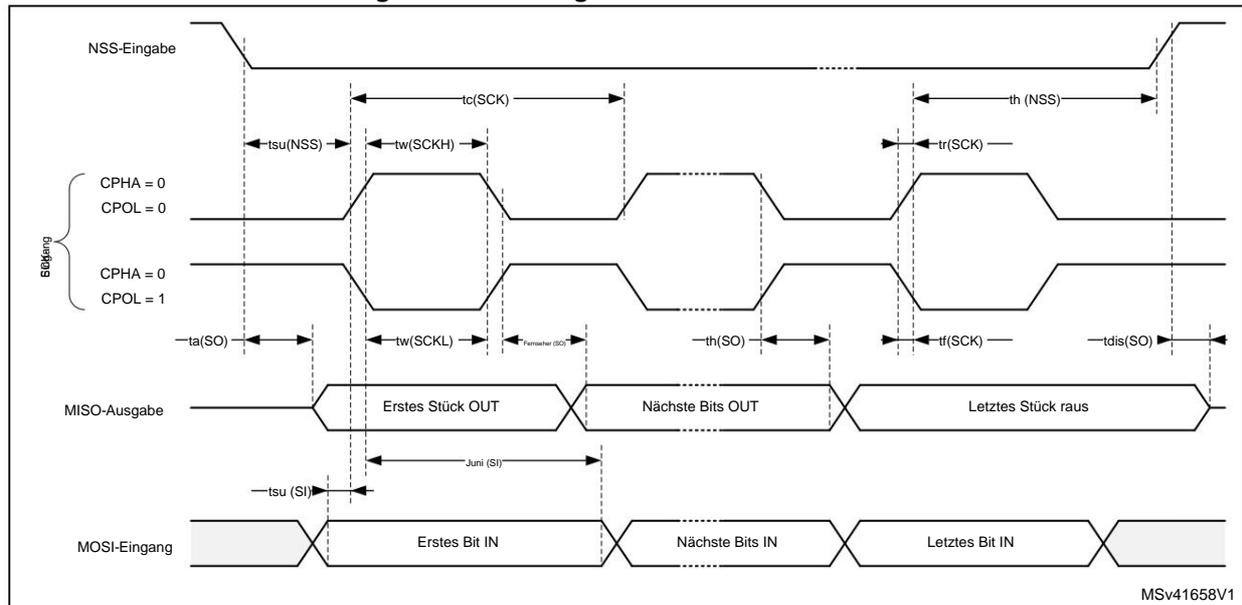
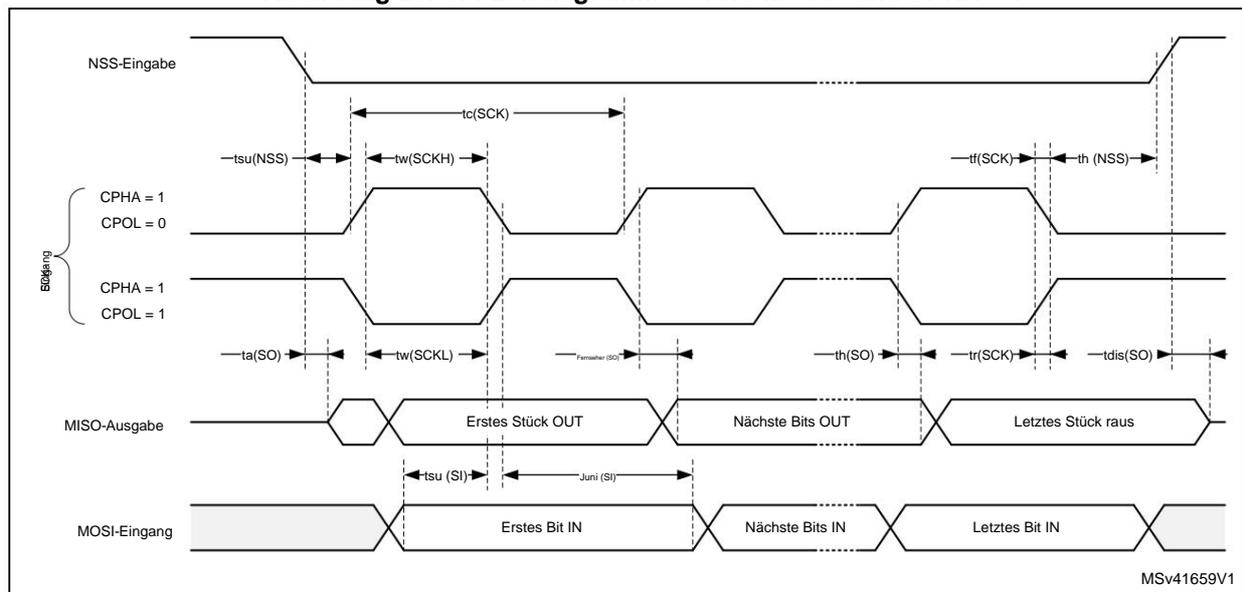
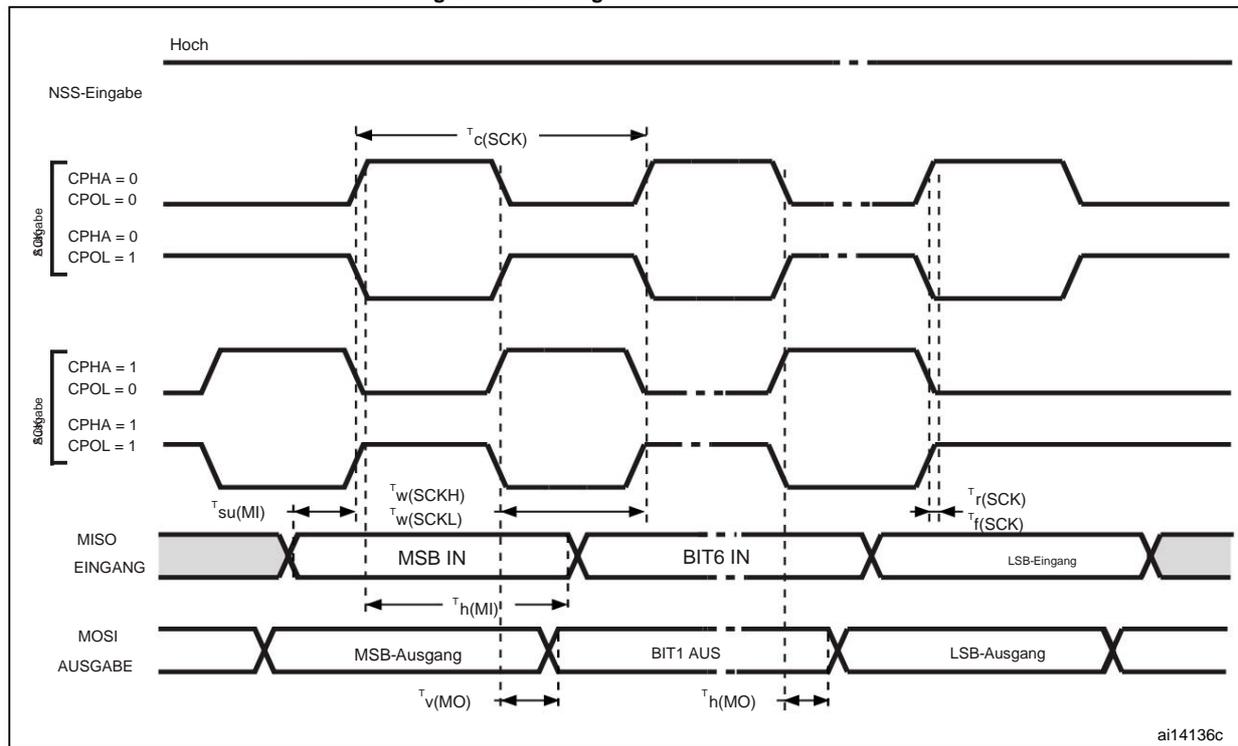


Abbildung 23. SPI-Zeitdiagramm – Slave-Modus und CPHA = 1



1. Messpunkte werden auf CMOS-Ebene durchgeführt: 0,3 VDD und 0,7 VDD.

Abbildung 24. SPI-Zeitdiagramm – Mastermodus



1. Messpunkte sind auf CMOS-Ebenen festgelegt: 0,3 VDD und 0,7 VDD.

Tabelle 65. I2S- Eigenschaften(1)

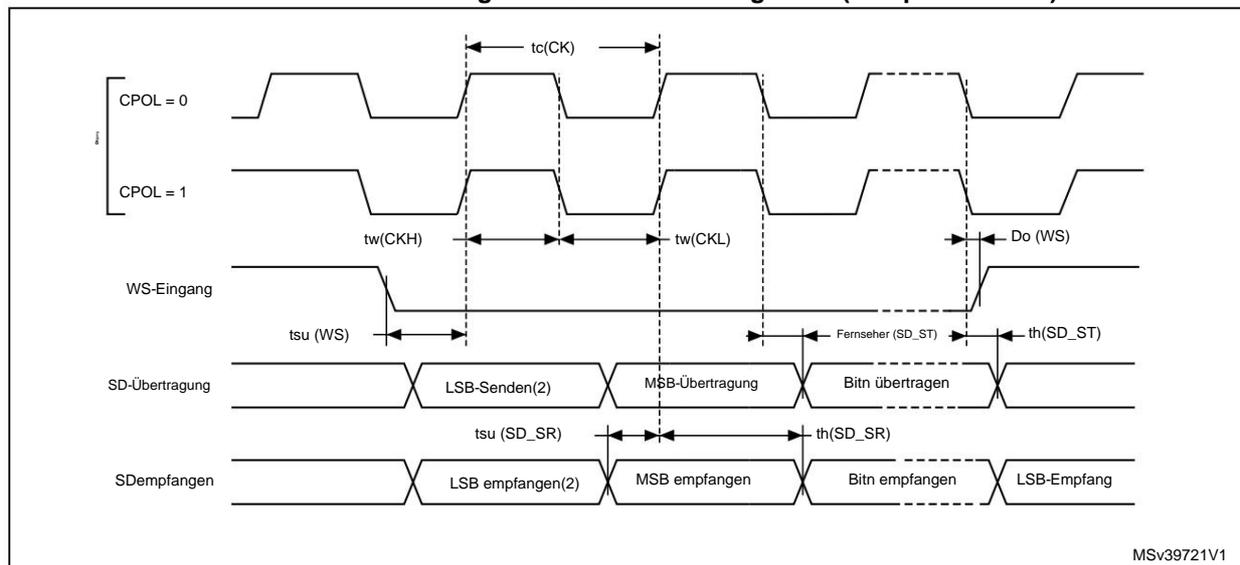
Symbol	Parameter	Bedingungen	Mindest	Max	Einheit
fMCK	I2S-Haupttaktausgang	fMCK = 256 x Fs; (Fs = Audio-Abtastfrequenz) Fsmín = 8 kHz; Fsmáx = 192 kHz;	2.048	49,152 MHz	
fCK	I2S-Taktfrequenz	Stammdaten	-	64xFs	MHz
		Slave-Daten	-	64xFs	
DCK	Arbeitszyklus der I2S-Taktfrequenz	Slave-Empfänger	30	70	%

Tabelle 65. I2S- Eigenschaften(1) (Fortsetzung)

Symbol	Parameter	Bedingungen	Mindest	Max	Einheit
Fernseher (WS)	WS gültige Zeit	Master-Modus	-	6	ns
Do (WS)	WS Haltezeit	Master-Modus	3	-	
tsu (WS)	WS-Rüstzeit	Slave-Modus	3	-	
th(WS)	WS Haltezeit	Slave-Modus	2	-	
tsu(SD_MR)	Einrichtungszeit der Dateneingabe	Master-Empfänger	4	-	
tsu(SD_SR)		Slave-Empfänger	5	-	
th(SD_MR)	Haltezeit der Dateneingabe	Master-Empfänger	4.5	-	
th(SD_SR)		Slave-Empfänger	2	-	
Fernseher (SD_ST)	Gültige Zeit der Datenausgabe - Slave-Sender	nach Aktivierungsflanke; $2,7 < VDD < 3,6 V$	-	10	
		nach Aktivierungsflanke; $VDD(\min) < VDD < 3,6 V$	-	15	
Fernseher (SD_MT)	Gültige Zeit der Datenausgabe - Mastersender	nach Enable-Flanke	-	5.5	
th(SD_ST)	Haltezeit der Datenausgabe - Slave-Sender	nach Enable-Flanke	7	-	
th(SD_MT)	Haltezeit der Datenausgabe - Mastersender	nach Enable-Flanke	1	-	

1. Basierend auf Charakterisierungsergebnissen, nicht in der Produktion getestet.

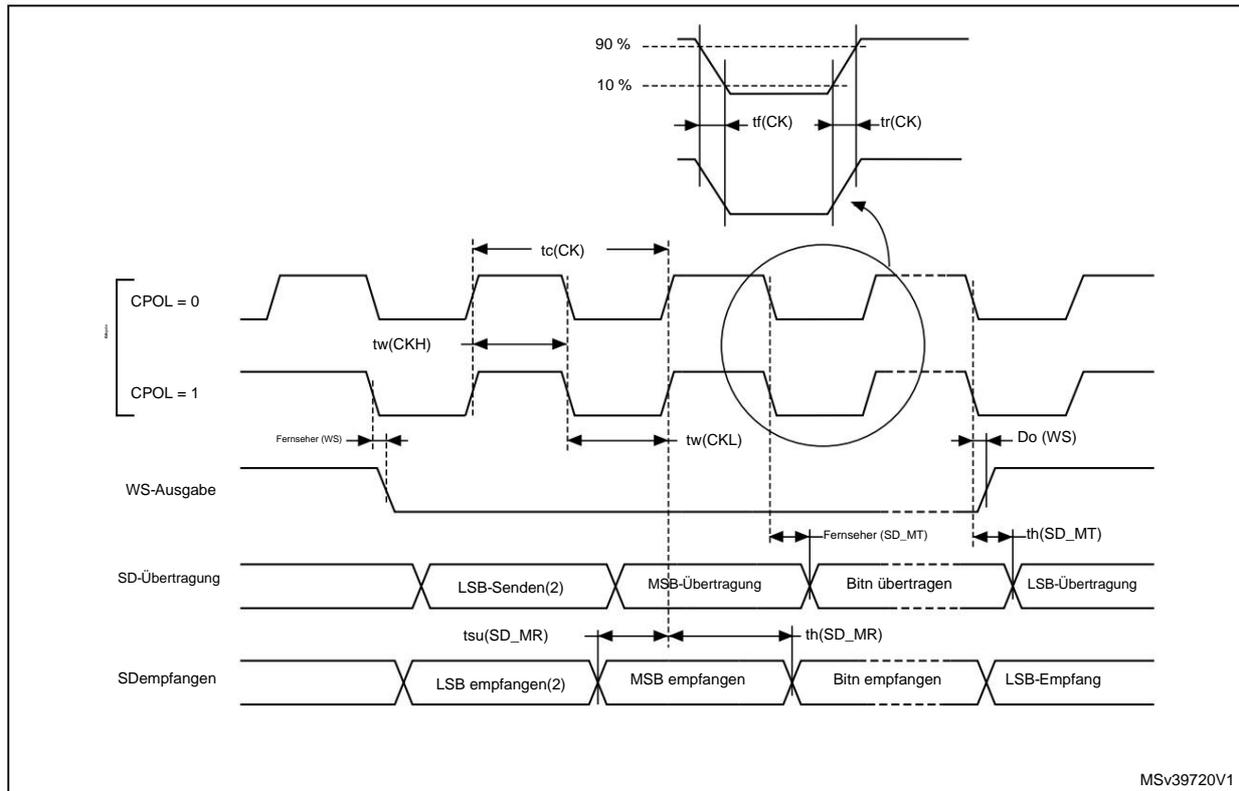
Abbildung 25. I2S- Slave-Zeitdiagramm (Philips-Protokoll)



1. Messpunkte werden auf CMOS-Ebene durchgeführt: 0,3 VDDIO1 und 0,7 VDDIO1.

2. LSB-Senden/Empfangen des zuvor gesendeten Bytes. Vor dem ersten Byte wird kein LSB-Senden/Empfangen gesendet. Byte.

Abbildung 26. I2S- Master-Zeitdiagramm (Philips-Protokoll)



MSv39720V1

1. Basierend auf Charakterisierungsergebnissen, nicht in der Produktion getestet.
2. LSB-Senden/Empfangen des zuvor gesendeten Bytes. Vor dem ersten Byte wird kein LSB-Senden/Empfangen gesendet. Byte.

USART-Eigenschaften

Sofern nicht anders angegeben, basieren die in [Tabelle 66](#) für USART angegebenen Parameter auf Tests, die unter den in [Tabelle 21](#) zusammengefassten Umgebungstemperatur-, fPCLKx- Frequenz- und Versorgungsspannungsbedingungen durchgeführt wurden : [Allgemeine Betriebsbedingungen](#). Die zusätzlichen allgemeinen Bedingungen sind:

- OSPEEDRy[1:0] auf 10 eingestellt (Ausgabegeschwindigkeit)
- kapazitive Last C = 30 pF
- Messpunkte auf CMOS-Ebene: 0,5 x VDD

Weitere Einzelheiten zu den Eigenschaften der alternativen Eingangs-/Ausgangsfunktionen (NSS, CK, TX und RX für USART) finden Sie in [Abschnitt 5.3.14: Eigenschaften der E/A-Ports](#).

Tabelle 66. USART-Eigenschaften

Symbol	Parameter	Bedingungen	Mindest	Typ	Max	Einheit
fCK	USART-Taktfrequenz	Master-Modus	-	-	8	MHz
		Slave-Modus	-	-	21	

Tabelle 66. USART-Eigenschaften

Symbol	Parameter	Bedingungen	Mindest	Typ	Max	Einheit
tsu(NSS)	NSS-Setup-Zeit	Slave-Modus	t _{ker} + 2	-	-	ns
th(NSS)	NSS-Haltezeit	Slave-Modus	2	-	-	
tw(CKH)	CK-High-Zeit	Master-Modus	$1 / f_{CK} / 2 - 1$	$1 / f_{CK} / 2$	$1 / f_{CK} / 2 + 1$	
tw(CKL)	CK niedrige Zeit					
tsu(RX)	Einrichtungszeit der Dateneingabe	Master-Modus	t _{ker} + 2	-	-	
		Slave-Modus	3	-	-	
th(RX)	Haltezeit der Dateneingabe	Master-Modus	2	-	-	
		Slave-Modus	1	-	-	
Fenster (TX)	Gültige Zeit der Datenausgabe	Master-Modus	-	1	2	
		Slave-Modus	-	10	19	
th(TX)	Haltezeit der Datenausgabe	Master-Modus	0	-	-	
		Slave-Modus	7	-	-	

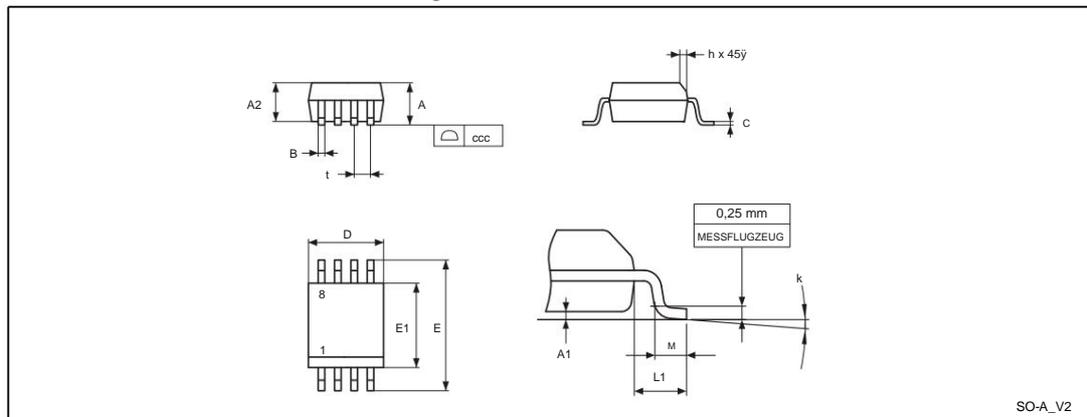
6 Gehäuseinformationen

Um den Umweltaforderungen gerecht zu werden, bietet ST diese Geräte in verschiedenen ECOPACK-Paketen an, je nach Umweltverträglichkeitsgrad. ECOPACK-Spezifikationen, Klassendefinitionen und Produktstatus finden Sie unter: www.st.com.
ECOPACK ist eine Marke von ST.

6.1 SO8N-Paketinformationen

SO8N ist ein 8-poliges 4,9 x 6 mm großes Small-Outline-Kunststoffgehäuse mit einer Gehäusebreite von 150 mil.

Abbildung 27. SO8N-Paketübersicht



1. Die Zeichnung ist nicht maßstabsgetreu.

Tabelle 67. Mechanische Daten des SO8N-Gehäuses

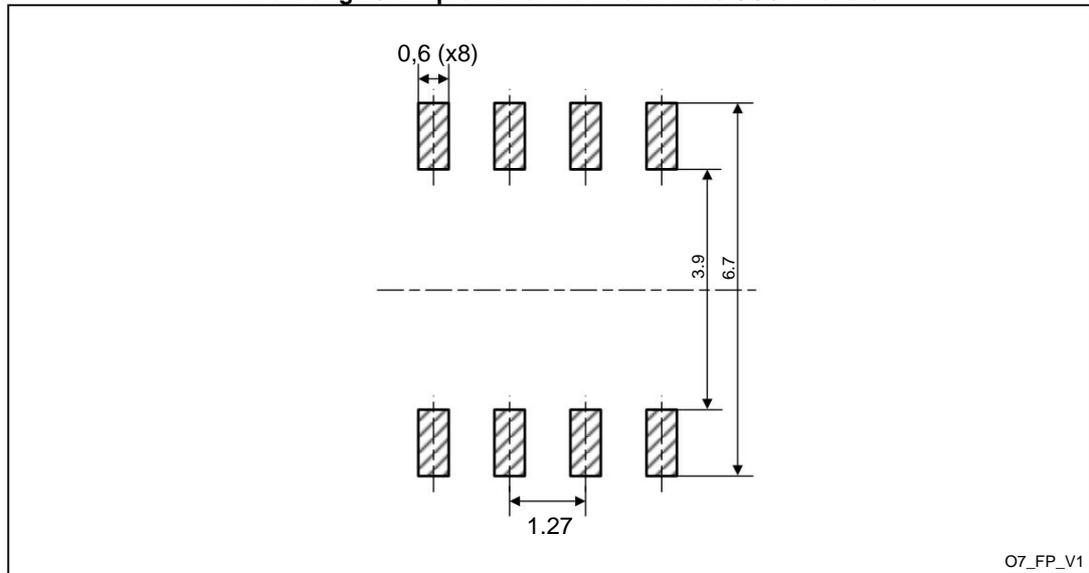
Symbol	Millimeter			in Zoll (1)		
	Mindest.	Typ.	Max.	Mindest.	Typ.	Max.
A	-	-	1.750	-	-	0,0689
A1	0,100	-	0,250	0,0039	-	0,0098
A2	1.250	-	-	0,0492	-	-
B	0,280	-	0,480	0,0110	-	0,0189
C	0,170	-	0,230	0,0067	-	0,0091
D	4.800	4.900	5.000	0,1890	0,1929	0,1969
E	5.800	6.000	6.200	0,2283	0,2362	0,2441
E1	3.800	3.900	4.000	0,1496	0,1535	0,1575
t	-	1.270	-	-	0,0500	-
H	0,250	-	0,500	0,0098	-	0,0197
k	0°	-	8°	0°	-	8°
M	0,400	-	1.270	0,0157	-	0,0500

Tabelle 67. Mechanische Daten des SO8N-Pakets (Fortsetzung)

Symbol	Millimeter			Zoll(1)		
	Mindest.	Typ.	Max.	Mindest.	Typ.	Max.
L1	-	1.040	-	-	0,0409	-
ccc	-	-	0,100	-	-	0,0039

1. Werte in Zoll werden von mm umgerechnet und auf vier Dezimalstellen gerundet.

Abbildung 28. Empfohlener Platzbedarf des SO8N-Pakets



1. Die Abmessungen sind in Millimetern angegeben.

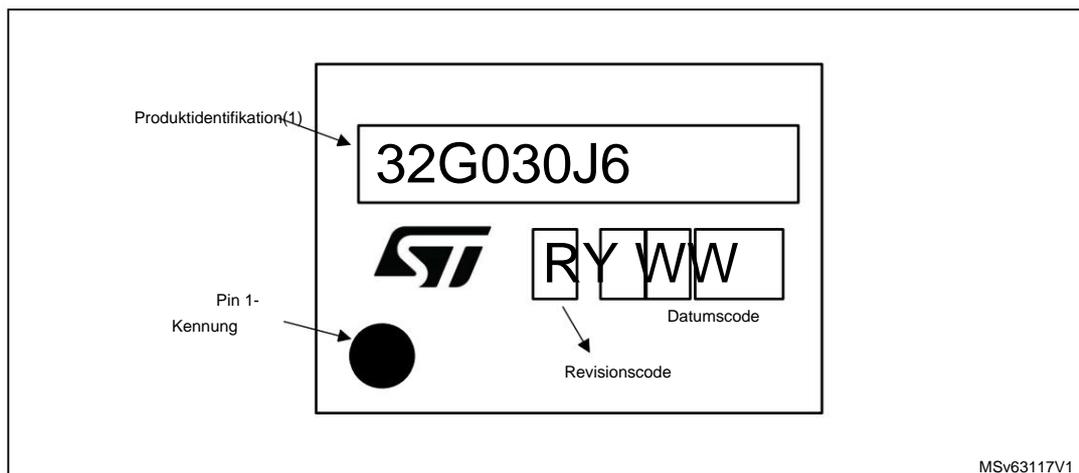
Gerätekenzeichnung

Die folgende Abbildung zeigt ein Beispiel für die Ausrichtung der Markierung auf der Oberseite im Vergleich zur Position der Kennung von Pin 1.

Die aufgedruckten Markierungen können je nach Lieferkette unterschiedlich sein.

Andere optionale Markierungen oder Einfügungs-/Stauchmarkierungen, die die Teile in allen Lieferkettenabläufen identifizieren, sind unten nicht angegeben.

Abbildung 29. Beispiel für die Markierung eines SO8N-Pakets

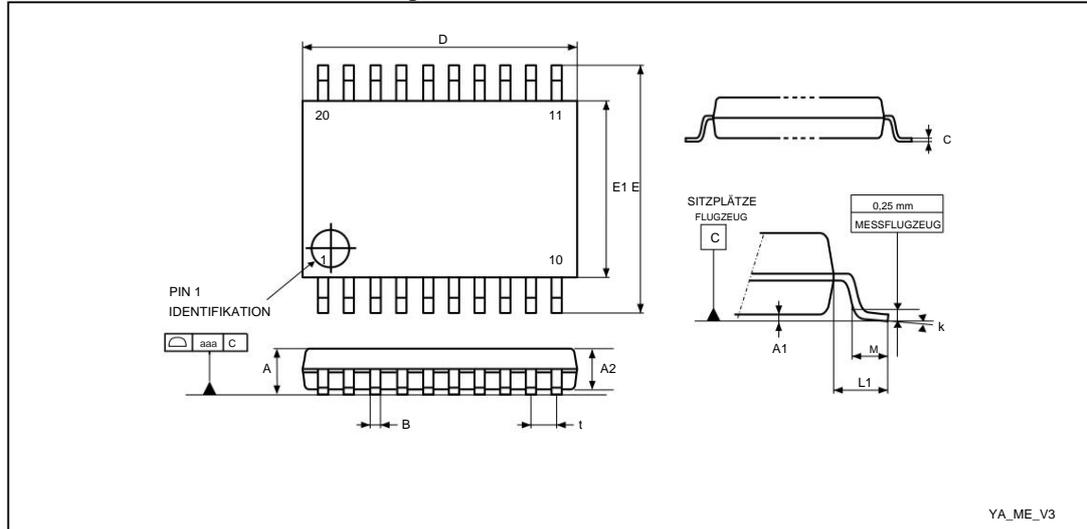


1. Teile, die als ES oder E gekennzeichnet sind oder von einem Benachrichtigungsschreiben über ein technisches Muster begleitet werden, sind noch nicht qualifiziert und daher nicht für den Einsatz in der Produktion zugelassen. ST ist nicht für die Folgen verantwortlich, die sich aus einer solchen Verwendung ergeben. In keinem Fall haftet ST für den Kunden, der eines dieser technischen Muster in der Produktion verwendet. Die Qualitätsabteilung von ST muss kontaktiert werden, bevor entschieden wird, diese technischen Muster für eine Qualifizierungsaktivität zu verwenden.

6.2 TSSOP20-Gehäuseinformationen

TSSOP20 ist ein 20-poliges, 6,5 x 4,4 mm dünnes Small-Outline-Gehäuse mit 0,65 mm Abstand.

Abbildung 30. TSSOP20-Gehäuseübersicht



1. Die Zeichnung ist nicht maßstabgetreu.

Tabelle 68. Mechanische Daten des TSSOP20-Gehäuses

Symbol	Millimeter			Zoll(1)		
	Mindest.	Typ.	Max.	Mindest.	Typ.	Max.
A	-	-	1.200	-	-	0,0472
A1	0,050	-	0,150	0,0020	-	0,0059
A2	0,800	1.000	1.050	0,0315	0,0394	0,0413
B	0,190	-	0,300	0,0075	-	0,0118
C	0,090	-	0,200	0,0035	-	0,0079
D(2)	6.400	6.500	6.600	0,2520	0,2559	0,2598
E	6.200	6.400	6.600	0,2441	0,2520	0,2598
E1(3)	4.300	4.400	4.500	0,1693	0,1732	0,1772
t	-	0,650	-	-	0,0256	-
M	0,450	0,600	0,750	0,0177	0,0236	0,0295
L1	-	1.000	-	-	0,0394	-
k	0°	-	8°	0°	-	8°
aaa	-	-	0,100	-	-	0,0039

1. Werte in Zoll werden von mm umgerechnet und auf vier Dezimalstellen gerundet.

2. Die Abmessung „D“ umfasst keine Formgrate, Vorsprünge oder Angussgrate. Formgrate, Vorsprünge oder Angussgrate darf 0,15 mm pro Seite nicht überschreiten.

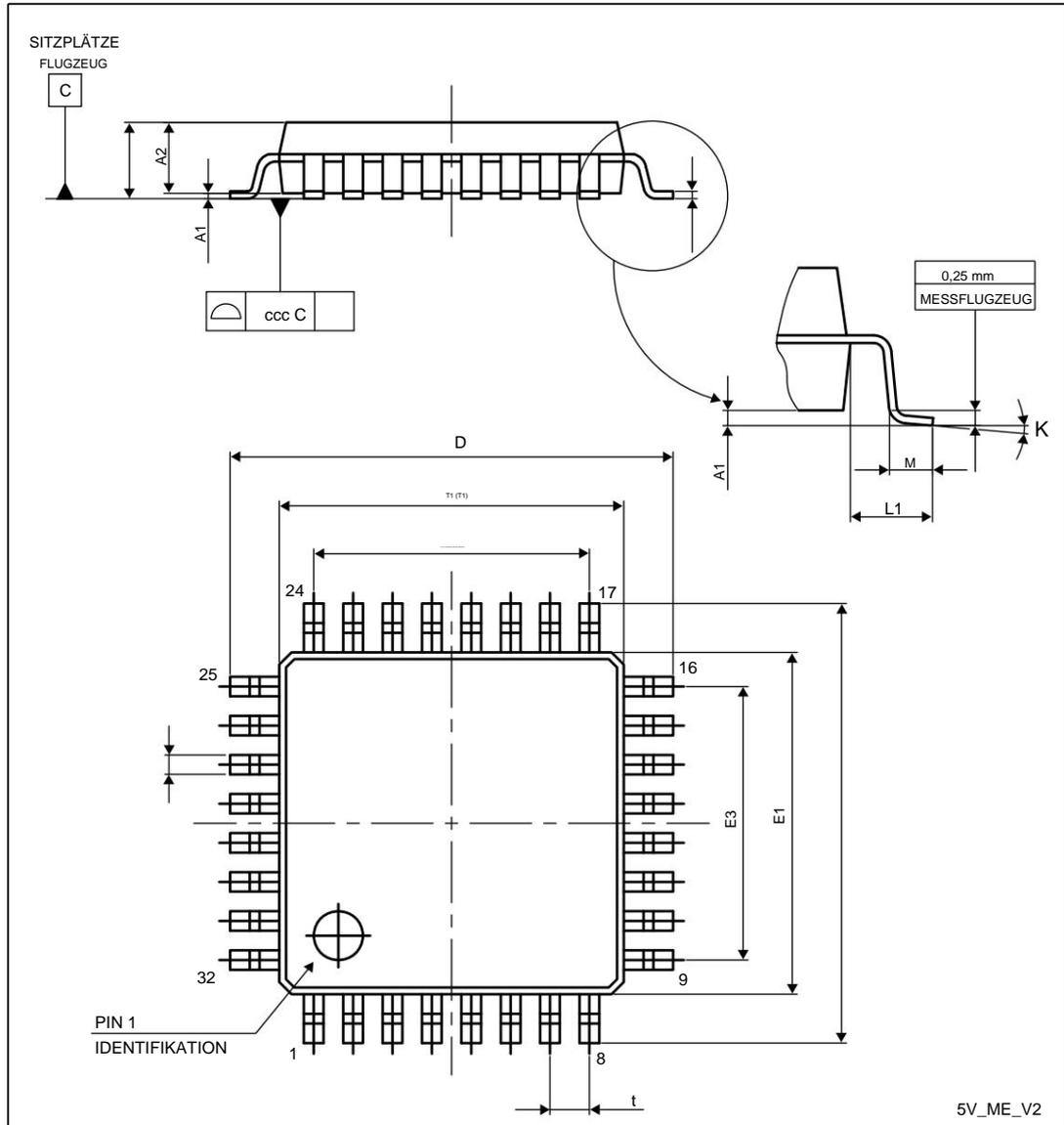
3. Die Abmessung „E1“ umfasst nicht die Überstände oder Vorsprünge zwischen den Leitungen. Überstände oder Vorsprünge zwischen den Leitungen dürfen nicht überschreiten.

Beispiele zum Durchführen einer Qualifizierungsaktivität.

6.3 LQFP32-Paketinformationen

LQFP32 ist ein 32-poliges, 7 x 7 mm großes Low-Profile-Quad-Flat-Gehäuse.

Abbildung 33. Überblick über das LQFP32-Paket



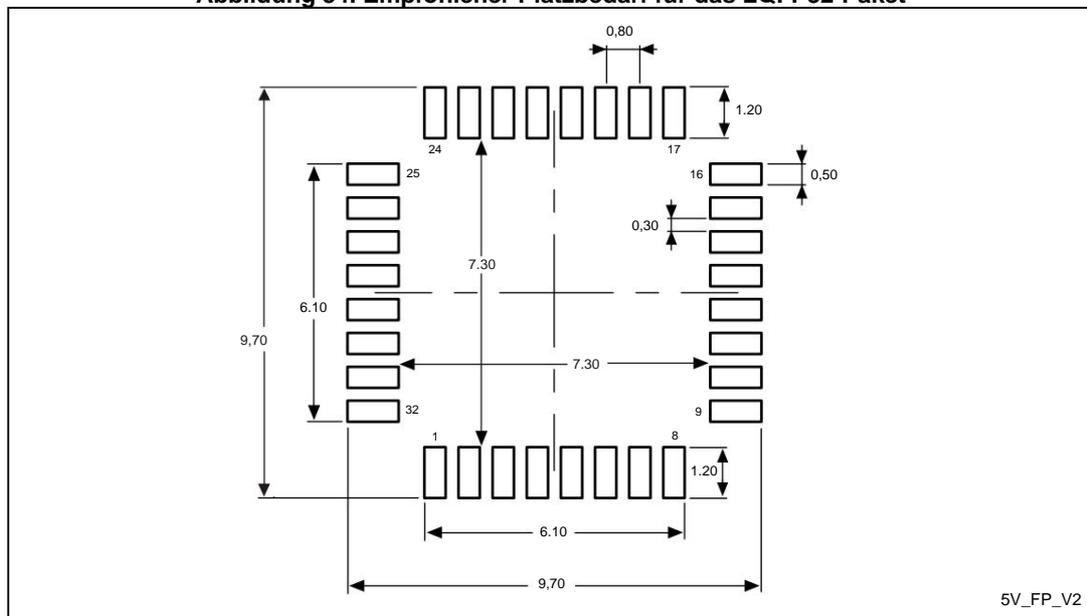
1. Die Zeichnung ist nicht maßstabsgetreu.

Tabelle 69. Mechanische Daten LQFP32

Symbol	Millimeter			Zoll(1)		
	Mindest	Typ	Max	Mindest	Typ	Max
A	-	-	1.600	-	-	0,0630
A1	0,050	-	0,150	0,0020	-	0,0059
A2	1.350	1.400	1.450	0,0531	0,0551	0,0571
B	0,300	0,370	0,450	0,0118	0,0146	0,0177
C	0,090	-	0,200	0,0035	-	0,0079
D	8.800	9.000	9.200	0,3465	0,3543	0,3622
τ_1 (°)	6.800	7.000	7.200	0,2677	0,2756	0,2835
---	-	5.600	-	-	0,2205	-
E	8.800	9.000	9.200	0,3465	0,3543	0,3622
E1	6.800	7.000	7.200	0,2677	0,2756	0,2835
E3	-	5.600	-	-	0,2205	-
t	-	0,800	-	-	0,0315	-
M	0,450	0,600	0,750	0,0177	0,0236	0,0295
L1	-	1.000	-	-	0,0394	-
k	0°	3,5°	7°	0°	3,5°	7°
ccc	-	-	0,100	-	-	0,0039

1. Werte in Zoll werden von mm umgerechnet und auf 4 Dezimalstellen gerundet.

Abbildung 34. Empfohlener Platzbedarf für das LQFP32-Paket



1. Die Abmessungen sind in Millimetern angegeben.

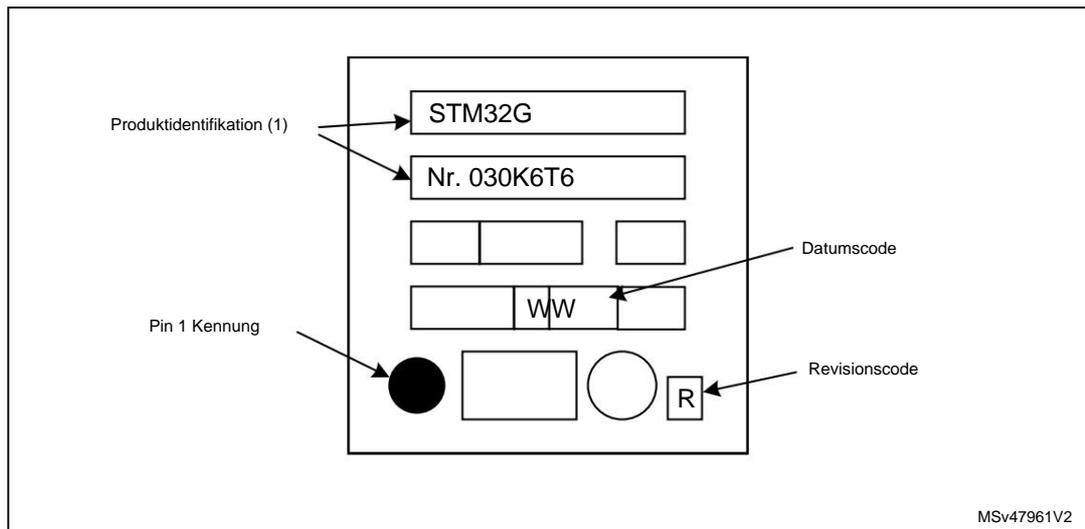
Gerätekennzeichnung

Die folgende Abbildung zeigt ein Beispiel für die Ausrichtung der Markierung auf der Oberseite im Vergleich zur Position der Kennung von Pin 1.

Die aufgedruckten Markierungen können je nach Lieferkette unterschiedlich sein.

Andere optionale Markierungen oder Einfügungs-/Stauchmarkierungen, die die Teile in allen Lieferkettenabläufen identifizieren, sind unten nicht angegeben.

Abbildung 35. Beispiel für die Markierung eines LQFP32-Pakets

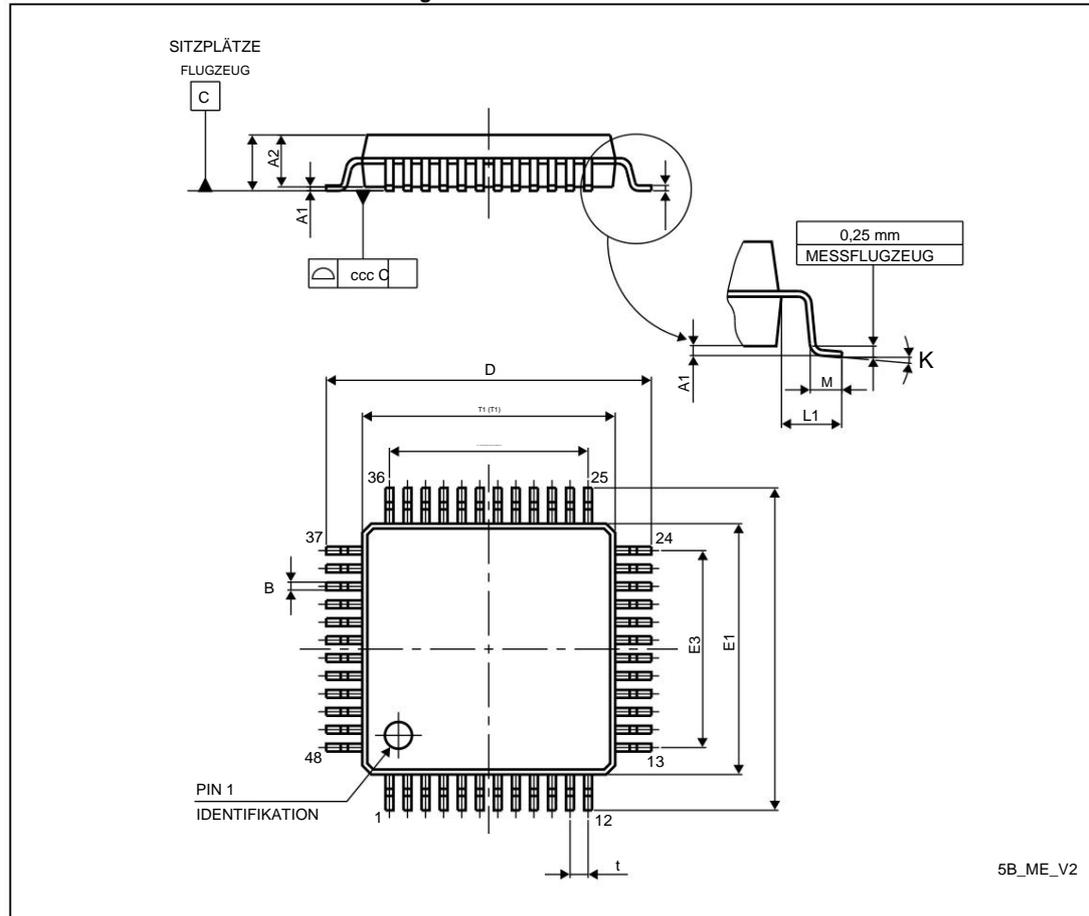


1. Teile, die als ES oder E gekennzeichnet sind oder von einem Benachrichtigungsschreiben über ein technisches Muster begleitet werden, sind noch nicht qualifiziert und daher nicht für den Einsatz in der Produktion zugelassen. ST ist nicht für die Folgen verantwortlich, die sich aus einer solchen Verwendung ergeben. In keinem Fall haftet ST für den Kunden, der eines dieser technischen Muster in der Produktion verwendet. Die Qualitätsabteilung von ST muss kontaktiert werden, bevor entschieden wird, diese technischen Muster für eine Qualifizierungsaktivität zu verwenden.

6.4 LQFP48-Gehäuseinformationen

LQFP48 ist ein 48-poliges, 7 x 7 mm großes Low-Profile-Quad-Flat-Gehäuse.

Abbildung 36. Überblick über das LQFP48-Paket



1. Die Zeichnung ist nicht maßstabsgetreu.

Tabelle 70. Mechanische Daten LQFP48

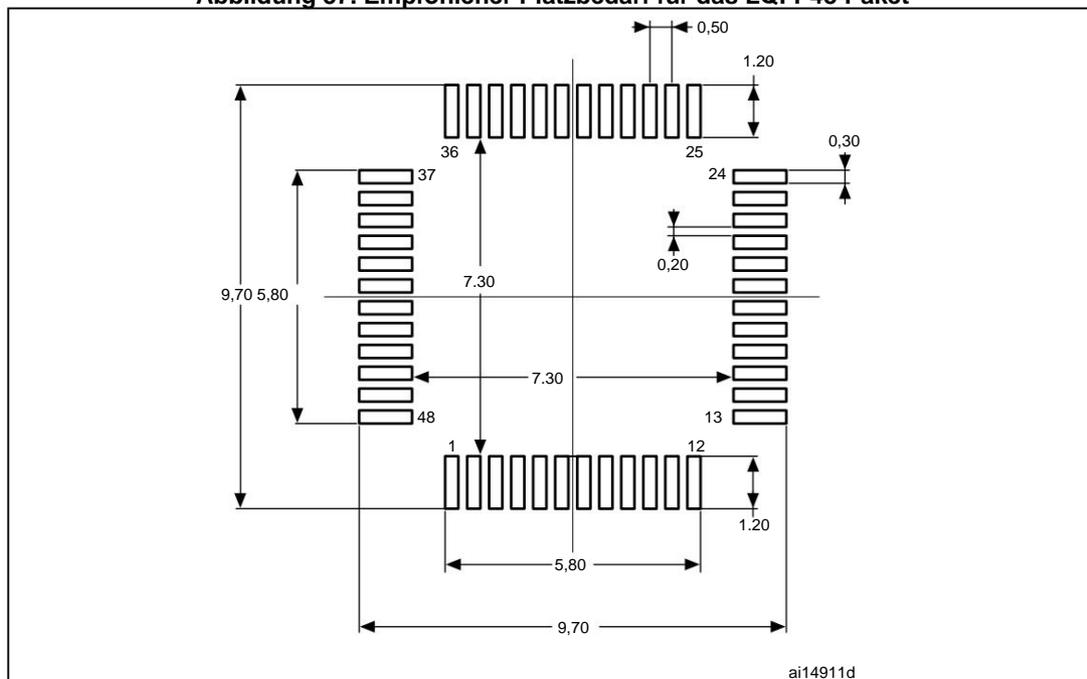
Symbol	Millimeter			Zoll(1)		
	Mindest	Typ	Max	Mindest	Typ	Max
A	-	-	1.600	-	-	0,0630
A1	0,050	-	0,150	0,0020	-	0,0059
A2	1.350	1.400	1.450	0,0531	0,0551	0,0571
B	0,170	0,220	0,270	0,0067	0,0087	0,0106
C	0,090	-	0,200	0,0035	-	0,0079
D	8.800	9.000	9.200	0,3465	0,3543	0,3622
T1 (T1)	6.800	7.000	7.200	0,2677	0,2756	0,2835
—	-	5.500	-	-	0,2165	-

Tabelle 70. Mechanische Daten LQFP48 (Fortsetzung)

Symbol	Millimeter			Zoll(1)		
	Mindest	Typ	Max	Mindest	Typ	Max
E	8.800	9.000	9.200	0,3465	0,3543	0,3622
E1	6.800	7.000	7.200	0,2677	0,2756	0,2835
E3	-	5.500	-	-	0,2165	-
t	-	0,500	-	-	0,0197	-
M	0,450	0,600	0,750	0,0177	0,0236	0,0295
L1	-	1.000	-	-	0,0394	-
k	0°	3,5°	7°	0°	3,5°	7°
ccc	-	-	0,080	-	-	0,0031

1. Werte in Zoll werden von mm umgerechnet und auf 4 Dezimalstellen gerundet.

Abbildung 37. Empfohlener Platzbedarf für das LQFP48-Paket



1. Die Abmessungen sind in Millimetern angegeben.

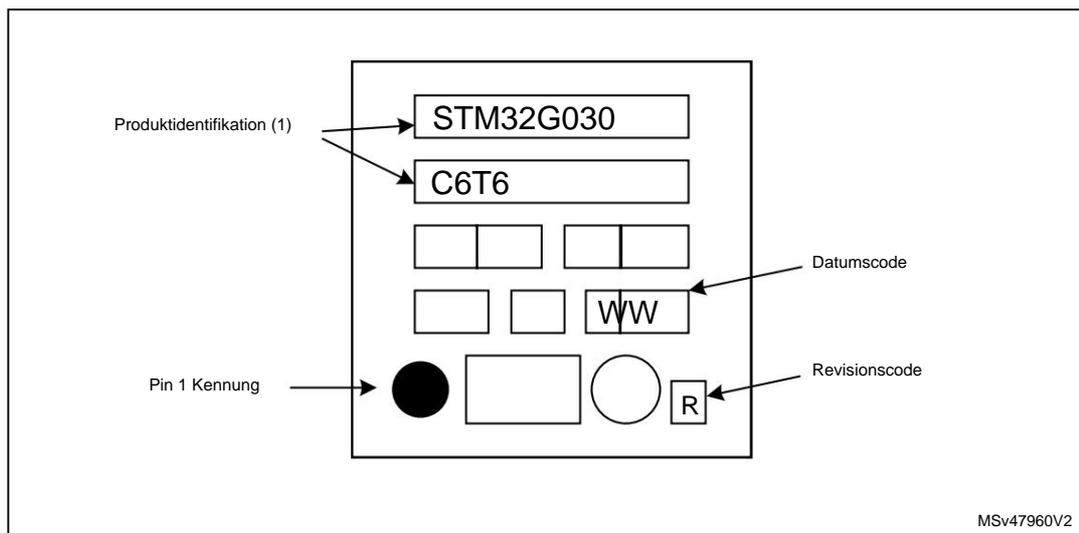
Gerätekenzeichnung

Die folgende Abbildung zeigt ein Beispiel für die Ausrichtung der Markierung auf der Oberseite im Vergleich zur Position der Kennung von Pin 1.

Die aufgedruckten Markierungen können je nach Lieferkette unterschiedlich sein.

Andere optionale Markierungen oder Einfügungs-/Stauchmarkierungen, die die Teile in allen Lieferkettenabläufen identifizieren, sind unten nicht angegeben.

Abbildung 38. Beispiel für die Markierung eines LQFP48-Pakets



1. Teile, die als ES oder E gekennzeichnet sind oder von einem Benachrichtigungsschreiben über ein technisches Muster begleitet werden, sind noch nicht qualifiziert und daher nicht für den Einsatz in der Produktion zugelassen. ST ist nicht für die Folgen verantwortlich, die sich aus einer solchen Verwendung ergeben. In keinem Fall haftet ST für den Kunden, der eines dieser technischen Muster in der Produktion verwendet. Die Qualitätsabteilung von ST muss kontaktiert werden, bevor entschieden wird, diese technischen Muster für eine Qualifizierungsaktivität zu verwenden.

6.5 Thermische Eigenschaften

Die Betriebstemperatur der Sperrschicht T_J darf niemals den in [Tabelle 21: Allgemeine Betriebsbedingungen](#)

Die maximale Sperrschichttemperatur in °C, die das Gerät unter Einhaltung der Betriebsbedingungen erreichen kann, beträgt:

$$T_J(\max) = T_A(\max) + P_D(\max) \times \theta_{JA}$$

Wo:

- $T_A(\max)$ ist die maximale Betriebsumgebungstemperatur in °C,
- θ_{JA} ist der Wärmewiderstand zwischen Gehäuseübergang und Umgebung in °C/W,
- $P_D = P_{INT} + P_{I/O}$,
 - P_{INT} ist der Verlustleistungsbeitrag aus dem Produkt von IDD und VDD
 - $P_{I/O}$ ist der Beitrag zur Verlustleistung von Ausgangsanschlüssen, wobei:

$$P_{I/O} = \sum (V_{OL} \times I_{OL}) + \sum ((V_{DDIO1} - V_{OH}) \times I_{OH}),$$
 unter Berücksichtigung der tatsächlichen V_{OL} / I_{OL} und V_{OH} / I_{OH} der I/Os auf niedrigem und hohem Pegel in der Anwendung.

Tabelle 71. Thermische Eigenschaften des Pakets

Symbol	Parameter	Paket	Wert			Einheit
			Kreuzung-zu-Umgebung	Kreuzung-an Bord	Kreuzung-zu-Fall	
θ_{JA} Wärmewiderstand		LQFP48 7 x 7 mm	84	76	42	°C/W
		LQFP32 7 x 7 mm	84	76	42	
		TSSOP20 6,4 x 4,4 mm	88	57	19	
		SO8N 4,9 x 6 mm	134	86	30	

6.5.1 Referenzdokument

JESD51-2 Thermisches Testverfahren für integrierte Schaltkreise, Umgebungsbedingungen – Natürliche Konvektion (ruhende Luft). Verfügbar unter www.jedec.org.

7 Bestellinformationen

Beispiel

STM32 G 030 K 8 T 6 xyy

Gerätefamilie

STM32 = Arm®-basierter 32-Bit-Mikrocontroller

Produkttyp

G = Universal

Geräteunterfamilie

030 = STM32G030

Pin-Anzahl

J = 8

F = 20

K = 32

C = 48

Flash-Speichergröße

6 = 32 KBytes

8 = 64 KBytes

Verpackungstyp

T = LQFP

P = TSSOP

M = SOjN

Temperaturbereich 6

= -40 bis 85°C (105°C Verbindung)

Optionen

TR = Tape and Reel Verpackung

= Tray

Verpackung Sonstiges = 3-stellige ID inkl. individuellem Flashcode und Verpackungsinformationen

Eine Liste der verfügbaren Optionen (Speicher, Gehäuse usw.) oder weitere Informationen zu verschiedenen Aspekten dieses Geräts erhalten Sie bei Ihrem nächstgelegenen ST-Verkaufsbüro.

8 Versionsgeschichte

Tabelle 72. Dokumentrevisionsverlauf

Datum	Revision	Änderungen
26. Juni 2019	1	Erstveröffentlichung
09. Dezember 2019	2	Abschnitt 3.12 hinzugefügt : <i>DMA-Anforderungsmultiplexer (DMAMUX)</i> . Korrigierte Abbildungen mit Paketkennzeichnungsbeispielen. Korrigierte E/A-Zahlen in <i>Tabelle 2: Gerätefunktionen und Peripheriegeräteanzahl der STM32G030x6/ x8-Familie</i> . E/A-Typen in <i>Tabelle 12 hinzugefügt: Pin-Zuweisung und Beschreibung</i> .
22. April 2020	3	Titelseite aktualisiert; <i>Abschnitt 2: Beschreibung</i> aktualisiert; <i>Tabelle 18: Spannungskennlinien</i> aktualisiert; <i>Tabelle 19: Aktuelle Eigenschaften</i> : Anmerkung 2 entfernt; <i>Tabelle 54: ADC-Eigenschaften</i> : Wichtiges Update;
20. Januar 2022	4	Fußnote 3 der <i>Tabelle 12: Pinbelegung und Beschreibung</i> aktualisiert; VESD(HBM) aktualisiert in <i>Tabelle 45: Absolute Maximalwerte für ESD</i> . Pakete in <i>Abschnitt 6: Paketinformationen</i> neu sortiert von der niedrigsten zur höchsten Pin-Anzahl.

WICHTIGER HINWEIS – BITTE SORGFÄLTIG LESEN

STMicroelectronics NV und seine Tochtergesellschaften („ST“) behalten sich das Recht vor, jederzeit und ohne Vorankündigung Änderungen, Korrekturen, Erweiterungen, Modifikationen und Verbesserungen an ST-Produkten und/oder diesem Dokument vorzunehmen. Käufer sollten sich vor der Bestellung die neuesten relevanten Informationen zu ST-Produkten besorgen. ST-Produkte werden gemäß den zum Zeitpunkt der Auftragsbestätigung gültigen Verkaufsbedingungen von ST verkauft.

Die alleinige Verantwortung für die Auswahl und Verwendung von ST-Produkten liegt beim Käufer. ST übernimmt keine Haftung für Anwendungsunterstützung oder das Design der Produkte des Käufers.

ST gewährt hiermit keine ausdrückliche oder stillschweigende Lizenz an geistigen Eigentumsrechten.

Der Weiterverkauf von ST-Produkten unter anderen als den hier aufgeführten Bedingungen führt zum Erlöschen jeglicher von ST für das jeweilige Produkt gewährter Garantie.

ST und das ST-Logo sind Marken von ST. Weitere Informationen zu ST-Marken finden Sie unter www.st.com/trademarks. Alle anderen Produkt- oder Servicenamen sind Eigentum ihrer jeweiligen Inhaber.

Die Informationen in diesem Dokument ersetzen alle zuvor in früheren Versionen dieses Dokuments enthaltenen Informationen.

© 2022 STMicroelectronics – Alle Rechte vorbehalten