

# Ein selbstgebauter elektronischer Rechner

## 1. Teil

Mit etwa 190 Transistoren und 230 Dioden entstand das Demonstrationsmodell eines Rechners, der mit dreistelligen Binärzahlen addiert, subtrahiert, multipliziert, dividiert und dies in selbständig ablaufenden Programmen auch langsam vorführt. Dabei werden auch Sonderfälle, wie Multiplikation mit Null und Division durch Null, berücksichtigt. Die Zahlen werden binär mit Tasten eingegeben und die Ergebnisse ebenfalls binär von Lämpchen angezeigt. Den Rechengang leitet man, nachdem die Rechenart eingestellt ist, mit einer Starttaste ein. Mit einer anderen Taste kann man das Programm auch schrittweise ablaufen lassen, wie es normalerweise bei Reparaturen üblich ist, hier aber gibt es die Möglichkeit, den Funktionsablauf zu verfolgen. *Bild 1* zeigt die Frontplatte mit Tastatur und Anzeigeteil sowie die aus 39 Druckplatinen bestehende Elektronik des Rechners.

### Das Blockschaltbild

*Bild 2* enthält die Blockschaltung, wobei jeder Block mit einer Zahl auf das entsprechende Bild der logischen Darstellung hinweist. Der zentrale Ringschalter ist das alles steuernde Organ des Rechners. Er besteht aus zwei Flipflops, die zyklisch vom Taktgeber gesetzt und rückgesetzt werden. Die dabei entstehenden Impulse aktivieren nacheinander die sechs Flipflops im Schrittschalter (7). Mit einem Schrittschalterdurchgang ist die Addition oder Subtraktion beendet.

Die Operanden für Addition und Subtraktion befinden sich in Speicher A und Speicher B, der auch als Akkumulator bezeichnet werden kann. Der Schrittschalter überträgt sie ins Addierwerk, das einen Übertragzusatz und den für Subtraktion notwendigen Komplementzusatz enthält. Mit Hilfe des Komplementzusatzes verwandelt man die Subtraktion in eine Addition. Bevor das Ergebnis der Addition in den Speicher B gelangt, wird es für kurze Zeit im Zwischenspeicher festgehalten.

Multiplikation und Division werden auf mehrmalige Addition oder Subtraktion zu-

rückgeführt. Dabei sorgt die Operationssteuerung für die entsprechende Anzahl der Schrittschalterdurchläufe. Soll eine Multiplikation ausgeführt werden, so bringt man den Multiplikanden in den Speicher A, den Multiplikator in den Speicher C. Der Multiplikand wird nun so oft zum Inhalt des Speichers B, der zuerst auf Null steht, addiert, wie es der Multiplikator angibt. Der Zähler verfolgt dabei die Schrittschalterdurchgänge. In dem Moment, wo Zählerstand und Inhalt des Speichers C übereinstimmen, gibt der Vergleicher das Signal zur Beendigung der Rechnung.

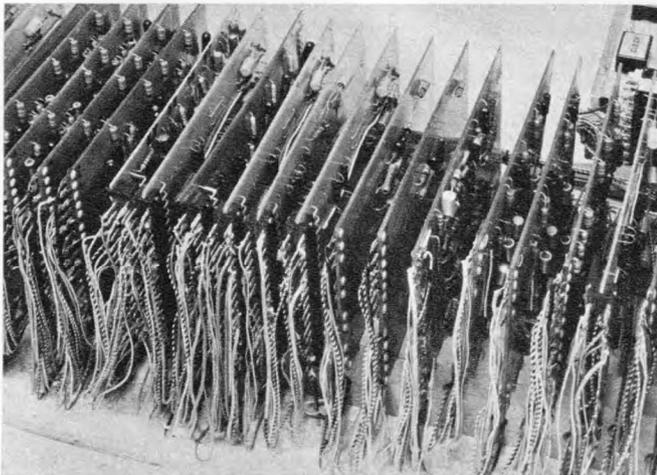
Bei der Division wird der Dividend in den Speicher B gegeben. Der Divisor, der in Speicher A steht, wird so oft vom Dividenten im Speicher B abgezogen, bis als Ergebnis eine negative Zahl im Speicher B steht. Dann hat der Rechner gerade einmal zu viel subtrahiert. Die negative Zahl ist das Signal, Rückrechnung (eine Addition) einzuleiten, womit der Speicher B den Rest der Division enthält. Die Anzahl der gültigen Schrittschalterdurchläufe kann man am Zählerstand ablesen. Er stellt den ganzzahligen Quotienten dar und wird von Lämpchen angezeigt.

den Betrieb und für die Arbeitspunkteinstellung der in den NOR-Gliedern und Flipflops vorhandenen Transistoren und Dioden. Davon zu unterscheiden sind die sogenannten logischen Spannungen oder Schaltspannungen. Für sie verwendet man nur zwei Potentiale, denen man einen logischen Wert zuordnet. Binär heißt eben zweiwertig, und der Rechner arbeitet mit binären Informationen, in diesem Fall nur mit binären Zahlen, die man mit den beiden Symbolen L und 0 ausdrückt. Aber auch die beiden logischen Spannungswerte bezeichnet man mit L und 0 sowie mit WAHR und FALSCH. In diesem Rechner wurde die Spannung von etwa 0 V den Werten WAHR oder L und die Spannung von  $-6...-11$  V den Werten FALSCH oder 0 (Null oder O) zugeordnet. Diese Toleranz der negativen Spannung ist normalerweise nicht üblich, hier muß man aber berücksichtigen, daß der Rechner möglichst billig herzustellen war. Man hat deswegen auf Begrenzer und andere Impulsregenerierschaltungen verzichtet. Eine Anlage dieses Umfangs, die überdies mit der niedrigen Frequenz von 1,4 kHz arbeitet, ist in ihrem Verhalten nicht sehr kritisch.

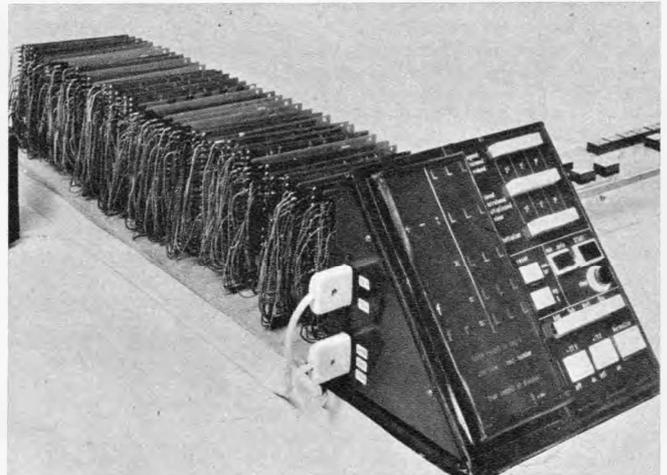
Lang anhaltende Spannungspegel mit L- oder 0-Wert sind häufig durch mechanische Schalter gegeben. Sonst arbeitet man im weiten Bereich mit Impulsen verschiedener Länge, die durch Aus- und Einschaltvorgänge der Verknüpfungsglieder und Flip-

### Spannungen für Betrieb und Logik

Im Bereich der logischen Schaltung werden nur die Betriebsspannungen  $+11$  V und  $-11$  V verwendet. Man benutzt sie für



*Bild 1a.* Blick auf die Druckplatinen des Rechners, gebaut für den Wettbewerb „Jugend forscht“



*Bild 1b.* Die Frontplatte des Rechners mit Bedienungsfeld (rechts) und Leuchtanzeige (links), dahinter die 39 selbstgefertigten Druckplatinen

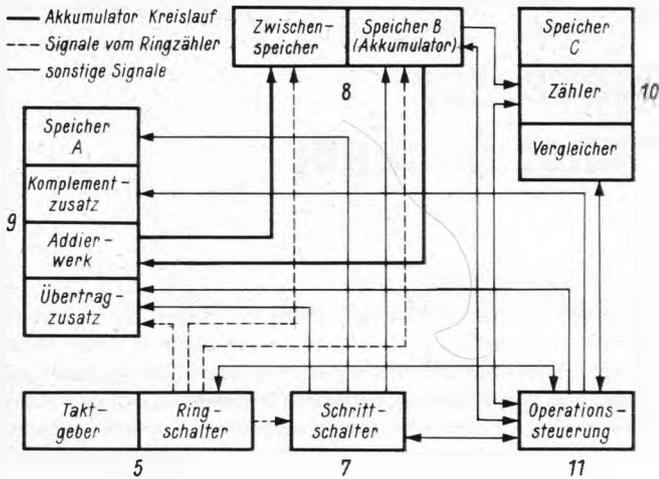


Bild 2. Blockschaltung des Rechners. Die nebenstehenden Zahlen nennen die Bilder mit den logischen Schaltungen

Rechts: Bild 4. Schaltung und Symbol des bistabilen Multivibrators, hier Flipflop genannt. AS = Ausgang Setzen, AR = Ausgang Rücksetzen; ES = Eingang Setzen; ER = Eingang Rücksetzen; WS, WR = Widerstandseingänge (vorbereitende Eingänge); CS, CR = kapazitive Eingänge (Impulseingänge)

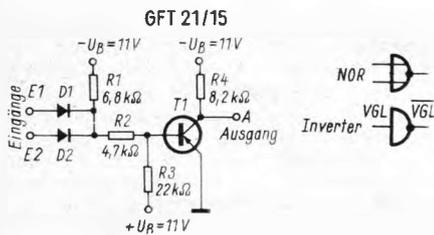
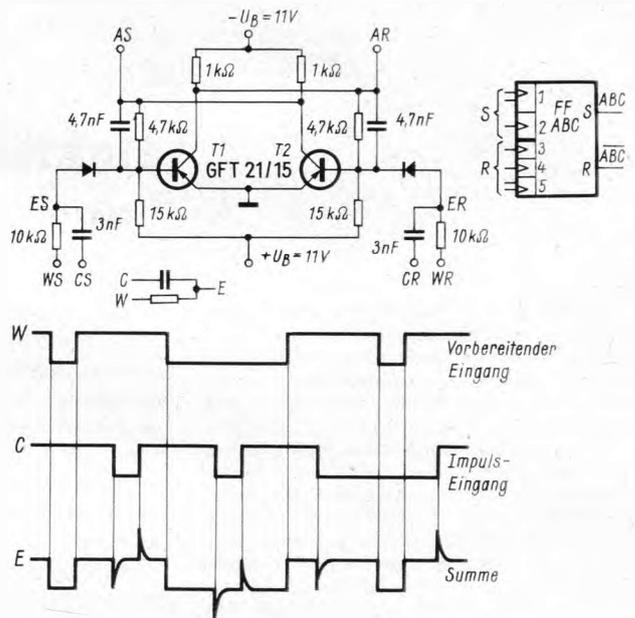


Bild 3. Schaltung des NOR-Gliedes und seine Symbole. Die Anzahl der Eingänge kann auch größer als zwei sein

flops erzeugt werden. Zur Betätigung der Flipflops werden steile Flanken gefordert.

### NOR-Glieder und Inverter

Bild 3 zeigt das NOR-Glied. Es besteht aus einem ODER-Glied, das von den beiden Dioden und dem Widerstand R1 gebildet wird, und einem nachfolgenden Inverter. Bei offenen Eingängen (d. h. wenn keine Spannung an den Eingängen liegt) leitet der Transistor, was man leicht am Spannungsteilerverhältnis  $R1/R2/R3$  erkennen kann. Eine negative Spannung von  $-6...-11$  V an beiden Eingängen oder an einem Eingang, wobei der andere offen bleibt, ändert am Leitzustand des Transistors je nach Spannungshöhe nichts oder nur wenig. Nähert sich die Eingangsspannung an beiden Eingängen oder einem Eingang – gleichgültig, wie negativ die Spannung an anderen ist – 0 V, so liefert der Spannungsteiler eine positive Basisvorspannung am Transistor. Dadurch sperrt der Transistor, womit am Ausgang eine hohe negative Spannung liegt. Eingangsspannungen haben ihren Ursprung in den Ausgängen anderer Verknüpfungsschaltungen sowie Flipflops, oder die Eingänge werden durch Schalter direkt an 0 V und  $-11$  V gelegt.

Bei der Betrachtung logischer Schaltungen sind, wie erwähnt, die eigentlichen Spannungswerte uninteressant. Man sagt dafür: „Die Spannung ist WAHR oder hat einen L-Wert“ bzw. umgekehrt. Die NOR-Funktion stellt man daher in einer Wahrheitstabelle in Form von L- und 0-Eintragungen dar, die man sich für die Dauer der Rechnerbetriebsung unbedingt merken sollte (Tabelle 1).

Benötigt man mehrere Eingänge, so können ohne weiteres Dioden parallel zu den vorhandenen geschaltet werden. Die NOR-Bedingung – daß man nur dann einen L-Ausgang erhält, wenn alle Eingänge FALSCH sind – ändert sich dadurch nicht.

Dieselbe Schaltung benutzt man auch als Inverter; verwendet man nämlich nur einen Eingang, so wird das dort vorhandene Signal am Ausgang immer umgekehrt erscheinen. Daher werden in dieser Beschreibung die beiden in Bild 3 gezeigten Schaltzeichen für dieselbe Schaltung benutzt. Ein inverses Signal wird durch einen Balken kenntlich gemacht. Aus z. B. VGL vor dem Inverter wird VGL, wenn es nicht mit anderen Zeichen beschrieben wird.

### Das Flipflop

Ein Flipflop stellt ein Speicherelement dar und ist in dieser Funktion häufig in logischen Schaltungen anzutreffen. Die beiden Transistoren (Bild 4) befinden sich immer in entgegengesetzten Zuständen: Leitet der Transistor T1, dann sperrt T2. Am Ausgang AS liegt in dem Fall eine hohe negative Spannung, an AR dagegen eine von 0 V. Die Verhältnisse drehen sich um, wenn an der Basis von Transistor T1 ein positiver Impuls erscheint und T1 sperrt. Im selben Moment wird die negativ gehende Spannung am Kollektor von T1 über die RC-Kopplung auf die Basis von T2 übertragen und öffnet den Transistor T2. Die Ausgangsspannungen kehren sich dabei entsprechend um. Ein neuer Impuls am Eingang ES derselben Seite kann durch Art der Eingangsschaltung nichts mehr am Zustand ändern, sondern nur ein positiver Impuls am Rücksetzeingang ER; negative Signale erreichen die Basis wegen der Diodenpolung ohnehin nicht.

Daraus folgt, daß ein aktiver Impuls auf der Setz- oder Rücksetzseite an der entsprechenden Basis immer positive Polarität aufweisen muß. Man erzielt ihn, indem der Widerstandseingang mit 0 V vorgespannt wird und am kapazitiven Eingang eine positiv gehende Flanke wirkt, die bei diesem Rechner stets beim Umschaltvorgang von einer hohen negativen Spannung nach 0 V entsteht. Liegt der Wert der Vorspannung weit im negativen Bereich, so wird der posi-

tiv gehende Impuls zwar trotzdem differenziert, wie das Impulsschema in Bild 4 zeigt, überschreitet aber mit seiner Überlagerung nicht den 0-V-Pegel und ist damit an der Basis des zugehörigen Transistors unwirksam.

Damit das Flipflop sich ändert, muß sich der Widerstandseingang vor Eintreffen der positiv gehenden Flanke vorbereitend auf 0-V-Potential befinden. Man nennt ihn deswegen Vorbereitungseingang. Ist der Vorbereitungseingang in Schaltbildern nicht eingetragen – wie in Bild 4, Eingang 2, 3 und 4, beim Flipflop-Symbol –, so liegt er ständig vorbereitend auf 0 V.

Die Kombination aus Vorbereitungseingang und kapazitivem Eingang, in der Folge Impulseingang genannt, stellt also eine Koinzidenzforderung besonderer Form. Deswegen soll der kombinierte Eingang hier als UND-Glied betrachtet werden, das dann und nur dann einen L-Ausgang bzw. WAHREN FF-Eingang liefert, wenn beide Eingänge WAHR sind. Die Vorbereitung soll dabei stillschweigend beachtet werden.

Wie man weiter in Bild 4 sieht, lassen sich mehrere Kombinationseingänge parallel schalten, die sich in ODER-Funktion gegenseitig nicht beeinflussen. Diese ODER-Wirkung braucht nicht mit eingetragen zu werden, sie geht aus der Zeichnungsart des Flipflops hervor. Denn auf der Setz- wie auf der Rücksetzseite des Flipflops werden die UND-Gliedereingänge, soweit mehrere vorhanden sind, symbolisch zusammengefaßt. Die Verknüpfungsglieder zählen in der Beschreibung von oben nach unten. Die Impulseingänge sind an Pfeilspitzen innerhalb der Eingangsglieder erkenntlich. Der Setz- ausgang AS ist dem Setzeingang zugeordnet. AS nimmt genau dann L-Wert an, sobald eines der Setz-UND-Glieder die Wahrheitsbedingung erfüllt, d. h. wenn bei mindestens einem Setz-UND-Glied 0 V bzw. L-Wert an W liegt und eine positive Flanke an C erscheint. Entsprechend verhält es sich auf der Rücksetzseite des Flipflops. Es wird aber auch davon geredet, daß man den oberen oder den unteren Ausgang setzt. Die Zustände der Flipflops werden mit L0 bzw. 0L angegeben, wobei sich die erste Stelle auf den oberen Ausgang bezieht.

Bauelemente, Leitungen, Funktionen und Signale sind mit drei Buchstaben oder Zahlen bezeichnet. Sie sind Abkürzungen, die aus der Tabelle 2 (erscheint im nächsten Heft) hervorgehen. (Fortsetzung folgt)

Tabelle 1. Zustände und Wahrheitstabelle des NOR-Gliedes (Bild 3)

Eingang E 1	Eingang E 2	Transistor	Ausgang A	E 1	E 2	A
negativ	negativ	leitet	0 V	0	0	L
negativ	0 V	sperrt	negativ	0	L	0
0 V	negativ	sperrt	negativ	L	0	0
0 V	0 V	sperrt	negativ	L	L	0

# Ein selbstgebauter elektronischer Rechner

## 2. Teil

### Taktgeber und Ringschalter

Die Ursache alles Geschehens im Rechner sind die Taktimpulse TKT (Bild 5). Mit einem Schalter kann man zwischen Multivibratortakt und Einzeltakt wählen. Bei Einzeltaktbetrieb bestimmt der Bediende mittels Tastendruck die Geschwindigkeit des Programmablaufs und kann somit die Einzelaktionen des Rechners an Signallämpchen oder durch Spannungsmessungen verfolgen. Mit jedem Tastendruck wird ein Flipflop so gesetzt, daß sein Ausgang ein O-Signal an den Umschalter liefert; beim Loslassen der Taste wird das Flipflop jeweils wieder rückgesetzt. Am anderen Pol des Schalters liegen die Multivibrator-Rechteckspannungen mit einer Frequenz von 1,4 kHz.

Je nach Schalterstellung gelangt eines der Signale an das NOR-Glied TKT, bewirkt aber noch keinen Ausgang, da das END-Signal noch nicht aufgehoben ist. Vor jedem Rechengang müssen mit dem Signal LFF (Lösche Flipflop) bestimmte Flipflops in Anfangsstellung gebracht werden. Die Angaben von L und 0 auf allen Bildern mit logischen Schaltungen kennzeichnen den Zustand der Elemente oder Leitungen nach Auslösung des Signals LFF.

Das erste Flipflop WTR-ZIB des Ringschalters wird von LFF in Stellung L0 gebracht. Die Stellung des zweiten Flipflops ZSP-ZL0 ist unbestimmt und soll im Augenblick mit L0 angenommen werden. Mit dem Startsignal STA, das man mit einer Taste auslöst, wird der Rechengang eingeleitet, indem beide Flipflops von STA auf 0L ge-

bracht werden. Die durch das Umschalten erzeugte positive Flanke von ZIB erwirkt nun die Umkehr von END über die Operationssteuerung. Jetzt ist also das END-Signal 0, so daß das NOR-TKT die Taktimpulse freigibt.

An dieser Stelle sei erwähnt, daß alle Leitungen mit einem Pfeil nach rechts durch Zahlen auf die Bilder hinweisen, zu denen sie führen. Entsprechend zeigen von links ins Bild führende Leitungen mit ihren Zahlen Herkunftsbild und Entstehungsort an. Das möge aber nicht dazu verleiten, gewisse Voraussetzungen von Signalen und Zuständen, die bei der Erklärung des Rechners gemacht werden müssen, voreilig zu ergründen. Die Entstehung von z. B. END kann erst bei der Behandlung der Operationssteuerung erklärt werden.

Die nun am Ringschalter vorhandenen Taktimpulse schalten bis zum Rechenende in zyklischer Form die beiden Flipflops. Die erste positive Flanke von TKT kann nur den oberen Ausgang von FF-WTR-ZIB auf L setzen, nicht den unteren, da dieser bereits gesetzt ist; aus demselben Grunde auch nicht den unteren von FF-ZSP-ZL0. Der obere Ausgang von FF-ZSP-ZL0 kann nicht gesetzt werden, da der 0-Wert von WTR in diesem Moment noch nicht die UND-Bedingung von Eingang 1 erfüllt. Diese

Überlegungen klären die ganze Funktion des Ringschalters.

Die erste positive Flanke von TKT, um es zu wiederholen, wirkt also am Eingang 2 von FF-WTR-ZIB und setzt dieses auf L0. Die zweite positive Flanke schaltet FF-ZSP-ZL0 auf L0 über Eingang 1, der dritte TKT-Impuls kehrt wieder den Zustand des ersten Flipflops um, diesmal über Eingang 3; schließlich wird das zweite Flipflop vom vierten TKT-Impuls umgesetzt, worauf der Vorgang wieder von vorn beginnt.

Der Ringschalterzyklus läuft damit in vier Phasen ab, die in zeitlicher Reihenfolge den Signalen WTR, ZSP, ZIB und ZL0 entsprechen. Ihren positiven Flanken sollen die Zeitpunkte XT 1, XT 2, XT 3 und XT 4 zugeordnet werden, um den Programmablauf nach Zeitrelationen zu orientieren. XT 1-3 bedeutet beispielsweise die Dauer von XT 1 bis XT 3. T heißt Zeit, und der Buchstabe X soll sich auf den Ringschalter beziehen. Bei Bezug auf den Schrittschalter wird X durch andere Zeichen ersetzt, die den zeitabhängigen Zuständen der Schrittschalterflipflops entsprechen.

Die vier Impulse vom Ringschalter haben Takt- und Befehlsaufgaben und zwar:

XT 1 WTR Weiterschalten zur nächsten Stelle, XT 1-3,  
XT 2 ZSP Zwischenspeichern, XT 2-4,

Tabelle 2. Bezeichnungen der Bauelemente, Leitungen, Funktionen und Signale

Bezeichnung	in Bild	Bedeutung	Bezeichnung	in Bild	Bedeutung
AA 1, 2, 3	9	Ausgänge Speicher A	REW	11	Rechnung Weiter
AB 1, 2, 3, U	8	Impulsausgänge Speicher B	SAX	9	Von Speicher A, WAHR wenn L-Bit
ADD	11	Addition	SB 1, 2, 3, U	8	Speicher B
ADK	9	bei Addition Komplement	SBX	9	WAHR, wenn L-Bit aus Speicher B
ADX	9	WAHR, wenn Addition und L-Bit	SCN	11	Speicher C Null
A0S	11	Addition oder Subtraktion	SGO	11	Schrittschalter weiter bei Multiplikation oder Division
AOB	9	NICHT Speicher A und NICHT Speicher B	SHA, B, 1, 2, 3, U	7	Schrittschalter-Flipflops
AOM	11	Addition oder Multiplikation	STA	11	Start
DDN	10	Dividend Null	SUB	11	Subtraktion
DHA	11	Division Halt	SOD	11	Subtraktion oder Division
DIV	11	Division	SUK	9	Komplement bei Subtraktion
DPZ	11	Zählimpuls bei Division	SUX	9	WAHR, wenn Subtraktion und kein L-Bit
DST	11	Division Stop	TKT	5	Takt
DVS	11	Verhindert bei Division den ersten Zählimpuls	UBJ	9	Übertrag bei jetziger Rechnung
EB 1, 2, 3, U	8	Eingänge Speicher B	UBV	9	Übertrag von voriger Rechnung
END	11	Ende der Rechnung	UTJ	9	Übertrag von jetziger Rechnung
HOU	9	NICHT erster Halbaddierer und NICHT Übertrag	UTV	9	Übertrag von voriger Rechnung
LFF	11	Lösche Flipflops	V01	10	Vergleichsglied 2 <sup>0</sup> Nr. 1
LSB	11	Lösche Speicher B	VGL	10	Speicher C und Zähler gleich
LZA	11	Lösche Zähler	WTR	5	Weiterschalten zur nächsten Stelle
MOD	11	Multiplikation oder Division	ZA 1, 2, 3, 4	10	Zählerflipflops
MPV	11	Vergleichsimpuls für Multiplikation	ZIB	5	Inhalt des Zwischenspeichers in den Speicher B bringen
MPZ	11	Zählimpuls bei Multiplikation	ZLO	5	Zwischenspeicher Löschen
MUL	11	Multiplikation	ZSP	5	Zwischenspeichern
NDN	10	Nur Divisor Null	ZWS	8	Zwischenspeicher
NUM	11	Vergleichsimpuls für Null-Multiplikation	1 HA	9	Erster Halbaddierer
PUV	11	Vergleichsimpuls	1 HU	9	Erster Halbaddierer und Übertrag
PUZ	11	Zählimpuls	1 US	9	Erste Stelle und Subtraktion
RES	11	Rechnung Stop	2 HA	9	Zweiter Halbaddierer

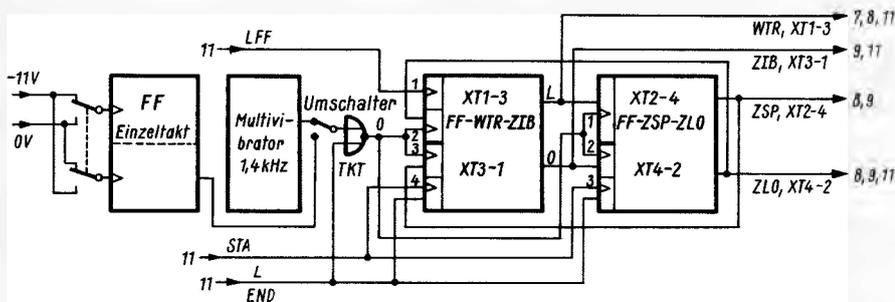


Bild 5. Ringschalter. Die Einzeltakt- oder Multivibratorimpulse setzen zwei Flipflops in zyklischer Form

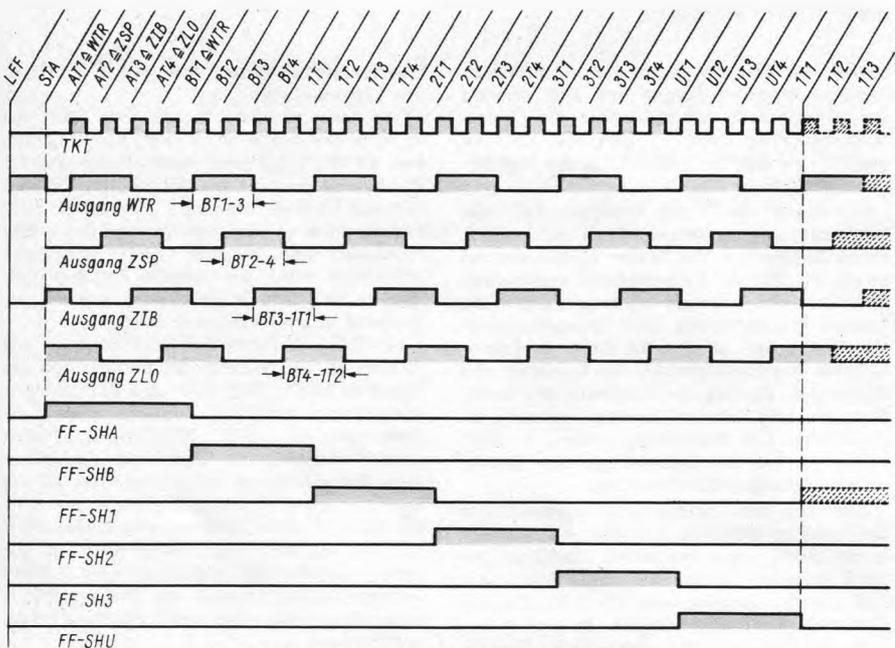


Bild 6. Impulsschema des Ring- und Schrittschalters

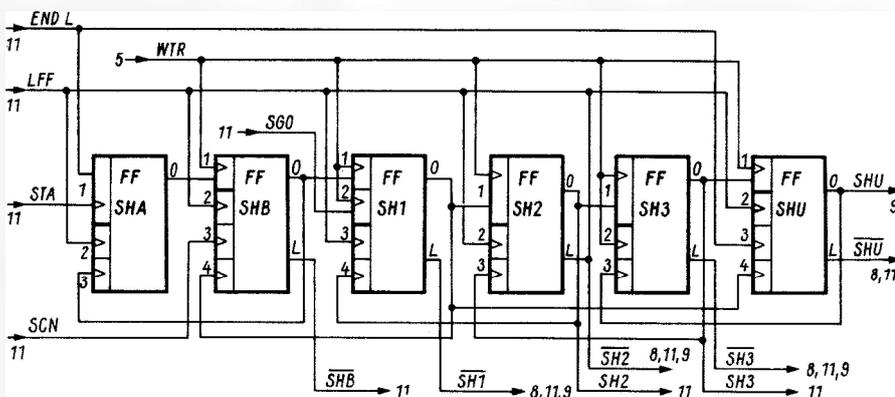


Bild 7. Der Schrittschalter wird vom Ringschalter derartig gesteuert, daß die sieben Flipflops nacheinander setzen. Mit einem Durchgang ist die Addition beendet

XT 3 ZIB Inhalt des Zwischenspeichers in den Speicher B tasten, XT 3-1,

XT 4 ZLO Zwischenspeicher löschen.

Die Impulsstrukturen sind schematisch in Bild 6 wiedergegeben, wobei man mit dem Signal LFF beginnt.

### Der Schrittschalter

Das Schaltbild des Schrittschalters zeigt Bild 7. Die sechs verwendeten Flipflops werden nacheinander vom Ringschalter gesetzt und rückgesetzt. Dabei werden als vornehmliche Aufgabe des Schrittschalters die Stellen der Zahlen in den Speichern A und B

schrittweise von den Flipflops SH 1, SH 2 und SH 3 ins Addierwerk übertragen. FF-SHA und SHB treffen dafür vorbereitende Maßnahmen, FF-SHU verwertet den Übertrag der Rechnung und beendet das Programm.

Die Schaltung wurde so ausgelegt, daß mit dem Setzen des nächsten Flipflops das zuletzt gesetzte wieder in seine Ursprungsstellung zurückkehrt. Zu Anfang stehen alle Flipflops, schon durch das Löschesignal LFF, in Stellung 0L. Der Schrittschalter-Durchlauf beginnt wie beim Ringschalter mit dem Startsignal STA. Obwohl END mit STA über den Ringschalter und die Operationssteuerung FALSCH wird, läßt die

Verzögerung über den Umweg gerade noch so viel Zeit, um die Setzbedingung für FF-SHA am Eingang mit STA und END zu erfüllen.

SHA bereitet nun den ersten Eingang von SHB vor. Mit WTR zur Zeit XT 1 werden darauf SHB und später entsprechend alle weiteren Flipflops über Eingang 1 gesetzt. Das mit dem Setzen von SHB am oberen Ausgang erscheinende L-Signal bereitet Eingang 1 von Flipflop SH 1 vor und bringt FF-SHA über Eingang 3 wieder in Grundstellung. Dieser Ablauf wiederholt sich bei den folgenden Flipflops, bis FF-SHU gesetzt ist.

Das Flipflop SHU kann bei Addition und Subtraktion von keinem folgenden Flipflop zurückgesetzt werden. Der Ausgang SHU bewirkt aber über die Operationssteuerung zum nächsten Zeitpunkt von XT 1 ein WAHRES END-Signal, das über Eingang 3 FF-SHU wieder in Grundstellung bringt. Addition und Subtraktion sind damit beendet.

Anders liegen die Verhältnisse bei Multiplikation und Division. Sie werden auf eine wiederkehrende Addition bzw. Subtraktion zurückgeführt. Die Operationssteuerung wird deswegen auch nicht nach einmaligem Schrittschalterdurchgang ein WAHRES END-Signal liefern, sondern mit dem Signal SGO den zweiten Eingang von FF-SH 1 vorbereiten, so daß mit dem nächsten WTR der Schrittschalterdurchgang erneut eingeleitet wird.

Mit dem erneuten Setzen von FF-SH 1 bringt in diesem Fall der Ausgang SH 1 das Flipflop SHU über Eingang 4 wieder in Stellung 0L. Der Durchlauf wird so oft wiederholt, bis die Operationssteuerung das Ende der Rechnung feststellt und END WAHR macht. Da die Flipflops SHA und SHB schon beim ersten Schrittschalterdurchgang ihre Aufgabe erfüllt haben und am eigentlichen Rechengang, der von den übrigen vier Flipflops besorgt wird, unbeteiligt sind, bleiben sie bei wiederholten Durchläufen unberücksichtigt.

In Bild 6 sind die Impulse des Schrittschalters in Relation zu den Ringschalterimpulsen aufgetragen. Die punktierten Impulse bedeuten die Zustände bei wiederholtem Schrittschalterdurchlauf.

### Speicher B

Der Speicher B (Bild 8) hat zwei Aufgaben: Er soll Operanden und Rechenergebnisse speichern. Bei Addition, Subtraktion und Division werden ihm ein Summand oder der Minuend bzw. der Dividend mit den Schaltern S 1, S 2, und S 3 eingegeben. Als Resultate halten die Flipflops die Summe, die Differenz oder das Produkt bzw. den Rest der Division fest, bis durch Tastendruck (Operationssteuerung) die Löschesignale LFF oder LSB (Lösche Speicher B) alle vier Flipflops in Stellung 0L bringen.

FF-SBU enthält nach der Addition und Multiplikation den eventuell auftretenden Übertrag, den ein Lämpchen als Überlauf des Speichers B anzeigt. Bei Subtraktion und Division macht FF-SBU mit seiner Stellung L0 eine negative Zahl kenntlich.

Den Flipflops SB 1, SB 2 und SB 3 sowie den Schaltern S 1, S 2 und S 3 entsprechen der Reihe nach die Stellenwerte  $2^0$ ,  $2^1$  und  $2^2$  der Dualzahlen. In Tabelle 3 sind die Dualzahlen von 0 bis 15 aufgeführt. Da nur drei Schalter vorhanden sind, kann der Rechner auch nur mit dreistelligen Binärzahlen, d. h. bis zur Dezimalzahl 7, operieren.

Will man z. B. die Zahl 5 eingeben, so muß entsprechend L0L der erste und der letzte Schalter betätigt werden. Dabei bringt

das L-Signal, das der Spannung von 0 V entspricht, die Flipflops SB 1 und SB 3 in Stellung L0. Ihre unteren Ausgänge schalten mit den 0-Werten über Treiber die Lämpchen  $2^0$  und  $2^2$  ein ( $2^0 + 2^2 = 5$ ) und erzeugen, nachdem man mit der Starttaste den Schrittschalter in Tätigkeit gebracht hat, L-Impulse an den NOR-Glied-Ausgängen AB 1 und AB 3.

Der Impuls AB 1 erscheint mit dem L-Wert von SH 1 für die Dauer von 1 T 1 bis 2 T 1 (siehe Bild 6). AB 2 ist von 2 T 1 bis 3 T 1 WAHR, AB 3 von 3 T 1 bis UT 1 und AB 4 von UT 1 bis zum Anfang von END bzw. 1 T 1. Die Ausgänge führen aufgrund der NOR-Bedingung aber nur dann einen Impuls, wenn die entsprechenden Flipflops im Speicher B gesetzt sind. Der Speicherinhalt wird also stellenweise über AB 1, AB 2 und AB 3 im Takte des Schrittschalters in das Addierwerk gegeben.

Das Ergebnis einer Stellenrechnung ist zur gleichen Zeit mit 0 oder L am Eingang des Zwischenspeichers ZWS als 2 HA vorhanden und setzt, wenn 2 HA WAHR ist, das Flipflop ZWS mit dem Befehl ZSP (Zwischenspeichern). Ist das Rechenergebnis L, so steht FF-ZWS auf L0; ist das Resultat dagegen 0, so findet man den Zustand 0L vor. Beide Ausgänge des Flipflops liegen an bestimmten Setz- bzw. Rücksetzeingängen sämtlicher Flipflops des Speichers B.

Die Ausgänge der NOR-Glieder EB 1 bis EBU liefern durch die NOR-Verknüpfung der Schrittschaltersignale mit WTR einen WAHREN Impuls für die Dauer von XT 3-1 zu einem Zeitpunkt, der der Stellenzahl des Schrittschalters entspricht. Während also die Stelle  $2^0$ ,  $2^1$ ,  $2^2$  oder Überlauf (gemäß der Schrittschalterstellung) bearbeitet wird, erscheint ein WAHRE Impuls EB 1, EB 2, EB 3 oder EBU (gleichzeitig mit ZIB) am Eingang des Flipflops SB 1, SB 2, SB 3 oder SBU. EB 1, EB 2, EB 3 oder EBU setzt nun zur Zeit XT 3 die Seite des entsprechenden Flipflops im Speicher B, die entweder von ZWS oder  $\overline{ZWS}$  vorbereitet wurde.

An einem Beispiel mit der zweiten Binärstelle soll der Vorgang noch einmal erklärt werden: Der Schalter S 2 wurde vorher gedrückt, so daß FF-SB 2 auf L0 steht. Für die Zeit 2 T 1 bis 3 T 1 ist SH 2 FALSCH. SH 2 erzeugt mit dem unteren Ausgang von FF-SB 2, der auch FALSCH ist, für die Zeit 2 T 1 bis 3 T 1 einen WAHREN Impuls AB 2. Zur gleichen Zeit führt 2 HA das Rechenergebnis, das mit 0 angenommen werden soll. FF-ZWS wurde spätestens zur Zeit 1 T 4 durch ZL0 in den Zustand 0L gebracht. ZSP wird zum Zeitpunkt 2 T 2 WAHR, kann aber FF-ZWS nicht setzen, da 2 HA FALSCH ist. Damit ist das Resultat gespeichert.  $\overline{ZWS}$  hat nun L-Wert und bereitet an jedem Flipflop des Speichers B einen Rücksetzeingang

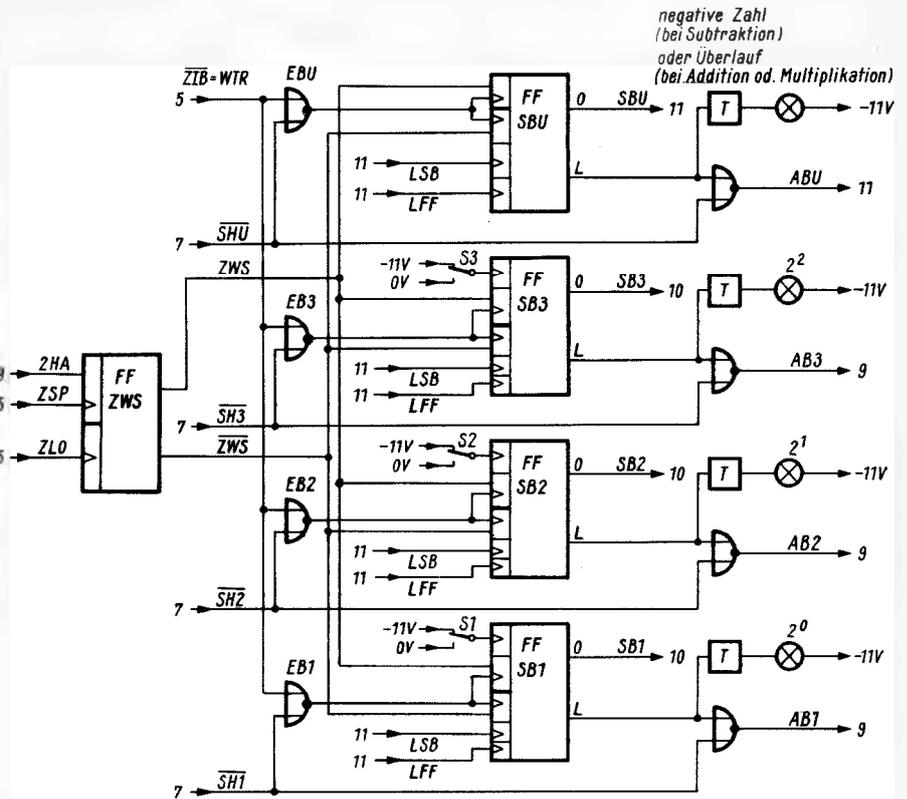


Bild 8. Speicher B (Akkumulator) enthält das Rechenergebnis, das mit Lämpchen angezeigt wird. T kennzeichnet Treiber für Lämpchen

vor. WTR wird zur Zeit 2 T 3 FALSCH (entspricht dem WAHREN Befehl ZIB) und macht zu diesem Zeitpunkt den Ausgang EB 2 WAHR. Somit wird FF-SB 2 zum Zeitpunkt 2 T 3 zurückgesetzt. Das Signal SH 2 nimmt zur Zeit 3 T 1 wieder WAHREN Wert an und schließt damit den Rechengang der zweiten Binärstelle ab.

### Addition und Subtraktion

Die Addition von Binärzahlen ist ein sehr einfacher Rechengang, wenn man sich folgendes merkt:

- 0 + 0 = 0 Übertrag 0
- 0 + L = L Übertrag 0
- L + L = 0 Übertrag L

Der hier beschriebene Rechner arbeitet nach dem Serienprinzip, d. h. bei mehrstelligen Operanden werden jedes Bit einzeln, alle Bits nacheinander addiert, wobei der Schrittschalter mit der niedrigsten Binärstelle beginnt. Dabei führen zwei Halbaddierer die Addition einer Stelle in zwei Schritten durch.

Mit dem ersten Schritt werden die beiden von den Speichern A und B kommenden Zahlen verglichen. Sind sie gleich, gibt der erste Halbaddierer die Summe 0 aus. Haben sie dazu noch einen L-Wert, so wird ein Übertrag ausgegeben, den der Rechner bis zur nächsten Stellenaddition speichert. Im zweiten Halbaddierer vollzieht sich der gleiche Prozeß. Mit ihm wird der Übertrag der vorigen Rechnung zur Summe der beiden vom ersten Halbaddierer verarbeiteten Stellen addiert. Dabei kann wieder ein Übertrag auftreten. Niemals aber erhält man von beiden Halbaddierern einen Übertrag. Deswegen kann man mit beiden Übertragsausgängen ein Flipflop setzen.

Die Subtraktion führt man durch, indem man das Zweierkomplement des Subtrahenden zum Minuenden addiert. Das Zweierkomplement einer Dualzahl bildet die Differenz zwischen Subtrahend und der Dualzahl

einer Zweierpotenz, deren Exponent gleich der Stellenzahl des binären Subtrahenden ist. Das Zweierkomplement von LOLL ist somit

$$L0000 - L0LL = 0L0L$$

Der Subtrahend ist aber beliebig lang, wenn man ihm eine Reihe von Nullen voranstellt; also ist das Zweierkomplement von ...000L0LL auch

$$L0...0000000 - ...000L0LL = 0L...LLL0L0L$$

Das Einerkomplement bildet man, indem der Subtrahend nicht von L...000, sondern von L...LLL abgezogen wird. Damit ist das Einerkomplement um Eins kleiner als das Zweierkomplement. Man erhält das Zweierkomplement wieder, wenn man zum Einerkomplement L addiert. Das Einerkomplement von LOLL ist

$$LLL - LOLL = 0L00$$

Dabei erkennt man, daß das Einerkomplement die inverse Bitfolge des Subtrahenden aufweist, d. h. 0 und L werden gegeneinander vertauscht.

Der Rechner subtrahiert bei dem Beispiel L0 - LOL folgendermaßen: Das  $2^0$ -Bit des Subtrahenden wird invertiert und zur gleichen Stelle des Minuenden addiert:

$$0 + \text{NICHT } L = 0 + 0 = 0, \text{ Übertrag} = 0$$

Zusätzlich addiert der Rechner einmalig ein L zur Formung des Zweierkomplements:

$$0 + L = L, \text{ Übertrag} = 0$$

Das ist die erste Stelle des Ergebnisses. Die zweite Stelle:

$$L + \text{NICHT } 0 = L + L = 0, \text{ Übertrag} = L$$

Dritte Stelle:

$$L + \text{NICHT } L + \text{Übertrag} = L + 0 + L = 0, \text{ Übertrag} = L$$

Ist der dreistellige Minuend größer als der dreistellige Subtrahend, so ergibt die Addition der dritten Stelle immer einen Übertrag.

Der größte Operand, der dem Rechner eingegeben werden kann, ist dreistellig. Der Schrittschalter führt aber mit seinem Flipflop FF-SHU einen vierten Rechengang

Tabelle 3. Dualzahlen von 0...15

Dezimal	Dual			
0	0	0	0	0
1	0	0	0	L
2	0	0	L	0
3	0	0	L	L
4	0	L	0	0
5	0	L	0	L
6	0	L	L	0
7	0	L	L	L
8	L	0	0	0
9	L	0	0	L
10	L	0	L	0
11	L	0	L	L
12	L	L	0	0
13	L	L	0	L
14	L	L	L	0
15	L	L	L	L

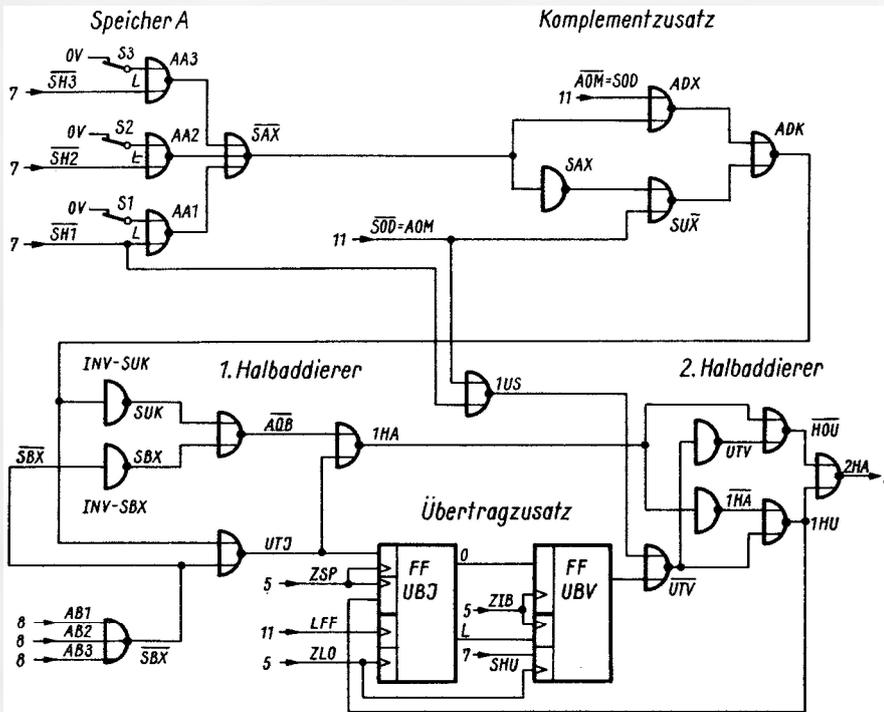


Bild 9. Speicher A, Komplement- und Übertragungszusatz und Addierwerk, das aus zwei Halbdaddierern besteht

durch, wofür im Speicher B das Flipflop SBU vorgesehen ist. Bei der Berechnung der vierten Stelle sind immer der Minuend und Subtrahend 0. Der Subtrahend wird aber invertiert und addiert. Der Übertrag ist L. Also:

$$0 + \text{NICHT } 0 + \text{Übertrag } L \\ = 0 + L + L = 0, \text{ Übertrag } L$$

Der Übertrag der vierten Stelle wird nicht mehr verwertet. Das angeführte Beispiel ergab somit:

$$LLO - LOL = 000L$$

Ist der Minuend kleiner als der Subtrahend, erhält man nach Berechnung der dritten Stelle keinen Übertrag, und die vierte Stelle ergibt:

$$0 + \text{NICHT } 0 + \text{Übertrag } 0 \\ = 0 + L + 0 = L$$

Das Flipflop SBU im Speicher B wird damit gesetzt und zeigt mit seinem Lämpchen  $2^3$  eine negative Zahl an. Die negative Zahl wird aber als Komplementwert gespeichert, z. B. ist  $-1 = 0 - L = \dots LLLL$ .

#### Speicher A und Addierwerk

Die Schaltung in Bild 9 läßt sich unterteilen in Speicher A, Addierwerk, Komplement- und Übertragungszusatz. Bei Addition, Subtraktion, Multiplikation und Division wird dem Speicher A entsprechend ein Summand, der Subtrahend, der Multiplikand oder der Divisor eingegeben.

Während im Speicher B die Eingabedaten durch Ergebnisspeicherung verlorengehen, bleibt im Speicher A der Operand erhalten, solange die Stellenschalter S1, S2, S3, die allein den Speicher A bilden, in ihrer Stellung der Binärverschlüsselung des Operanden entsprechen.

Ein geöffneter Schalter entspricht dem L-Bit einer Zahl. Bestimmt zum Beispiel der Schrittschalter im Augenblick den Rechengang der zweiten Stelle mit seinem FALSCHEN Signal  $\overline{SH2}$ , so wirkt das NOR-Glied AA2, wenn der Schalter S2 geöffnet ist, als Inverter und erzeugt als einziges der drei NOR-Glieder AA1...AA3 ein L-Signal,

was zu einem 0-Ausgang von NOR-SAX führt. SAX ist also 0, wenn der Operand ein L-Bit aufweist. Dabei soll hier und auch weiterhin vorausgesetzt werden, daß der Schrittschalter sich in der zur besprochenen Binärstelle gehörigen Stellung befindet.

SAX ist das Eingangssignal des Komplementzusatzes. Je nach der eingestellten Operation ist entweder AOM (Addition oder Division) WAHR, danach nimmt ADX L-Wert an, wenn addiert werden soll und eine Zahl vorhanden ist; SUX ist WAHR, wenn subtrahiert werden soll und keine Zahl vorhanden ist. Am Ausgang ADK des Komplementzusatzes sollte bei Subtraktion eigentlich der Komplementwert erscheinen, er tritt jedoch bei Addition auf. Das hat

Tabelle 4. Der 1. Halbdaddierer mit Komplementbildung und der 2. Halbdaddierer

Bit-Speicher A	SAX	SAX	AOM	SOD	ADX	ADK	SUX	Bit-Speicher B	SEB	SBX	AOB	UTJ	1 HA
0	L	0	L	0	0	0	L	0	0	L	0	L	0
0	L	0	L	0	0	0	L	0	L	0	L	0	0
L	0	L	L	0	0	0	L	0	L	0	L	0	L
L	0	L	L	0	0	0	L	L	L	0	L	0	L
0	L	0	L	L	0	0	L	0	L	0	0	0	L
0	L	0	L	L	0	0	L	L	L	0	L	0	L
L	0	L	0	L	0	0	L	0	L	0	L	0	0
L	0	L	0	L	0	0	L	0	L	0	L	0	L

1 HA	Entweder 1 US oder UBV	UTV	UTV	1 HA	HOÜ	1 HU	2 HA
0	0	L	0	L	L	0	0
0	L	0	L	L	0	0	L
L	0	L	0	0	0	0	L
L	L	0	L	0	0	L	0

seine Ursache in der ausschließlichen Verwendung von NOR-Gliedern, deren Eigenschaft der Signal-Umkehrung sich manchmal vorteilhaft und zuweilen ungünstig auswirkt. Deswegen muß man wie hier mit INV-SUK und INV-SBX invertieren, nur weil ein NOR-Glied das Signal umgedreht hat.

AB1, AB2 und AB3 sind die Ausgänge des Speichers B, von denen jeweils nur einer aktiv ist und bei L-Bit  $\overline{SBX}$  FALSCH macht. Sind  $\overline{SBX}$  und ADK beide 0, d. h. addiert man L und L, erhält man einen WAHREN Übertragungsausgang UTJ (jetzige Rechnung), der den Setzeingang von FF-UBJ vorbereitet und mit dem FALSCHEN Signal  $\overline{AOB}$  [nicht (Speicher A oder B)] einen FALSCHEN Ausgang des ersten Halbdaddierers erwirkt.

FF-UBV speichert den Übertrag der vorigen Stellenrechnung, der zur Summe des ersten Halbdaddierers im folgenden zweiten Halbdaddierer zugezählt werden muß. Beim Rechengang der ersten Stelle hat UBJ - da keine vorige Operation erfolgte - den Inhalt 0, und UBV kann nicht WAHR sein. Dafür wird bei erster Stelle und Subtraktion mit WAHREM 1US aus dem Einerkomplement das Zweierkomplement erstellt.

Entweder 1US oder UBV wird mit NOR-UTV invertiert. Als Eingänge des letzten NOR-Gliedes des zweiten Halbdaddierers findet man die Signale 1HU (erster Halbdaddierer und Übertrag) und HOÜ (nicht (erster Halbdaddierer oder Übertrag), das ist dasselbe wie nicht erster Halbdaddierer und nicht Übertrag), die mit 2HA das WAHRE Ergebnis des Rechengangs liefern. 1HU ist zugleich der Übertrag des zweiten Halbdaddierers, der zwecks Addition zur nächsten Stelle in FF-UBJ gespeichert wird.

Beim Übertragungszusatz, der aus den beiden Flipflops UBJ und UBV besteht, läuft der gleiche Vorgang ab wie beim Zwischenspeicher. Der Übertrag der jetzigen Rechnung wird mit ZSP zur Zeit XT2 auf das Flipflop UBJ übertragen; im nächsten Moment zur Zeit XT3 übernimmt ihn FF-UBV in gleicher Weise wie der Speicher B. Vorher mußte aber der Übertrag der vorigen Rechnung verwertet werden. Das geschieht mit dem Zwischenspeicher, der zur gleichen Zeit durch denselben Befehl ZSP das Ergebnis 2HA der augenblicklichen Rechnung aufnahm wie FF-UBJ ihren Übertrag.

Während FF-UBJ vor jeder nächsten Stellenrechnung mit ZLO wieder gelöscht wird, müssen die Zustände des Flipflops UBV die Zeit für die Verarbeitung aller Binärstellen überdauern. Erst am Ende der Rechnung erlaubt SHU das Löschen, damit bei einer neuen Rechenoperation das Ergebnis durch den eventuell noch bestehenden Übertrag nicht verfälscht wird.

Die Zustände der Signalleitungen für sämtliche möglichen Additionen und Subtraktionen sind zur besseren Übersicht in Tabelle 4 zusammengestellt. Der erste Teil bezieht sich auf die Komplementbildung und den ersten Halbdaddierer, der zweite, kleinere Teil auf den zweiten Halbdaddierer.

(Fortsetzung folgt)

## Der vierte Farbfernseh-Übertragungswagen

Im Text dieses Beitrages in der FUNKSCHAU 1968, Heft 18, Seite 566, kam nicht zum Ausdruck, daß die vier Farbfernsehkameras mit jeweils drei Plumbicon-Aufnahmeröhren von der Firma Philips geliefert wurden.

# Ein selbstgebauter elektronischer Rechner

## 3. Teil (Schluß)

### Multiplikation und Division

Bei der Multiplikation benötigt man den Speicher C, einen Zähler und einen Vergleich in der Schaltung nach Bild 10. Speicher C enthält mit drei Schaltern den Multiplikator. Der Multiplikator gibt an, wie oft der Multiplikand, der in Speicher A steht, zum Inhalt des Speichers B, der zuerst gelöscht ist, addiert werden soll. Der Zähler verfolgt bei der Ausführung der Multiplikation die Schrittschaltdurchgänge und damit die Zahl der Additionen des Multiplikanden. Sind Zählerstand und Inhalt des Speichers C gleich, so gibt die Vergleichsschaltung einen Impuls an die Operationssteuerung, um die Rechnung zu beenden.

Der Zähler stellt mit FF-ZA 1, -ZA 2, -ZA 3 und -ZA 4 eine neue Kombination von Flipflops dar. Am Anfang stehen durch LFF alle Flipflops auf 0L. Ein besonderes Signal, LZA, löscht bei Bedarf nur den Zählerstand. Mit jedem Schrittschaltdurchgang erzeugt die Operationssteuerung zur Zeit 2 T 2-4 einen Impuls am Zählereingang PUZ. Der erste Eingang von Flipflop ZA 1 wird - wie auch bei den anderen drei Flipflops - von seinem eigenen Rücksetzgang vorbeieitet.

Mit dem ersten Impuls PUZ wird also FF-ZA 1 gesetzt. Der zweite Impuls stellt dasselbe Flipflop über Eingang 2 wieder auf 0L. Die ansteigende Flanke am unteren Ausgang des ersten Flipflops setzt im selben Augenblick FF-ZA 2. Mit dem dritten Impuls wird das erste Flipflop wieder auf 0L gebracht. Erscheint die ansteigende Flanke von PUZ das vierte Mal, wird FF-ZA 1 zurückgesetzt und löscht über Eingang 2 das zweite Flipflop, dessen unterer Ausgang nun FF-ZA 3 setzt, usw. Betrachtet man nur die oberen Ausgänge der Flipflops und ZA 1 als 2<sup>0</sup>-Bit, so erhält man der Reihenfolge nach die Zählerstände 0000, 000L, 00L0, 00LL, 0L00, 0L0L usw. Man sieht, daß die Zählerstände in ihrer Folge die Dualzahlen darstellen. Da man nur mit dreistelligen Operanden arbeitet, benötigt man das vierte Flipflop nicht. Es erfüllt bei der Division andere Aufgaben.

Der Vergleich ist eine einfache Schaltung, die pro Bit aus drei NOR-Gliedern besteht. Die drei Schalter in Speicher C sind in Aus-Stellung gezeichnet. Ist als Beispiel der Schalter 2<sup>0</sup> eingeschaltet und hat der Zähler einen Schritt gezählt, wodurch ZA 1 WAHR ist, so liefert NOR-V 01 einen L-Wert und NOR-V 02 einen 0-Wert V 03 ist damit FALSCH. Tabelle 5 zeigt die verschiedenen Vergleichsmöglichkeiten, wobei 2<sup>0</sup> mit L den Einschaltzustand bezeichnet.

Mit dem NOR-Glied VGL werden alle drei Bits verglichen. Stimmen alle Bits des Speichers C mit den Flipflops überein, so liegen an den drei Eingängen V 03, V 13 und V 23 FALSCHES Signale. PUV liefert zur Zeit 3 T 2-4 von der Operationssteuerung einen FALSCHEN Steuerimpuls und macht zur gleichen Zeit VGL WAHR. Mit WAHREM VGL beendet die Operationssteuerung die Rechnung.

Der Rechner berücksichtigt auch die Multiplikation mit Null. Ist der Multiplikand Null

Die beiden ersten Teile dieser Gerätebeschreibung erschienen in der FUNKSCHAU 1968, Heft 21, Seite 663, und in Heft 22, Seite 701. Wir erläuterten bisher den grundsätzlichen Aufbau, NOR-Glieder, Inverter, Flipflops, Taktgeber und Ringschalter, Schrittschalter, Speicher sowie die Rechenoperationen Addition und Subtraktion.

und lautet z. B. die Aufgabe 0 × 3, so bleibt der Rechner nach dem dritten Schrittschaltdurchgang stehen, und Speicher B enthält 0000. Anders liegen die Verhältnisse, wenn der Multiplikator Null ist. Der Vergleichsimpuls PUV trifft mit 3 T 2-4 später ein als der Zählereingangsimpuls mit 2 T 2-4. PUV kann also mit 3 T 2-4 nie für ein Gleichheitssignal VGL sorgen, wenn der Inhalt des Speichers C 000 ist, da zur Zeit 3 T 2-4 der Zähler bereits den ersten Schritt gezählt hat. Der Multiplikand würde so oft addiert werden, bis FF-SBU mit dem Impuls ABU der Operationssteuerung Überlauf anzeigen würde, womit der Rechner stehen bliebe. Speicher B soll aber das richtige Ergebnis 000 anzeigen. Das wird erreicht, indem die Operationssteuerung während des ersten Schrittschaltdurchganges vor dem Zählereingangsimpuls zur Zeit BT 2-4 ein FALSCHES Signal über PUV freigibt.

Bei der Division wird der Divisor, den man dem Speicher A eingibt, so oft vom Dividenten, der im Speicher B steht, subtrahiert, bis das Flipflop SBU eine negative Zahl anzeigt. Dann hat der Rechner gerade einmal zu viel subtrahiert und muß demnach den Divisor zurückaddieren. Also enthält

der Speicher B den Rest der Division, während der Zählerstand gleich dem ganzzahligen Quotienten ist. Den Speicher C und die Vergleichsschaltung benötigt der Rechner für die Division nicht.

Da der Schrittschalter zwei Durchläufe mehr ausführt, als der Zählerstand angeben soll, sorgt die Operationssteuerung dafür, daß am Zählereingang PUZ während des ersten Durchlaufs und des letzten, bei dem rückgerechnet wird, kein Impuls auftritt. Während der anderen Durchgänge erscheinen im Gegensatz zur Multiplikation die Impulse zur Zeit 1 T 2-4.

Auch die Division mit Null berücksichtigt der Rechner. Ist nur der Divident Null, so befindet sich nach einmaliger Subtraktion eine negative Zahl im Speicher, wonach sogleich wieder addiert und die Rechnung beendet wird. Gerade diese beiden Schritte verändern den Zähler nicht; keine Zählerlampe brennt.

Hat sich beim 7. Zählerschritt - entspricht 8 Schrittschaltdurchgängen - noch keine negative Zahl im Speicher B eingestellt, so ist, da der Divident höchstens 7 sein kann, der Divisor kleiner als 1, also Null. Mit dem nächsten Schritt wird Flipflop ZA 4 gesetzt. Der Ausgang ZA 4 beendet den Rechengang über die Operationssteuerung. ZA 4 liegt mit 0-Wert am NOR-Glied NDN. Ist der Divident nicht Null, so ist DDN FALSCH und NDN WAHR, womit die Lampe → ∞ brennt. Hat aber der Divident den Wert Null, so werden mit dem achten Schritt alle Lampen gelöscht; der Quotient ist unbestimmt.

Tabelle 5. Vergleichsfunktion für die Stelle 2<sup>0</sup>

Bit 2 <sup>0</sup>	FF-ZA 1	VO 1	VO 2	VO 3
0	0 L	0	L	0
0	L 0	0	0	L
L	0 L	0	0	L
L	L 0	L	0	0

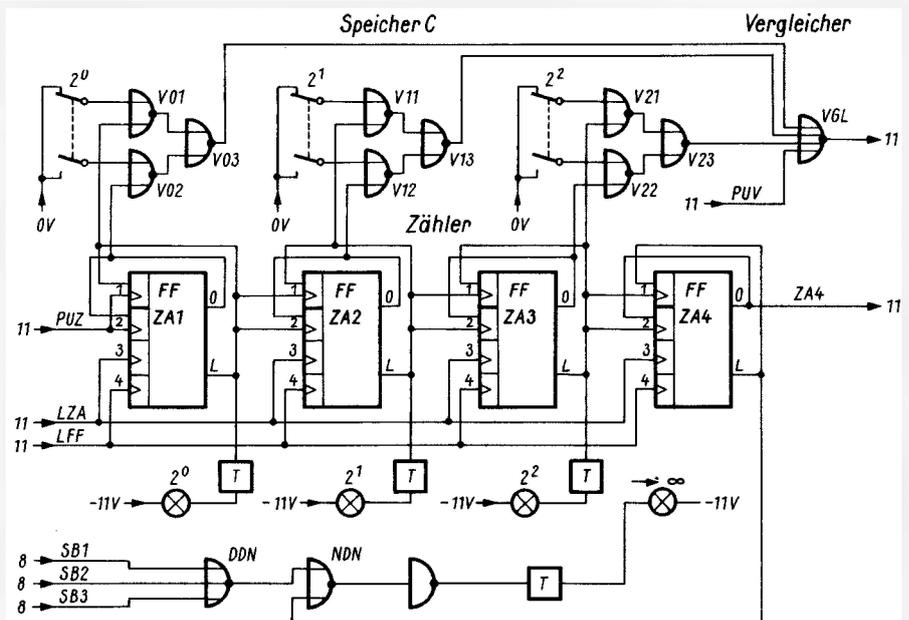


Bild 10. Speicher C, Zähler und Vergleichler für Multiplikation und Division

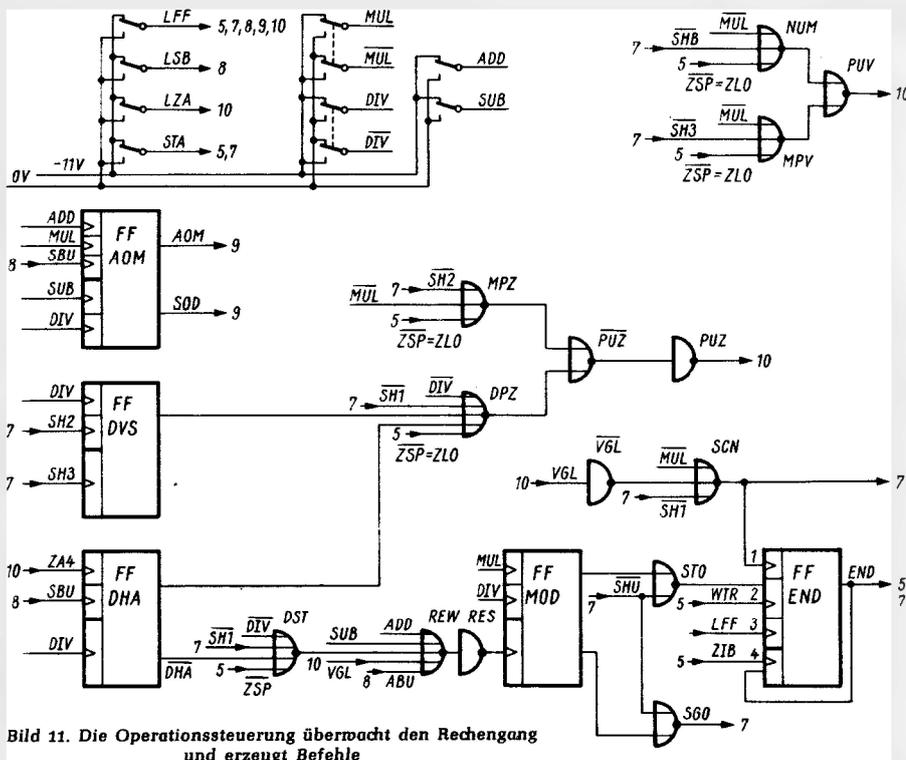


Bild 11. Die Operationssteuerung überwacht den Rechengang und erzeugt Befehle

### Operationssteuerung

Das den Rechengang, besonders bei Multiplikation und Division, überwachende und steuernde Organ ist die Operationssteuerung in Bild 11. Da hier die Impulskombinationen ziemlich verwickelt sind, ist es ratsam, sich Impulsschemen aufzuzeichnen.

Das Flipflop AOM entscheidet, ob komplementiert werden soll oder nicht. Dabei ist der dritte Eingang bei Division wichtig. Mit ihm wird von Subtraktion auf Addition umgeschaltet, wenn SBU durch die negative Zahl im Speicher B WAHR wird.

PUV, MPV und NUM erzeugen den Vergleichsimpuls nur bei der Multiplikation. ZLO erzeugt mit seinem 0-Wert nur während der dritten Stellenrechnung ein WAHRES Signal 3 T 2-4. NUM wird zur Zeit BT 2-4 WAHR und prüft Speicher C auf Nullinhalt. Beide Impulse werden von NOR-PUV invertiert.

MPZ generiert den Zählereingangsimpuls nur bei Multiplikation mit einem L-Wert während 2 T 2-4. Da DPZ durch seinen Eingang DIV bei Multiplikation 0 ist, kann der Impuls 2 T 2-4 das NOR-Glied  $\overline{PUZ}$  passieren und erscheint an PUZ als WAHRES Zählimpuls.

Die Erzeugung des Zählereingangsimpulses ist bei der Division komplexer. Geht man davon aus, daß DPZ einen L-Impuls aufweisen soll, um den Zähler zu schalten, dann muß erst einmal MPZ 0 sein, was durch  $\overline{MUL}$  bei Division immer der Fall ist. DPZ wird nur dann WAHR, wenn alle Eingänge 0 sind. Das trifft zu für DIV und für DHA, weil FF-DHA durch DIV auf 0L gesetzt wurde. Setzt man voraus, daß DVS 0-Wert hat, so kann nur der Teil von ZLO ein Ausgangszählsignal liefern, dessen FALSCH-Wert mit dem FALSCH-Wert von SH1 koinzidiert. ZLO hat während XT 2-4, SH1 während 1 T 1-2 T 1 den Wert 0. Also kann, wenn DVS WAHR ist, ein Zählimpuls mit L-Wert nur zur Zeit 1 T 2-4 an DPZ auftreten.

DPZ sorgt dafür, daß während des ersten Schrittschalterdurchgangs kein Zählimpuls

auftritt. Mit der Rechenarteneinstellung DIV wird FF-DVS gesetzt und bleibt in diesem Zustand, bis SH3 es zurücksetzt. Während dieser Zeit, in der der Zählimpuls auftreten sollte, sperrt DVS das Glied DPZ. Beim nächsten Schrittschalterdurchgang wird FF-DVS zeitlich erst wieder nach dem Zählimpuls gesetzt.

Das Flipflop DHA sperrt den Zählimpuls bei Division, wenn der Speicher B mit SBU eine negative Zahl anzeigt. Außerdem leiten SBU und ZA 4 das Rechenende ein. Diese Betrachtung soll jedoch beim END-Signal beginnen.

Vor dem Rechenstart wird mit LFF das Rechenende sichergestellt. ZIB ist das durch den Start ausgelöste Signal, das mit der Umkehr des Flipflops END die Taktimpulse zum Ringschalter freigibt. Zum Rechenende tragen eine Reihe verschiedener Signale bei.

## Erfahrungen mit einem Experimentier-System

Je komplizierter ein Fachgebiet ist, desto einfacher muß es dem Lernenden dargestellt werden. Das gilt insbesondere für die schnellelektrotechnik und ihre Randgebiete. Mancher Neuling ist schon froh, wenn er die grundsätzlichen Funktionen der gebräuchlichen Bauelemente kennt, um sich über eine Schaltung ein Urteil bilden zu können.

Betrachtet man die elektrotechnischen und rundfunktechnischen Experimentiersysteme der vergangenen zwanzig Jahre, so kann man feststellen, daß besonders Jugendlichen viele grundsätzliche Versuche vorenthalten blieben, die die Unterhaltungselektronik betreffen. Im wesentlichen dürften hier die hohen Versorgungsspannungen und die mit ihr verbundenen Gefahren hindernd gewesen sein.

Mit zunehmender Verwendung der nicht-linearen und verstärkenden Halbleiterbauelemente entfiel dieses Problem, so daß es heute möglich ist, jede gängige elektro-

SCN setzt das Flipflop END über Eingang 1, wenn VGL bei Multiplikation einen Nullinhalt des Speichers C signalisiert. Mit SH1 erreicht man, daß die erste Stelle gar nicht erst berechnet wird, da sonst im Speicher B ein falsches Ergebnis und nicht Null stehen könnte.

Über Eingang 2 schalten WTR und STO das Flipflop END. Setzt man voraus, daß RES mit einem WAHREN Signal Anlaß zum Rechenende gegeben hat und dadurch FF-MOD in Stellung 0L ist, so wirkt STO vorbereitend, wenn sich der Schrittschalter in seiner letzten Phase befindet, während das FF-SHU gesetzt ist. Das Flipflop END wird also zum Zeitpunkt XT 1 nach UT 4 in die Stellung L0 gebracht. END löscht darauf FF-SHU im Schrittschalter. Wenn auch WTR über FF-SHU mit SHU den Eingang 2 von FF-END zur Zeit UT 1 vorbereitete, so war doch beim Eintreffen von WTR an diesem Eingang die Setzbedingung noch nicht erfüllt.

Die beiden oberen Eingänge von FF-MOD verhindern mit MOD das Rechenende nach dem ersten Schrittschalterdurchgang und starten den neuen mit SGO.

Um das Rechenende einzuleiten, muß REW FALSCH sein, wozu mindestens ein WAHRES Eingang von NOR-REW Bedingung ist. ADD und SUB haben bei Addition und Subtraktion immer L-Wert, so daß die Rechnung nach dem ersten Schrittschalterdurchgang beendet wird. ABU gibt den Überlauf des Speichers B bekannt, und VGL ist das normale Ende einer Multiplikation, bei Gleichheit von Zählerstand und Inhalt des Speichers C. VGL beendet über diesen Weg die Rechnung später als über das NOR-Glied  $\overline{VGL}$ , an dem, durch SH1 bedingt, nur der zur Zeit BT 2-4 eintreffende Vergleichsimpuls wirksam sein kann.

Das Flipflop DHA wird von SBU gesetzt, wenn eine negative Zahl im Speicher B steht, oder mit ZA 4 bei Division durch Null. DHA erzeugt am Ausgang des NOR-Gliedes DST ein Division-Stop-Signal, wenn alle anderen Eingänge zu diesem Gatter FALSCH sind. Das ist bei Division zur Zeit 1 T 2-4 der Fall.

Die wichtigsten der beschriebenen Signale können an einer Leuchtanzeige der Operationssteuerung des Rechners abgelesen werden, wenn man den - genügend langsamen - Einzeltakt zur Demonstration wählt.

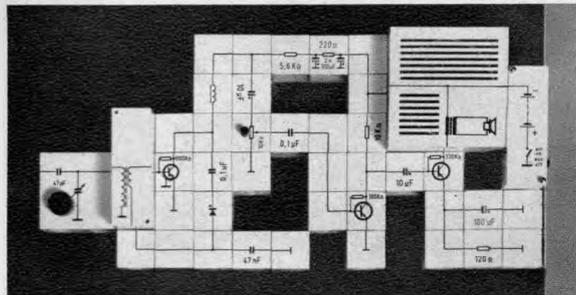
nische Schaltung - zumindest zu Demonstrationszwecken - mit einer Spannung unter 10 V zu betreiben.

Zu den Fähigkeiten eines Elektronikers gehören in jedem Fall das Schaltungslesen und das Löten. Natürlich kann man darüber streiten, ob das Löten für Lehrsysteme unbedingt erforderlich ist, weil es zu den rein handwerklichen Tätigkeiten zählt. Abgesehen davon wird man wohl kaum Kinder mit dem Lötkolben unbeaufsichtigt hantieren lassen, so daß es zumindest für diesen Kreis sinnvoller erscheint, sich auf die reinen Denk- und Erfassungsprozesse zu beschränken.

Dies vorausgesetzt erscheint das Lectron-System<sup>1)</sup> von Braun als eine sehr gute Lösung, Schaltung und Schaltbild miteinander zu vereinigen. Mit wenigen Ausnahmen ist hier jedes Bauelement in einem durchsichtigen Kunststoffgehäuse untergebracht, des-

<sup>1)</sup> Vgl. FUNKSCHAU 1966, Heft 19, Seite 606.

Bild 1. Geradeausempfänger in Reflexschaltung mit Lectron-Bausteinen zusammengestellt



sen Oberfläche mit dem jeweiligen Schaltungssymbol versehen ist. Der Kontakt zwischen den einzelnen Bausteinen wird über Neusilberplättchen hergestellt, hinter denen sich kleine Magnete befinden. Geschickterweise ist die Magnetisierung so ausgelegt, daß die etwa 30 mm x 30 mm großen Klötzchen mittig aneinander liegen. Der besondere Vorteil dieses Lehrsystems besteht jedoch darin, unmittelbar ein einwandfreies Schaltbild darzustellen. Bild 1 veranschaulicht beispielsweise einen abgestimmten Geradeausempfänger in Reflexschaltung.

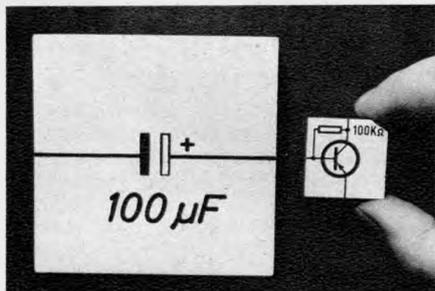
Wer soll nun durch ein derartiges Experimentiersystem angesprochen werden? In erster Linie dürfte den Schöpfern wohl die technisch interessierte Jugend vor Augen gestanden haben, die die Zusammenhänge der Elektronik zu begreifen sucht. Allerdings darf dabei nicht übersehen werden, daß das spielerische Erarbeiten der Schaltungsfunktionen leicht zu einem gedankenlosen Aneinanderreihen von Bausteinen führen kann. So war beispielsweise der achtjährige Sohn des Verfassers nach dem Aufbau der oben gezeigten Schaltung, deren Sinn ihm in keiner Weise klar war, der Ansicht, daß Rundfunk doch eine recht einfache Angelegenheit sei.

In dieser Aussage spiegelt sich modifiziert wider, was auch bei Demonstrationsversuchen in verschiedenen Grundlagenlehrgängen beobachtet werden konnte, daß nämlich in dem vorwiegend unvoreingenommenen Zuhörer der Eindruck erweckt wird, die Elektronik „funktioniere immer“. Hier ist sicherlich noch eine Lücke zu schließen, der sich vorwiegend die Hersteller umfangreicher Lehrsysteme annehmen sollten: Dem Lernenden muß klargemacht werden, wo die Grenzen einer Schaltung liegen, erst dann wird er wirklich erkennen, was Elektronik ist.

Die drei Systeme des Lectron-Programms – das Grundsystem sowie die Ausbausysteme 1 und 2 – geben insgesamt einen recht umfassenden Überblick über die Elektronik. Mit dem erstgenannten Baukasten, der mit *Moderne Elektronik* bezeichnet ist, kann man z. B. Blinklichtschaltungen, Lichtschranken, Dämmerungsschalter usw. aufbauen, ohne daß jedoch auf die elektrotechnischen Grundlagen näher eingegangen wird. Mancher Vorgebildete wird dies aus finanziellen Gründen sicher begrüßen. Dafür werden in Verbindung mit dem ersten Ausbausystem, das sich *Moderne Elektroakustik und Rundfunktechnik* betitelt, elementare Dinge recht intensiv behandelt. Den Abschluß bildet hier der in Bild 1 gezeigte Empfänger, für den im Zeitalter des Superhets die Baukastenbezeichnung vielleicht doch ein wenig übertrieben ist.

Zu Mißverständnissen kann schließlich auch der Titel des zweiten Ausbausystems *Höhere Elektronik* führen, der Grenzen innerhalb eines Fachgebietes vortäuscht, die keineswegs umrissen sind. Abgesehen davon könnte man meinen, daß es analog zur Mathematik auch eine „niedere Elektronik“ gäbe, worunter nach dem Aufbau des

Unten: Bild 2. Größenvergleich zwischen einem Baustein des normalen Experimentiersystems mit einem für Demonstrationszwecke (Aufnahme: Dennewitz)



Programms etwa die klassische Elektrotechnik zu rangieren hätte.

Damit sollen jedoch keineswegs die unbestreitbaren Vorzüge des Gesamtsystems geschmälert werden, denn besonders in der zweiten Hälfte der mit allen drei Baukästen möglichen 90 Versuche wird praxisnahe Elektronik vermittelt. Hierzu gehören u. a. der Schmitt-Trigger in verschiedenen Anwendungen, Temperatur-Regelschaltungen,

Spannungswandler mit Transistoren, Spannungskonstanthalter mit Glimmröhre und Z-Diode, Relaissteuerungen und Schallpegelmesser. Einige dieser Geräte sind zusätzlich als Bastelsätze mit gedruckter Leiterplatte erhältlich.

Auch für den Schaltungsentwickler können Bausteine eine Hilfe sein, wenn beispielsweise ein Detail innerhalb einer Schaltungsgruppe dimensioniert werden soll. Dazu wäre es zweckmäßig, Meßpunkte z. B. in Form eines Nietenkopfes neben den Schaltsymbolen anzuordnen.

Für Lehrzwecke stehen schließlich der besseren Erkennbarkeit wegen noch Bausteine mit etwa dreimal so großen Abmessungen wie die Normalbausteine zur Verfügung. Der in Bild 2 gezeigte Größenvergleich offenbart gleichzeitig eine nachteilige Eigenschaft, die besonders den kleinen Elementen anhaftet: Man berührt zwangsläufig beim Zusammensetzen die Neusilber-Kontaktplättchen mit den Fingerspitzen, was zu Verunreinigungen und chemischen Reaktionen mit den Hautsekreten führt. Die Folge sind dann Kontaktstörungen. Hier sollten noch Verbesserungen möglich sein.

Von der Idee her kann dieses System als zukunftsweisend für die didaktischen Möglichkeiten in den Bereichen der Elektronik gelten, zumal durch die Vielzahl der Bausteine genügend Spielraum für weitergehende Versuche vorhanden ist.

Ing. Rolf-D. Dennewitz

## Empfindlicher Temperaturregler 0...250 °C

Als Geber arbeitet ein Widerstandsthermometer Typ PT 100 von Degussa. Dieses hat bei 0 °C einen Widerstand von 100 Ω, der sich linear mit je 100 °C um 38,5 Ω erhöht. Bei 250 °C beträgt also der Widerstand 196,25 Ω.

Dieses Thermometer liegt in einer mit 6 V Wechselspannung gespeisten Brücke (Bild 1). Im Vergleichszweig sind ein Widerstand von 103,9 Ω und ein Potentiometer P 1 von 100 Ω in Reihenschaltung angeordnet. Am Potentiometer wird die gewünschte Temperatur eingestellt. Dem Brückenausgang liegt der Kondensator C 1 parallel, um im Netz vorhandene Oberwellen abzuleiten, sowie zwei antiparallel geschaltete Dioden FD 3 zur Signalbegrenzung, um den nachfolgenden Wechselspannungsverstärker nicht zu übersteuern. Dieser Verstärker ist einstufig ausgeführt, er besitzt eine etwa 120fache Verstärkung. Die Basisspannung wird einmalig am Potentiometer P 2 eingestellt. Der Kondensator C 2 legt die Signalspannung

wechselspannungsseitig an den Emitter. Die Bauelemente R 4 und C 3 dienen zur Temperaturstabilisierung des Transistors BFY 39; R 5 ist ein Basisschutzwiderstand. Am Arbeitswiderstand R 6 fällt die verstärkte Brückensignalspannung ab.

Bei einer mit Wechselspannung gespeisten Brücke muß ein phasenempfindlicher Schaltkreis nachfolgen, der zwischen den beiden um 180° verschobenen Phasenlagen des Brückensignals bei Brückenverstimmung, also hier zwischen *zu kalt* oder *zu heiß*, unterscheiden kann.

Dieser Schaltkreis, der ebenfalls mit Wechselspannung betrieben wird, besteht aus einer Vierschichtdiode 4 E 20-8 mit

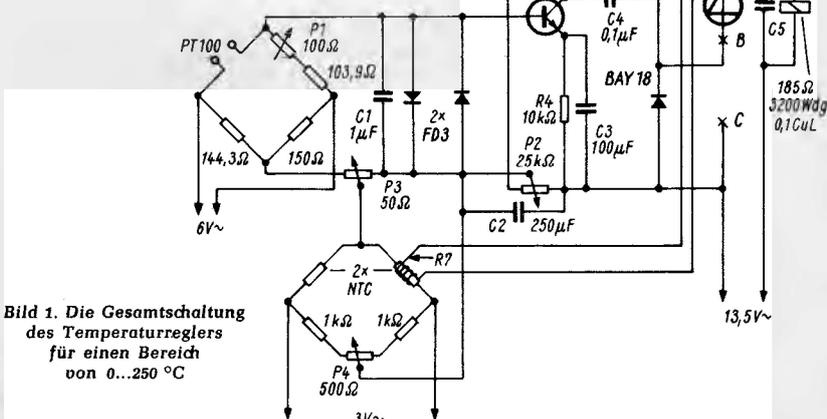


Bild 1. Die Gesamtschaltung des Temperaturreglers für einen Bereich von 0...250 °C