

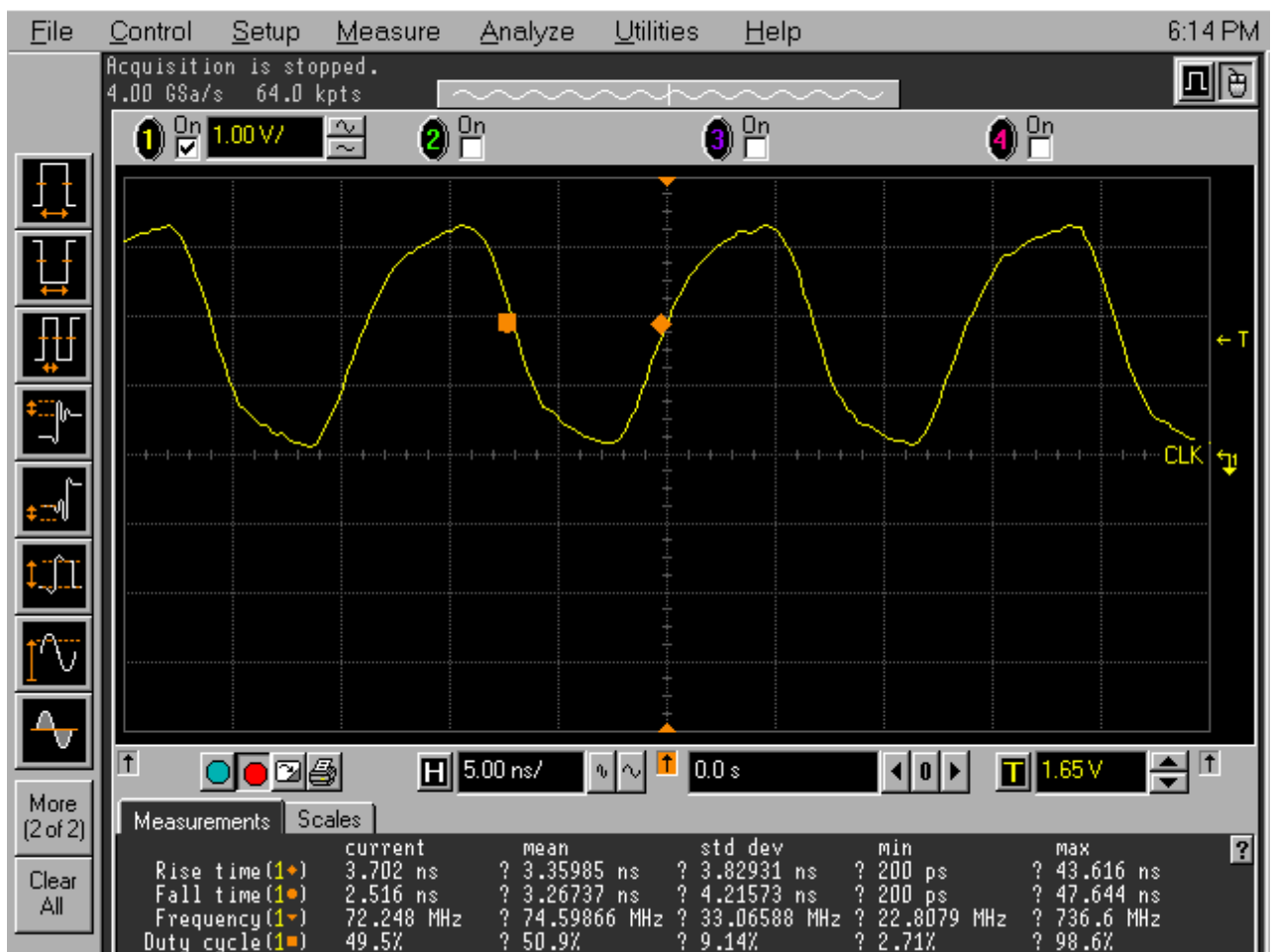
Messungen am externen Businterface des LPC2468

Allgemeine Angaben

CCLK 72 MHz
Tastkopf Agilent 1165A (1 pF, 10 M Ω)
Oszilloskop Agilent 54831B (600 MHz Bandbreite, 4 bzw. 2 GSa/s)

1. CLKOUT des LPC2468 bei 72 MHz

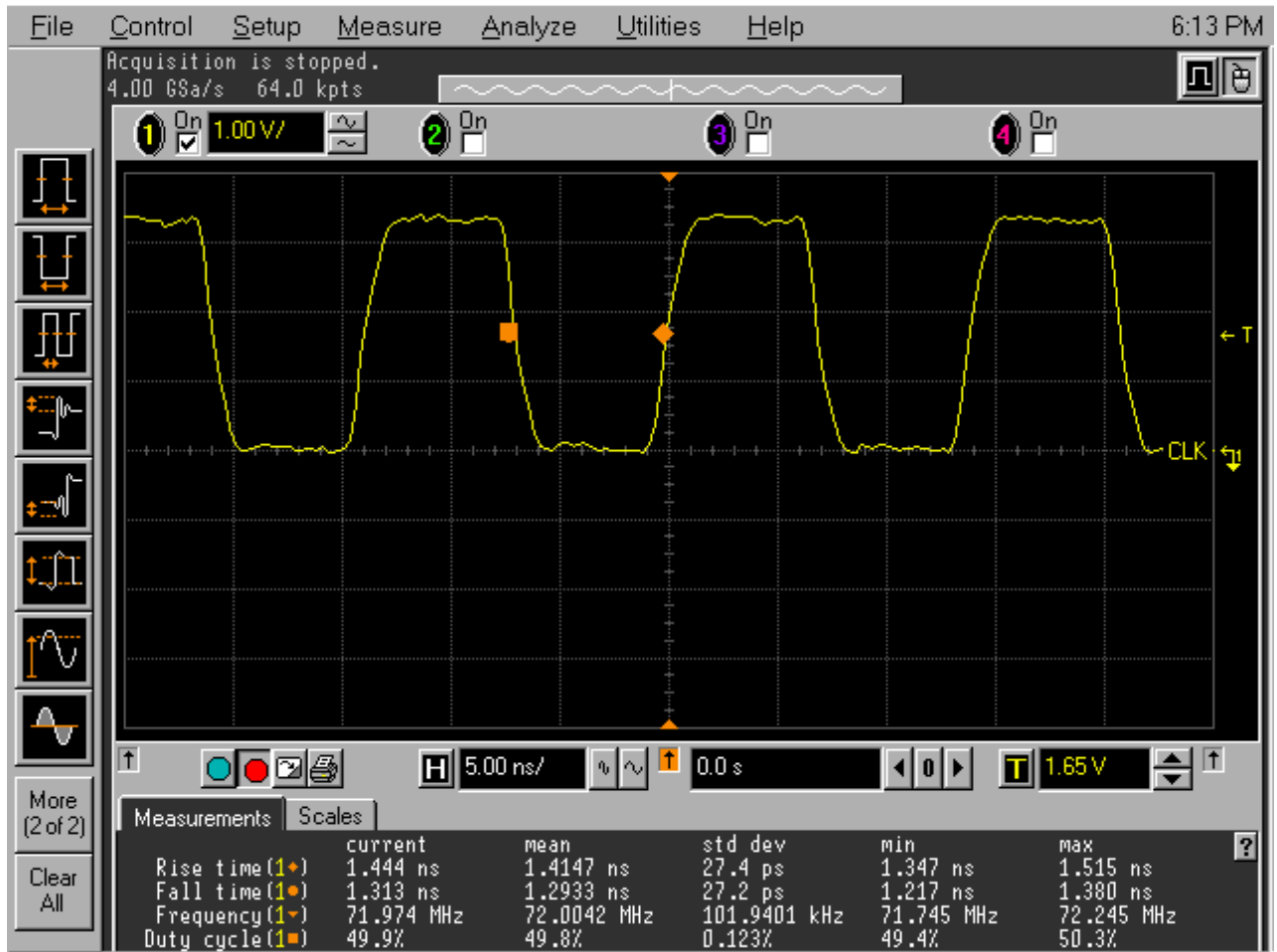
Saved: 12 JAN 2011 18:14:05



Gemessen am Pin 59

2. Takt am SDRAM

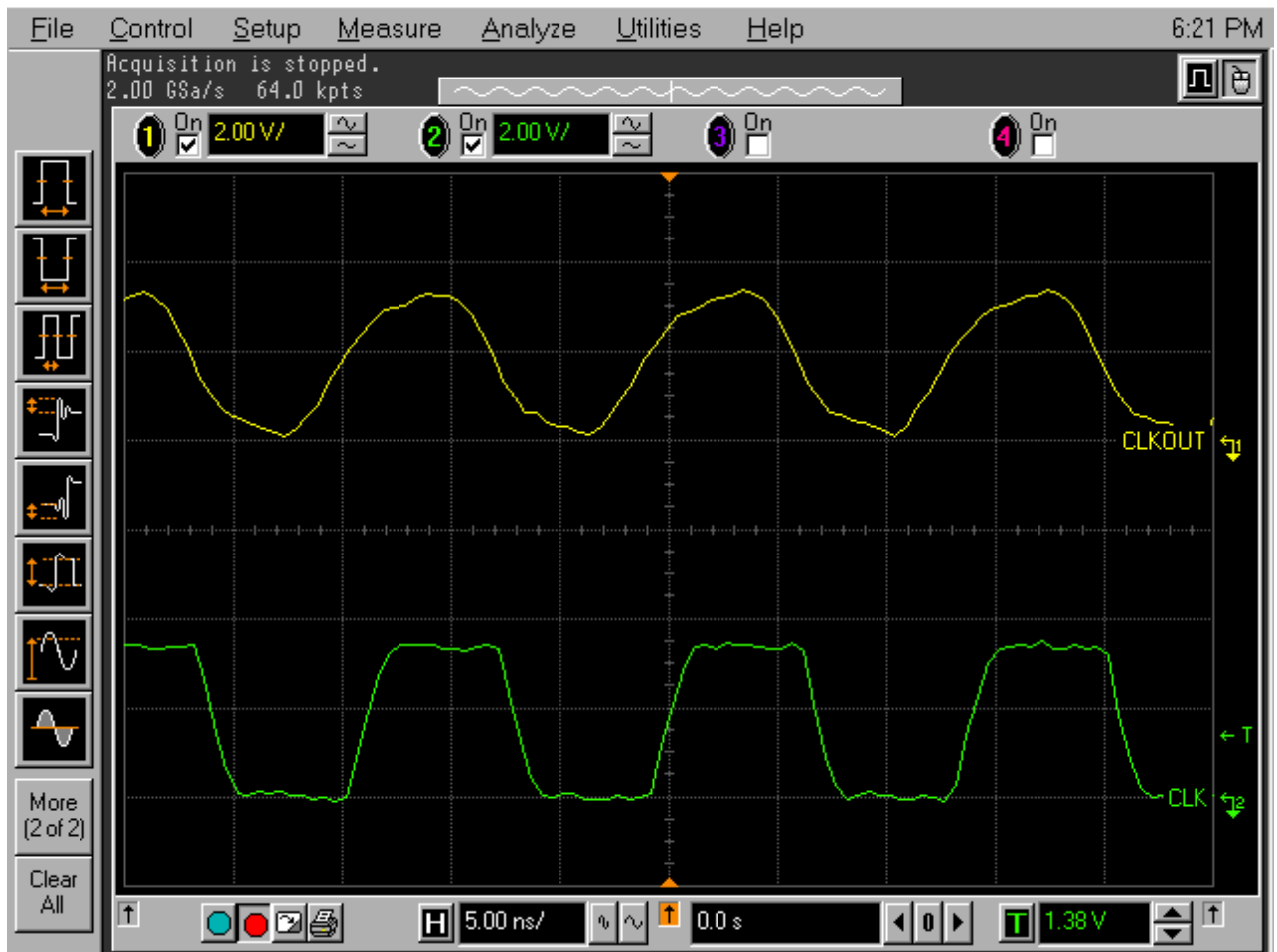
Saved: 12 JAN 2011 18:13:09



Gemessen am Pin 38 des IS42S16160B SDRAMs; Eingangskapazität des SDRAM ca. 2.5..3 pF, Länge der Leiterbahn 4500 mils (~114 mm). Es ist ein PLL-Clocktreiber vom Typ CDCVF2505 zwischen dem LPC2468 und dem SDRAM; der Clocktreiber hat integrierte 25 Ω Terminierungswiderstände.

3. CLKOUT im Vergleich zum CLK am SDRAM

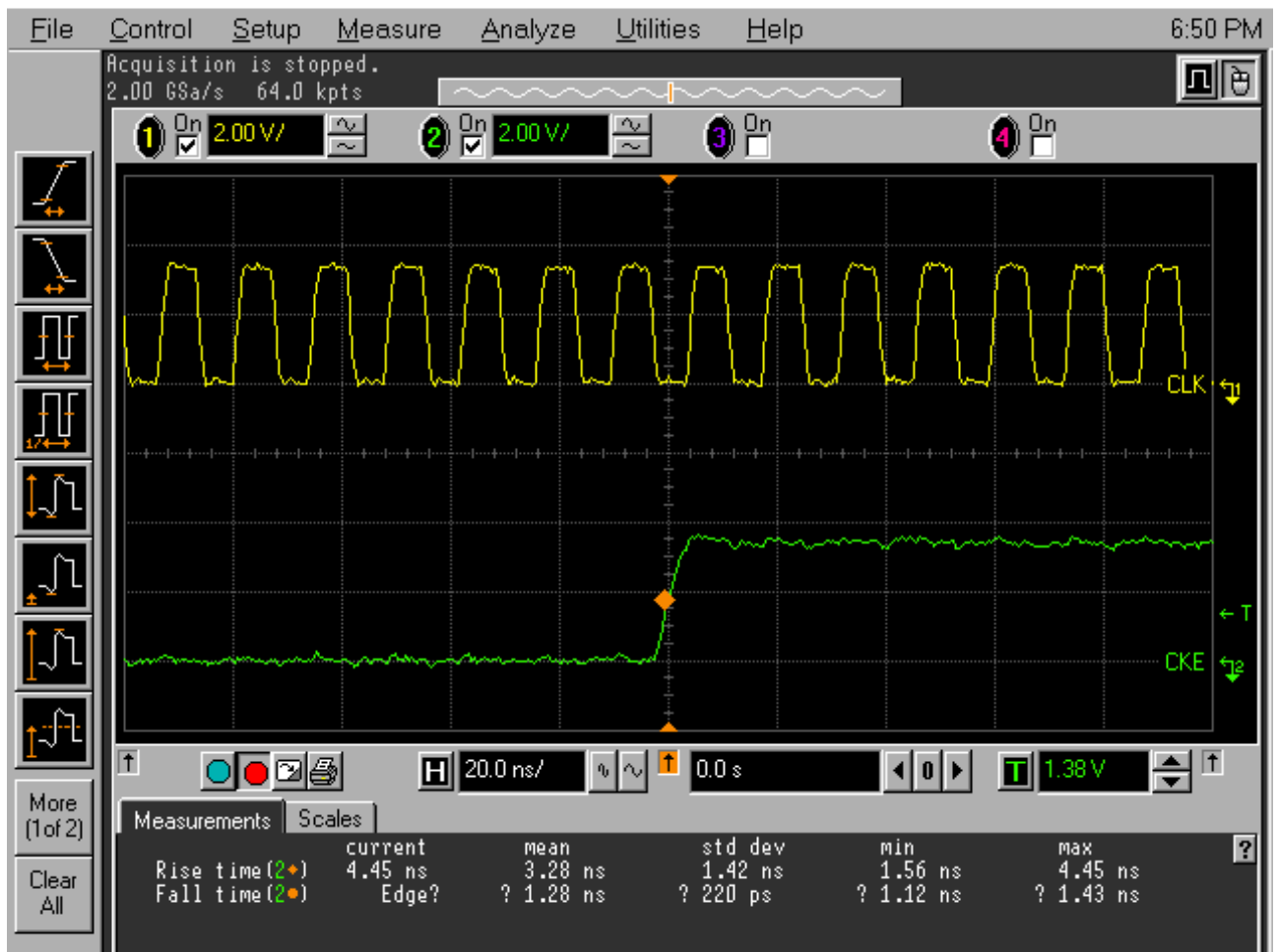
Saved: 12 JAN 2011 18:21:24



Oberer Kanal: CLKOUT des LPC2468 am Pin 59, unterer Kanal CLK am SDRAM (Pin 38).

4. CLK und CKE

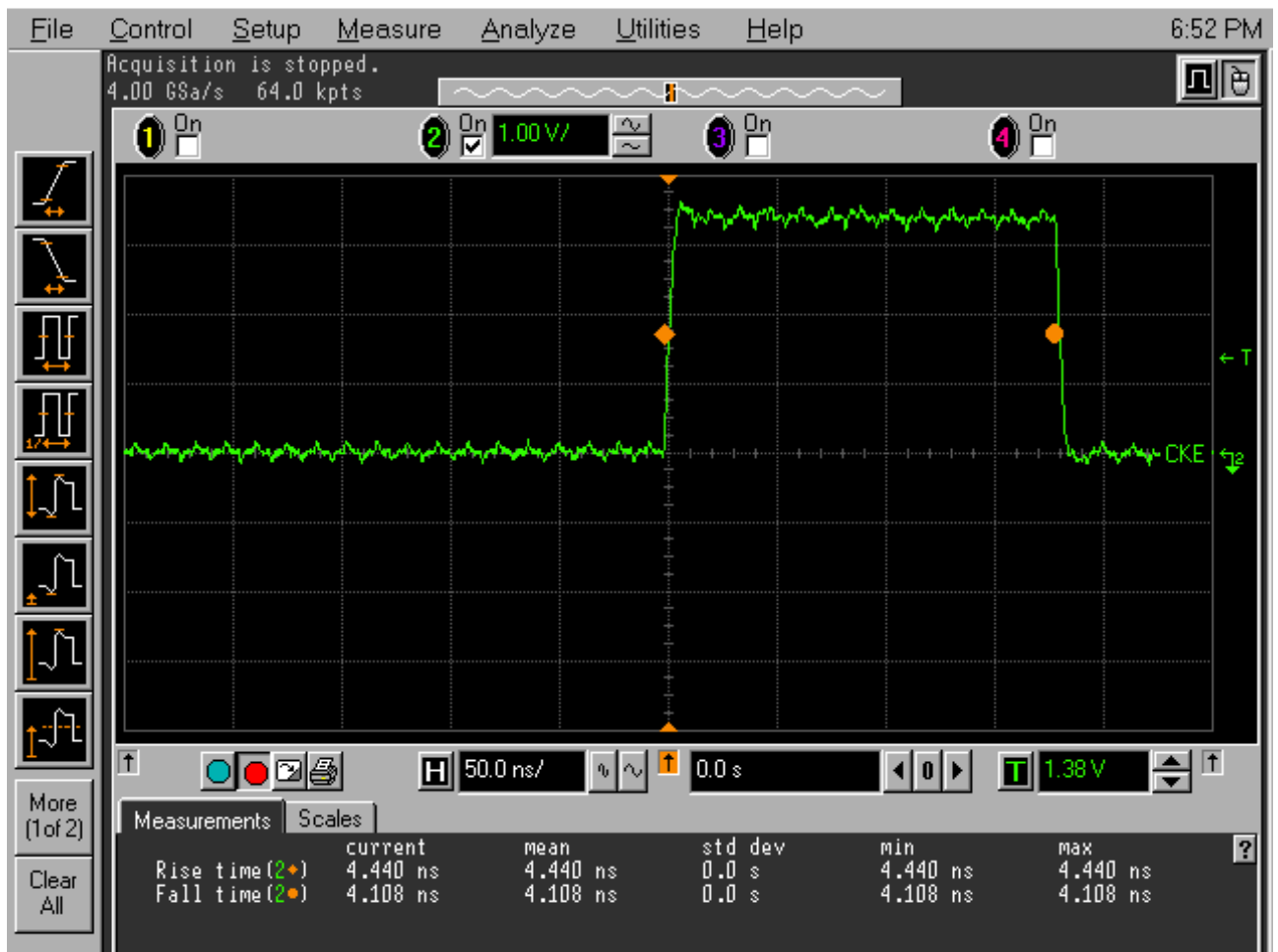
Saved: 12 JAN 2011 18:50:06



Gemessen am Pin 38 (CLK) bzw. 37 (CKE) des SDRAMs.

5. Rise- und fall time von CKE

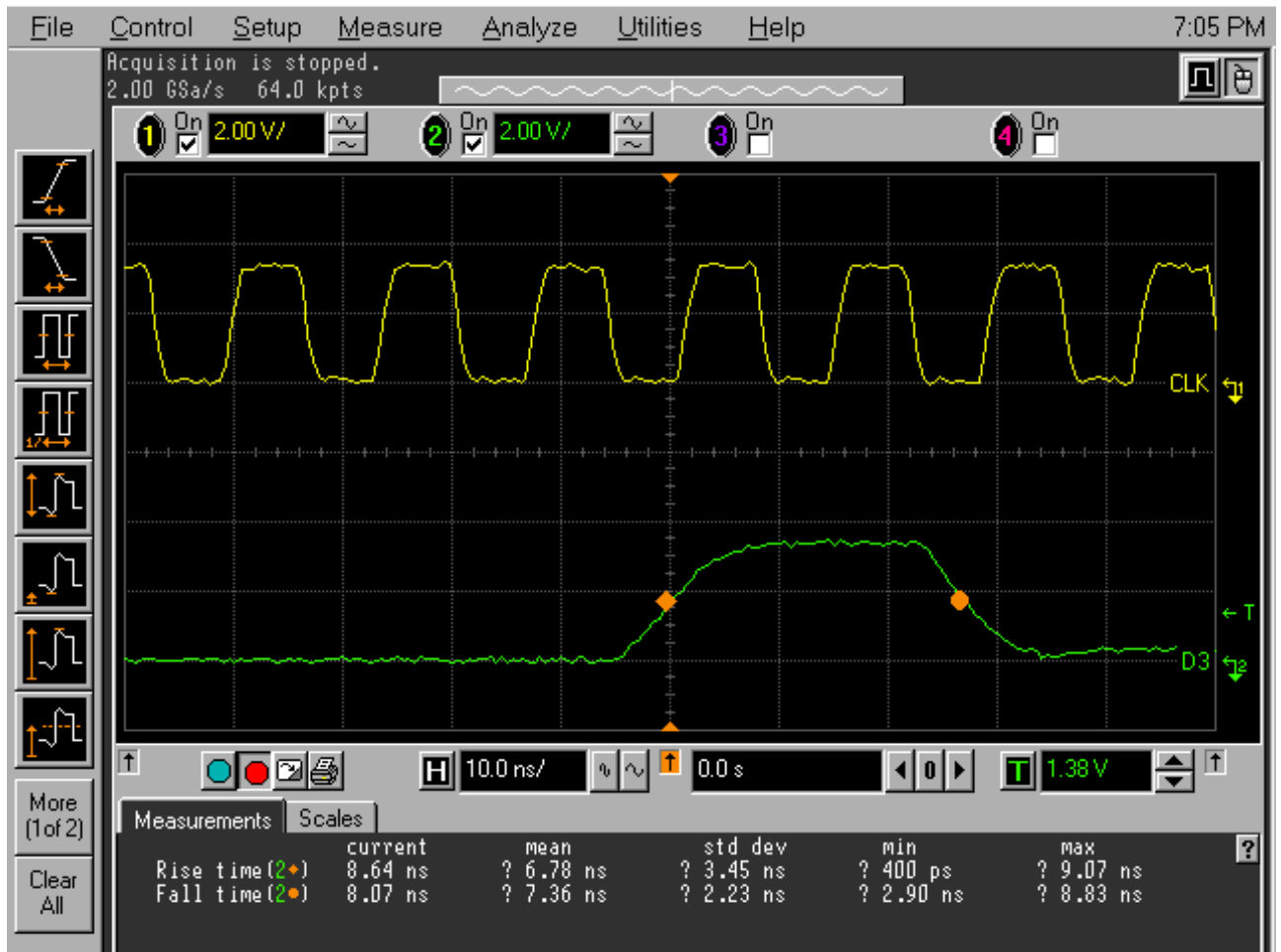
Saved: 12 JAN 2011 18:52:59



(Warum ist das Signal so verschwurbelt? Das war schon bei meinem 1. Testboard so.)

6. Clock und Daten, längste Datenleitung

Saved: 12 JAN 2011 19:05:28

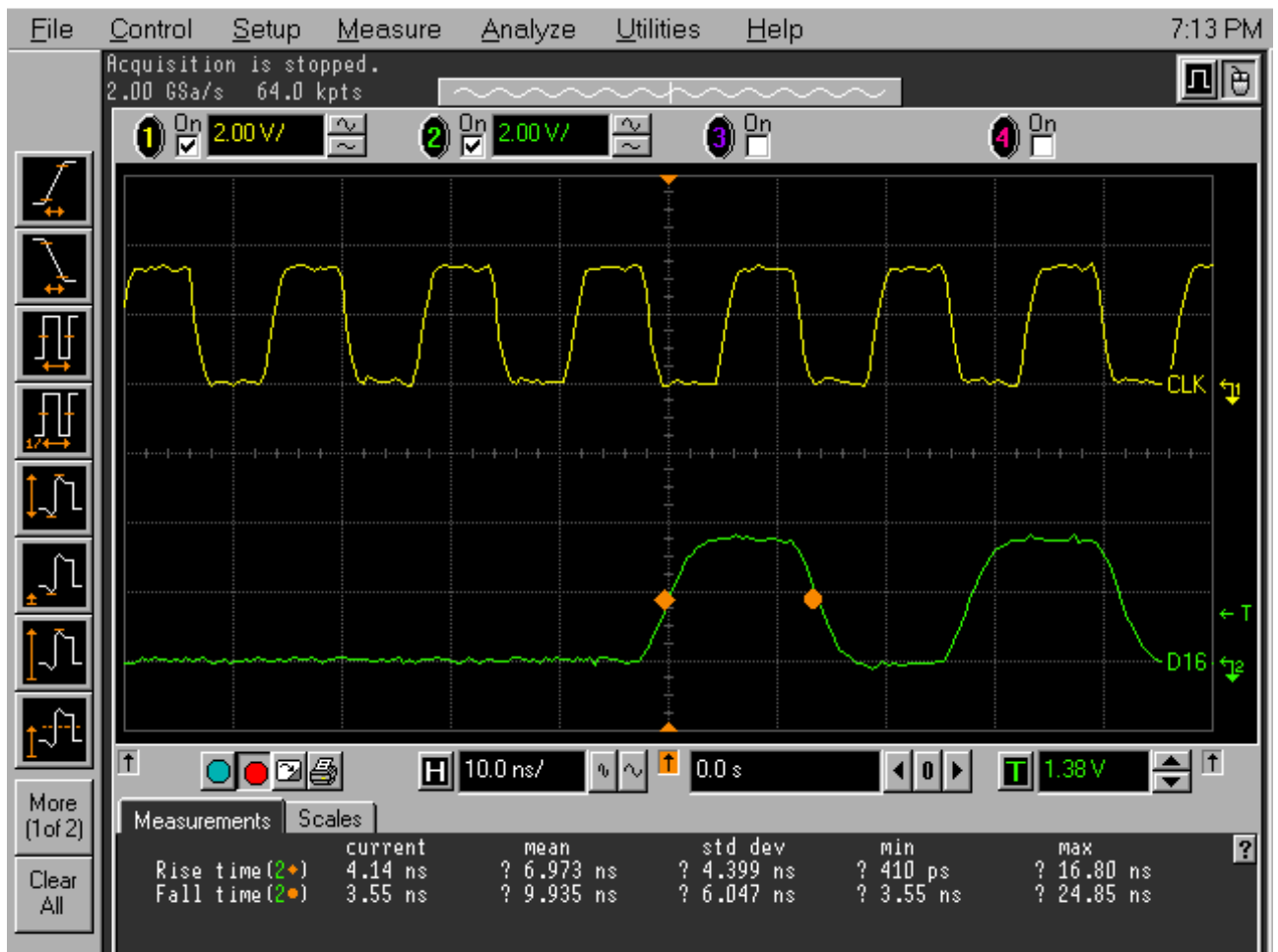


D3 ist mit 4250 mils (~107 mm) die längste Datenleitung. Das Signal wurde wiederum direkt am SDRAM gemessen.

Das sichtbare „Bitmuster“ ist natürlich zufällig und von den Buszugriffen der CPU bzw. vom Inhalt des SDRAMs bedingt (aufgrund des Refresh).

7. Clock und Daten, kürzeste Datenleitung

Saved: 12 JAN 2011 19:13:22



D16 ist mit 1760 mils (~44 mm) die kürzeste Datenleitung.

Das sichtbare „Bitmuster“ ist natürlich zufällig und von den Buszugriffen der CPU bzw. vom Inhalt des SDRAMs bedingt (aufgrund des Refresh).