

Adresslogik für Webserver

Das Webserver Modul verfügt über einen 16 bit Adressbus und besteht somit aus insgesamt 64k adressierbarem Speicher. Dieser wird unterteilt in den externen SRAM (untere 32k) und das Netzwerkmodul WIZ810MJ (obere 32k). Zusätzlich befindet sich ein USB to FIFO Converter (FT245) am Adressbus. Da das Netzwerkmodul nicht alle Adressen benötigt, wird ein Teil der nicht verwendeten Adressen für den FT245 benutzt.

Der Bereich von Adresse 0x0800 und 0x3FFF wird vom Ethernet- Chip W5100 (befindet sich am Netzwerkmodul) nicht genutzt (siehe Datenblatt des W5100, S. 13). Es wurde festgelegt, dass der FT245 im Bereich von 0x2000 bis 0x3000 sein kann, um die Adresslogik möglichst einfach zu gestalten und damit es nicht nötig ist, die gesamte Adresse zu verknüpfen, obwohl nur eine einzige Adresse und kein ganzer Bereich nötig wäre. Es ist also ein Bereich von 1000h möglich, d.h. es gibt 4096 verschiedene Adressen, die für den FT245 gewählt werden können.

Die Adresse 0x2000 ergibt binär dargestellt folgende Adresse:

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0

A15 ist deswegen gesetzt, da der FT245 wie auch das Netzwerkmodul in den oberen 32k des adressierbaren Speichers liegen. Das heißt, der FT245 kann eine Adresse zwischen 0xA000 und 0xAFFF am Adressbus haben, rein auf das WIZ810 bezogen ergibt das den Bereich 0x2000 - 0x3000.

Da der FT245 im Bereich von 0xA000 bis 0xAFFF liegen kann, müssen nur die Bits A15, A14, A13 und A12 verknüpft werden, um eine CS- Leitung (Chip Select) für den FT245 zu erhalten. Da der FT245 aber über keinen eigenen CS- Pin verfügt, müssen WR und RD für den FT245 über diese CS- Leitung gesteuert werden.

Es wurde folgendes festgelegt: Wenn CS = 0 (low), wird der FT245 aktiviert und das Netzwerkmodul deaktiviert. WR und RD vom FT245 nehmen sobald CS = 0 den Zustand von WR und RD des Adressbusses an, sonst (CS = 1) sind WR und RD vom FT245 auf high, wodurch keine Daten gelesen bzw. geschrieben werden (siehe Datenblatt von FT245 S. 11, FIFO Read Cycle und FIFO Write Cycle).

Bestimmung von CS mit logischen Verknüpfungen

Wertetabelle für CS:

A12	A13	A14	A15	CS
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1

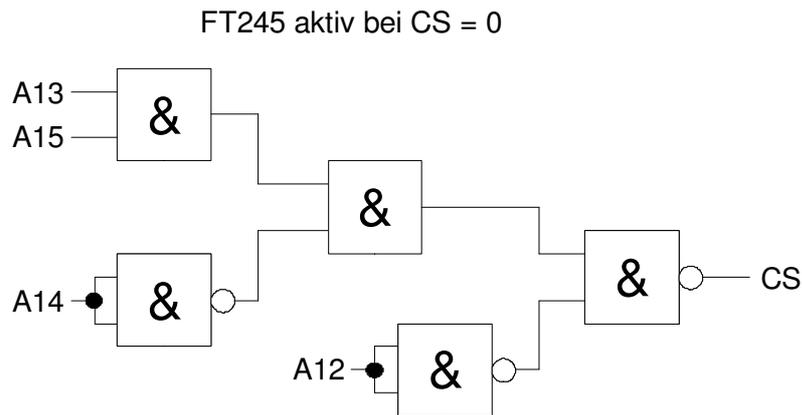
A12	A13	A14	A15	CS
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Die 4096 Möglichkeiten für die Adresse vom FT245 kommen dadurch zustande, dass die Adressbits A0...A11 (12bit => 4096) nicht in die Adresslogik einfließen.

Daraus ergibt sich für CS folgende Funktionsgleichung:

$$CS = \overline{\overline{A_{12}} \wedge \overline{A_{13}} \wedge \overline{A_{15}} \wedge \overline{A_{14}}}$$

Schaltung mit logischen Verknüpfungen:



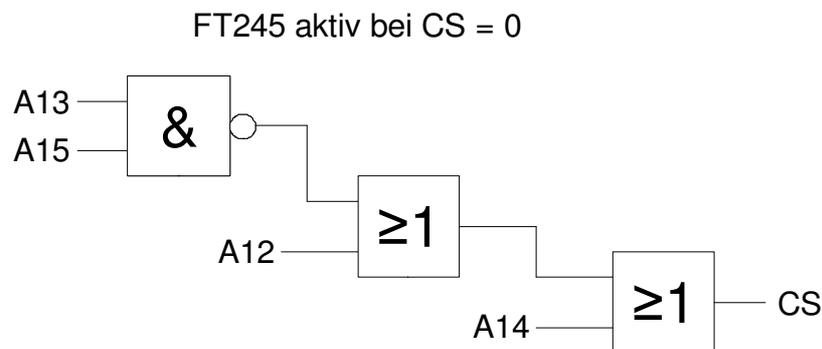
Um später nicht 3 verschiedene Arten von Gattern verwenden zu müssen (siehe unten, hier werden auch noch Oder Gatter benötigt), wird die Funktionsgleichung mit den Gesetzen nach De Morgan umgeformt:

Allgemein: $\overline{\overline{A} \wedge \overline{B}} = \overline{\overline{A}} \vee \overline{\overline{B}}$

Daraus ergibt sich für CS folgende Funktionsgleichung:

$$CS = \overline{A_{13}} \wedge \overline{A_{15}} \vee A_{12} \vee A_{14}$$

Schaltung mit logischen Verknüpfungen:



Logik für RD_FT245, WR_FT245 und CS_ETHERNET

Die Logik für RD_FT245 und WR_FT245 ist dieselbe und hat folgende Wertetabelle:

CS	WR/RD	RD_FT245/WR_FT245
0	0	0
0	1	1
1	0	1
1	1	1

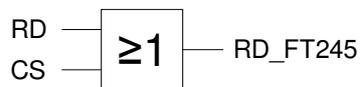
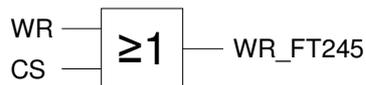
WR/RD: Write- und Read- Leitung vom Adressbus

Daraus ergibt sich folgende Funktionsgleichung:

$$RD_FT245 = CS \vee RD$$

$$WR_FT245 = CS \vee WR$$

Schaltung mit Logischen Verknüpfungen:



Die CS- Leitung des Ethernet Moduls wird auf low gelegt (Aktivierung des Ethernet Moduls), sobald A15 und CS auf high gehen (A15 für die oberen 32k). Sobald CS auf low geht, wird das Ethernet Modul wieder abgeschaltet (CS_ETHERNET = high), da dann der FT245 aktiviert ist.

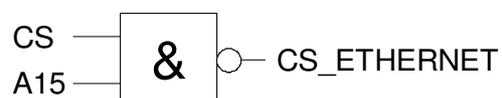
Wertetabelle für CS_ETHERNET:

CS	A15	CS_ETHERNET
0	0	1
0	1	1
1	0	1
1	1	0

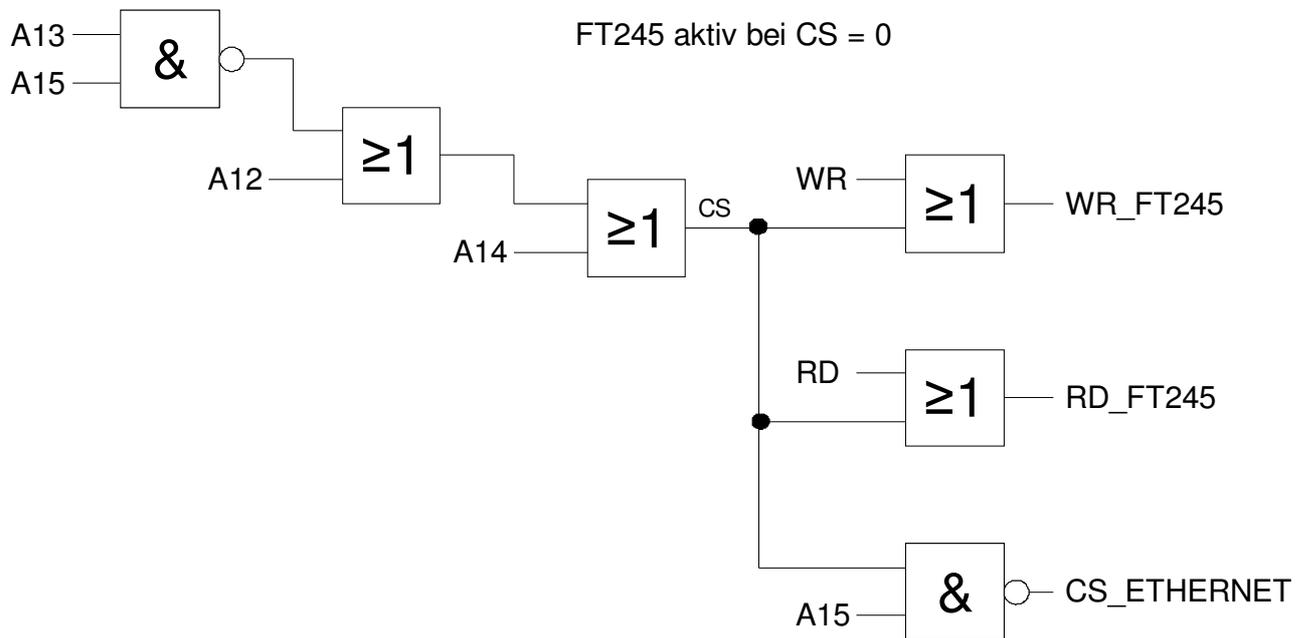
Daraus ergibt sich folgende Funktionsgleichung:

$$CS_ETHERNET = \overline{CS \wedge A15}$$

Schaltung mit Logischen Verknüpfungen:



Für die Adresslogik ergibt sich nun folgende Gesamtschaltung:



Man benötigt nun insgesamt ein 4x2 NAND und ein 4x2 OR Gatter. Daher wurde zuvor die Gleichung für CS mit den Gesetzen von De Morgan auf eine Oder- Form umgewandelt, um nicht 3 verschiedene Arten von Gattern (NAND, AND, OR) zu benötigen.